



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

ML7456N

Sigfox 対応サブギガマイコン

■概要

ML7456N は、MCU 部と RF 部を 1 チップに集積した Sigfox 対応サブギガマイコンです。

RF 周波数は 315MHz - 920MHz に対応しています。Sigfox に対応し、低消費電力で、長距離無線通信を実現できます。

MCU 部は、16 ビット CPU nX-U16/100 (A35 コア) を搭載し、プログラム・メモリ (フラッシュ・メモリ)、データ・メモリ (RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、簡易 RTC、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス (マスタ、スレーブ)、ブザー、電圧レベル監視機能 (VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンパレータ、安全機能 (IEC60730/60335 Class B 対応) など、多彩な周辺機能を搭載しています。

16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

●製品名 ML7456N-700AGD

●用途 リモートコントロール
ホーム、ビルセキュリティ
センサーネットワーク
スマートメータ
物流トラッキング
インフラモニタリング
見守りシステム

■特長

- ◆ Sigfox / IEEE802.15.4g対応 RF チップ部 Sigfox 対応 RF チップ(ML7414)搭載(*1)
 - 対応規格
 - ✧ Sigfox Revision 2.E
 - ✧ ETSI EN 300 220(Europe)
 - ✧ EN 13757-4:2013(Wireless M-Bus)
 - ✧ RCR STD-30(Ⅲ型、Ⅳ型)
 - ✧ ARIB STD-T67
 - ✧ ARIB STD-T108
 - RF 周波数:315MHz - 960MHz に対応
 - フラクショナル N 型 PLL の直接変調により高精度変調を実現
 - 変調方式: BPSK(送信のみ)、4GFSK/4GMSK、GFSK/GMSK、FSK/MSK(MSK は変調度 $m=0.5$ の FSK を示します。)
 - データ転送スピード: 0.1~100kbps
 - NRZ、マンチェスタ符号化、3 out of 6 符号化機能搭載
 - データ Whitening 機能搭載
 - 帯域可変チャネルフィルタ機能搭載
 - 周波数偏位可変機能搭載
 - 送信/受信データの極性反転機能搭載
 - 36MHz 発振回路/TCXO(36MHz)直接入力に対応
 - 発振回路端子の負荷容量調整機能搭載
 - 超低消費電力低速 RC 発振回路搭載
 - 低速クロック補正補助機能搭載
 - 周波数微調整機能搭載(フラクショナル N 型 PLL の採用により周波数の微調整可能)
 - 同期式シリアルペリフェラルインタフェース(SPI)搭載
 - 送信 PA を内蔵し、パワー制御機能搭載
 - 送信パワー微調整機能搭載($\pm 0.2\text{dB}$)
 - 送信パワーの自動ランプ制御搭載
 - 外付け PA 制御機能搭載
 - 受信電界強度(RSSI)通知機能および閾値判定機能搭載
 - 高速電波チェック機能搭載
 - AFC 機能搭載(フラクショナル N 型 PLL 周波数調整による IF 周波数自動調整)
 - アンテナダイバーシティ機能搭載
 - 自動 WakeUP、自動 RF_SLEEP 機能搭載(32kHz クロック直接入力/内部 RC 発振回路選択可能)
 - 汎用タイマ搭載(2 系統)
 - テストパタンジェネレータ搭載(PN9、CW、01 パターン、ALL"1"、ALL"0"出力対応)
 - パケットモード機能搭載
 - ✧ Wireless M-Bus パケットフォーマット対応(Format A/B)
 - ✧ 汎用パケットフォーマット対応(Format C/D)
 - ✧ 最大 255 バイト(Format A/B)、2047 バイト(Format C/D)のパケット長に対応
 - ✧ 送信 FIFO(64Byte)内蔵、受信 FIFO(64Byte)内蔵
 - ✧ 検出プリアンプルパターン設定機能(最大 4Byte)
 - ✧ 送信プリアンプル長設定機能(最大 16383Byte)
 - ✧ SyncWord 設定機能(最大 4Byte x2 面)
 - ✧ プログラマブル CRC 機能(CRC32/CRC16/CRC8 選択可、任意の生成多項式対応)
 - ✧ アドレスチェック機能(Wireless M-Bus の C-field/M-field/A-field を検出可)
※設定によっては任意のパケットに対応可
 - ✧ FEC 機能(IEEE802.15.4g 準拠)

※RF 部の詳細は、別紙 ML7414 アプリケーションノートハードウェア詳細を参照ください。

◆ MCU 部 16ビット CPU nX-U16/100 A35 コア チップ (ML62Q1532) 搭載

● CPU

- RISC 方式 16ビット CPU : nX-U16/100 (A35 コア)
- 命令体系: 16ビット長命令
- 命令セット: 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵 (ラピステクノロジー製オンチップデバッグエミュレータと接続)
- ISP (In-System Programming) 機能を内蔵
- 最小命令実行時間
約 30.5 μ s (@ 32.768kHz システムクロック)
約 62.5ns / 41.6ns (@ 16MHz / 24MHz システムクロック)

● 乗除算器 (コプロセッサ)

- 乗算 : 16bit $\times$ 16bit (演算時間 4 サイクル)
- 除算 : 32bit $\div$ 16bit (演算時間 8 サイクル)
- 除算 : 32bit $\div$ 32bit (演算時間 16 サイクル)
- 積和 (非飽和型) : 16bit $\times$ 16bit + 32bit (演算時間 4 サイクル)
- 積和 (飽和型) : 16bit $\times$ 16bit + 32bit (演算時間 4 サイクル)
- 符号あり, なしの演算の設定が可能

● 内部メモリ

- プログラム・メモリ 64KB

- 書き換え回数 : 100 回
- 書き込み単位 : 32ビット (4 バイト)
- 消去単位 : 16K バイト / 1K バイト
- 消去 / 書き込み温度 : 0 $^{\circ}$ C ~ +40 $^{\circ}$ C

- データ・フラッシュ 4KB

- 書き換え回数 : 10,000 回
- 書き込み単位 : 8ビット (1 バイト)
- 消去単位 : 全領域 / 128 バイト
- 消去 / 書き込み温度 : -40 $^{\circ}$ C ~ +85 $^{\circ}$ C
- データ・フラッシュ消去 / 書き込み中, CPU は動作可能

This product uses Super Flash[®] technology licensed from Silicon Storage Technology, Inc.

- データ・メモリ (RAM) 8KB

- 書き込み単位 : 8ビット / 16ビット
- パリティチェック機能あり (パリティエラー時に割込み / リセット発生可能)

● クロック発生回路

- 低速クロック (LSCLK)

- 低速 RC 発振 : 約 32.768kHz
- 低速外部クロック入力 : 32.768kHz のクロック入力が可能
- 低速水晶発振 : 32.768kHz の水晶振動子を接続可能
- 低速水晶発振は, 発振余裕度と消費電流による 3 つの動作モードを搭載
 - ・タフモード : 発振余裕度を大きくして端子間リークに強くしたモード
 - ・標準モード : 消費電流, 発振余裕度とも標準的なモード
 - ・低消費電流モード : 発振余裕度を標準モードよりも小さくすることで消費電流を抑えたモード

- 高速クロック (HSCLK)

- PLL 発振 : コードオプションで 24MHz / 16MHz を選択可能
- ウォッチドッグタイマ (WDT) 用に独立クロックを内蔵 (RC1K: 約 1kHz)

- リセット
 - リセット入力端子リセット
 - パワーオンリセット
 - WDT オーバフローリセット
 - WDT 不正クリアリセット
 - RAM パリティエラーリセット
 - ROM 未使用領域アクセスリセット(命令アクセスのとき)
 - 電圧レベル監視リセット
 - BRK 命令リセット(CPU のみリセット)
 - 各周辺回路の個別リセット
 - 端子制御および周辺回路の一括リセット
- パワーマネージメント
 - HALT モード : CPU を停止, 周辺回路は動作を継続
 - HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
 - STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
 - STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧(REG_CORE_MCU)を低下させ消費電流を抑制(RAM データは保持)
 - クロックギア : 高速システムクロックの周波数を変更可能(HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
 - ブロック制御機能 : 使用しない機能ブロックをパワーダウン(リセットもしくはクロック供給停止)
- 割込み
 - 外部割込み 最大 6 本
 - ノンマスカブル割込み : 1 要因(内部要因 WDT)
 - マスカブル割込み : 最大 51 要因
 - 4 段階の割込みレベル機能
- ウォッチドッグタイマ(WDT)
 - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速クロックを選択可能
 - オーバフロー周期選択 : 8 種(7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
 - ウィンドウ機能の有効/無効選択 : クリア許可期間をオーバフロー周期の 50%もしくは 75%に設定可能
 - WDT 動作選択 : コードオプションで許可/停止選択可能
 - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能
- DMA コントローラ
 - チャンネル数 : 2 チャンネル
 - 転送単位 : 8 ビット/16 ビット
 - 転送回数 : 1~1024 回
 - 転送サイクル : 2 サイクル転送
 - 転送アドレス : 固定アドレッシング, インクリメントアドレッシング, デクリメントアドレッシングモード
 - 転送対象 : 特殊機能レジスタ(SFR)/RAM → SFR/RAM (フラッシュ・メモリとの転送はできません)
 - 転送要求 : 外部端子, シリアル通信ユニット, 逐次比較型 A/D コンバータ, 16 ビットタイマ, ファンクショナルタイマ
- 低速タイムベースカウンタ
 - 低速クロック(LSCLK)を分周し, 8 種(128Hz~1Hz) のパルス信号を生成
 - 8 種類のパルス信号から 3 つの割込みを選択可能
 - 1Hz または 2Hz の信号を汎用ポートから出力可能
 - 周波数補正機能を搭載(補正範囲:約-488ppm ~ +488ppm, 補正分解能:約 0.119ppm)

- 簡易 RTC
 - チャンネル数 : 1 チャンネル
 - 00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウント
 - 4 種類の定期割込み要求 (0.5 秒, 1 秒, 30 秒, 60 秒) から 1 つの割込みを選択可能
 - 分, 秒の誤書き込み防止機能を搭載
- ファンクショナルタイマ
 - チャンネル数 : 最大 6 チャンネル (出力 4 チャンネル)
 - 16 ビットカウンタによるタイマ/キャプチャ/PWM 機能を搭載
 - 連続モード, ワンショットモードを搭載
 - デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
 - キャプチャ機能により入力信号のデューティ, 周期が測定可能
 - 周期割込みのほか, デューティ割込みや設定値との一致割込みなどを発生
 - 外部入力, タイマなどをトリガにしてカウンタの動作開始/停止/カウンタクリアが可能
 - 外部入力をトリガにして緊急停止, および緊急停止割込みを発生
 - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能
 - チャンネル毎にカウンタクロックを選択可能 (LSCLK/HSCLK の 1~128 分周または外部クロック入力)
- 16 ビットタイマ
 - チャンネル数 : 最大 6 チャンネル (出力 2 チャンネル)
 - 8 ビットタイマモード, 16 ビットタイマモード
 - (16 ビットタイマ×1 チャンネルは, 8 ビットタイマ×2 チャンネルとして使用可能)
 - 16 ビット (8 ビット) タイマの異なるチャンネル間で同時開始/停止が可能
 - タイマ出力 (オーバフロー毎に出力が反転)
 - チャンネル毎にカウンタクロックを選択可能 (LSCLK/HSCLK の 1~128 分周または外部クロック入力)
- シリアル通信ユニット
 - 同期式シリアルポート (SSIO) モード/UART モードを選択
 - チャンネル数 : 最大 2 チャンネル
 - <同期式シリアルポートモード>
 - マスタ/スレーブ選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 8 ビット長/16 ビット長選択可能
 - <UART モード>
 - 全二重通信モード/半二重通信モード
 - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット
 - 正論理/負論理選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 幅広い通信速度を設定可能
 - ・ クロック周波数 32.768kHz 時: 1bps~4,800bps
 - ・ クロック周波数 24MHz 時: 600bps~3Mbps
 - ・ クロック周波数 16MHz 時: 300bps~2Mbps
 - ボーレートジェネレータ内蔵
- I²C バスユニット (マスタ/スレーブ)
 - マスタモード/スレーブモードを選択
 - チャンネル数 : 1 チャンネル
 - <マスタ機能>
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps) 対応
 - ハンドシェイク (クロック同期化) 対応
 - 7 ビットアドレスフォーマット (10 ビットアドレス対応可能)
 - <スレーブ機能>
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps) 対応
 - クロックストレッチ機能
 - 7 ビットアドレスフォーマット

- I²C バスマスタ
 - － チャンネル数 : 最大 1 チャンネル
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応
 - － 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
- 汎用ポート(GPIO)
 - － 汎用入出力 : 最大 15 端子(兼用機能およびオンチップデバッグ用の 1 端子を含む)
 - － 汎用入力 : 最大 2 端子(兼用機能を含む)
 - － 外部割込み : 最大 6 端子
 - － LED 駆動 : 最大 12 端子
 - － キャリア周波数出力機能(赤外線通信用)
- 逐次比較型 A/D コンバータ
 - － チャンネル数 : 最大 5 チャンネル
 - － 分解能 : 10 ビット
 - － 変換時間 : 最小 2.25 μ s / 1 チャンネル(変換クロック 8MHz 時)
 - － V_{DDIO_MCU} 端子入力電圧／内部基準電圧(V_{REFI}=約 1.55V)／外部基準電圧(V_{REF} 端子)選択可能
 - － 選択チャンネルの連続変換が可能
 - － 変換結果のレジスタは各チャンネル毎に搭載
 - － 変換結果の下限, 上限判定による割込み要求が可能
- 電圧レベル監視機能(VLS)
 - － 判定精度 : $\pm 4\%$
 - － 判定電圧 : 12 値(1.85V $\sim$ 4.00V から選択可能)
 - － 電圧レベル監視リセット(VLS リセット)として使用可能
 - － 電圧レベル監視割込み(VLS0 割込み)として使用可能
- アナログコンパレータ
 - － チャンネル数 : 最大 2 チャンネル
 - － 割込みエッジ, サンプリング有無を選択可能
 - － 外部入力と外部入力, 外部入力と内部基準電圧(0.8V)との比較が可能
- D/A コンバータ
 - － チャンネル数 : 最大 1 チャンネル
 - － 分解能 : 8 ビット
 - － 出力インピーダンス : 6k Ω (Typ.)
 - － R-2R ラダー方式
- ブザー
 - － 4 種類のブザーモード(連続音／単音／断続音 1／断続音 2)
 - － 8 種の周波数(4.096kHz $\sim$ 293Hz)
 - － 15 段階のデューティ(1/16 $\sim$ 15/16)
 - － ブザー出力端子の正論理／負論理が選択可能
- CRC(Cyclic Redundancy Check)演算器
 - － 生成多項式 : $X^{16}+X^{12}+X^5+1$
 - － LSB ファースト／MSB ファースト選択可能
 - － プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載

- 安全機能 (IEC60730/60335 Class B 対応)
 - － 低速水晶発振停止時に低速 RC 発振に自動で切り替え
 - － RAM/SFR ガード
 - － プログラム・メモリの自動 CRC 演算
 - － RAM パリティエラー検出
 - － ROM 未使用領域アクセスリセット (命令アクセスのとき)
 - － クロック相互監視
 - － WDT カウンタ監視
 - － 逐次比較型 A/D コンバータテスト
 - － UART テスト
 - － 同期式シリアルポートテスト
 - － I²C バステスト
 - － 汎用ポートテスト

◆ 電源電圧 2.6V ~ 3.6V

◆ 動作温度 -40℃ ~ 85℃ (動作保証)
-30℃ ~ 75℃ (RF 特性保証)

◆ 消費電流

スリープ時		3.45uA (RF=IDD_SLP1/MCU=IDD2-2)
送信時	20mW	44.7mA (RF=IDD_TX20/MCU=IDD5)
受信時		18.2mA (RF=IDD_RX/MCU=IDD5)

◆ パッケージ

48 ピン WQFN

鉛フリー RoHS 準拠

(*1)製品形名により、対応規格及び対応周波数は異なります。
ML7456N-700AGDZ0ANL Sigfox(RC3)、ARIB STD-T108 に対応

■関連文書

RF 部の詳細は、別紙「ML7414 アプリケーションノートハードウェア詳細」をご参照ください。

MCU 部の詳細は別紙「ML62Q1000 シリーズ ユーザーズマニュアル」の ML62Q1532 に関する説明をご参照ください。
ML7456N は ML62Q1532 の一部端子のみ使用しているため、端子に関する説明、および端子数に関わる各種機能の搭載数等は本資料の記述を優先してください。

「ML62Q1000 シリーズ ユーザーズマニュアル」をご参照の際は下表の通り端子名を読み替えてください。

本資料	ML62Q1000 シリーズ ユーザーズマニュアル
VDDIO_MCU	VDD
REG_CORE_MCU	VDDL

■表記方法

1) 数値表記

0xnn の形式は、16 進を示します。0bnn の形式は、2 進を示します。

(例) 0x11= 17(10 進), 0b11= 3(10 進)

2) レジスタ表記

レジスタは以下のように表記します。

[<レジスタ名称>: B<Bank No> <レジスタアドレス>]

(例) [RF_STATUS: B0 0x0B(3-0)]

レジスタ名称: RF_STATUS

Bank No: 0

レジスタアドレス: 0x0B

3) ビット名表記

ビット名は以下のように表記します。

<ビット名称>[<レジスタ名称>: B<Bank No> <レジスタアドレス>(<ビット位置>)]

(例) SET_TRX([RF_STATUS: B0 0x0B(3-0)])

レジスタ名称: RF_STATUS

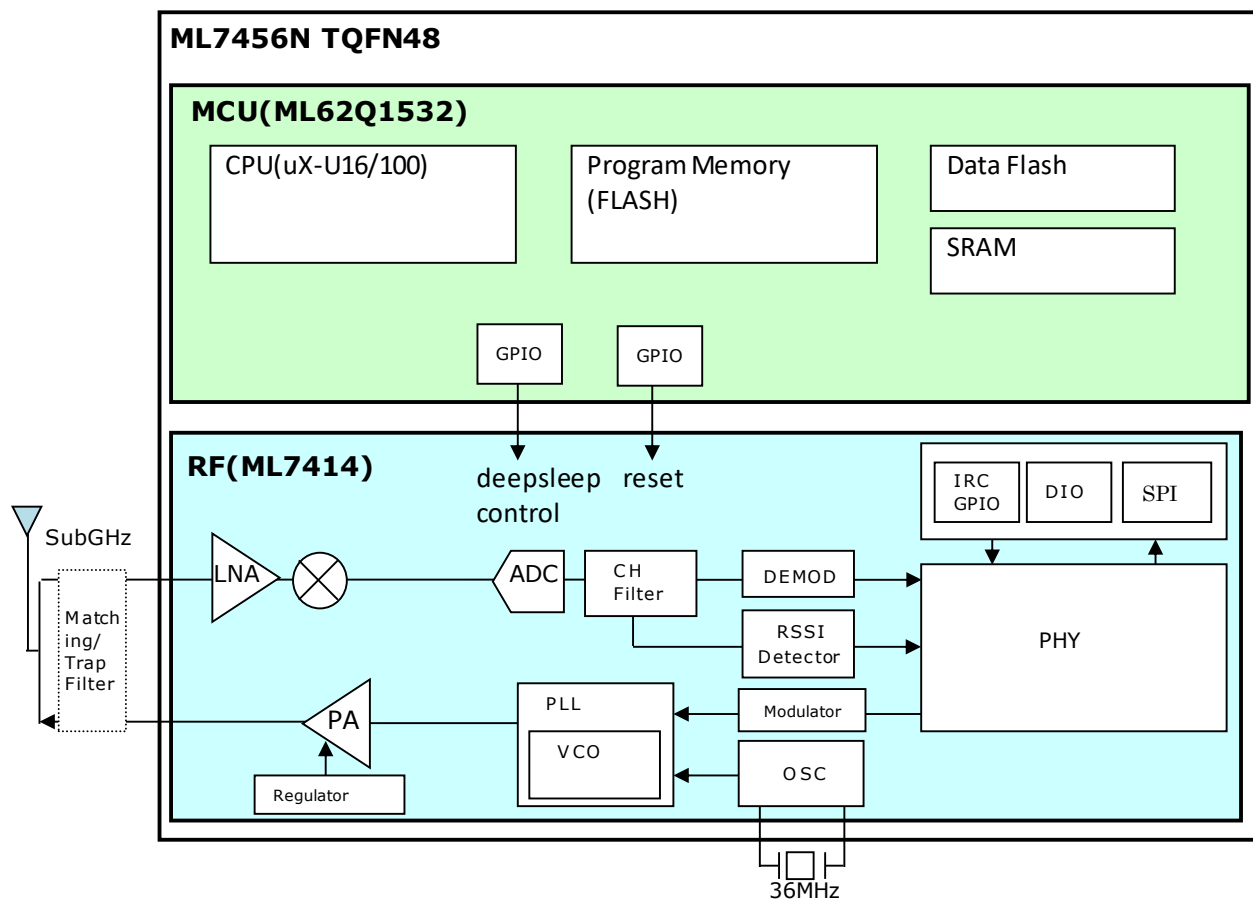
Bank No: 0

レジスタアドレス: 0x0B

bit: ビット 3 からビット 0

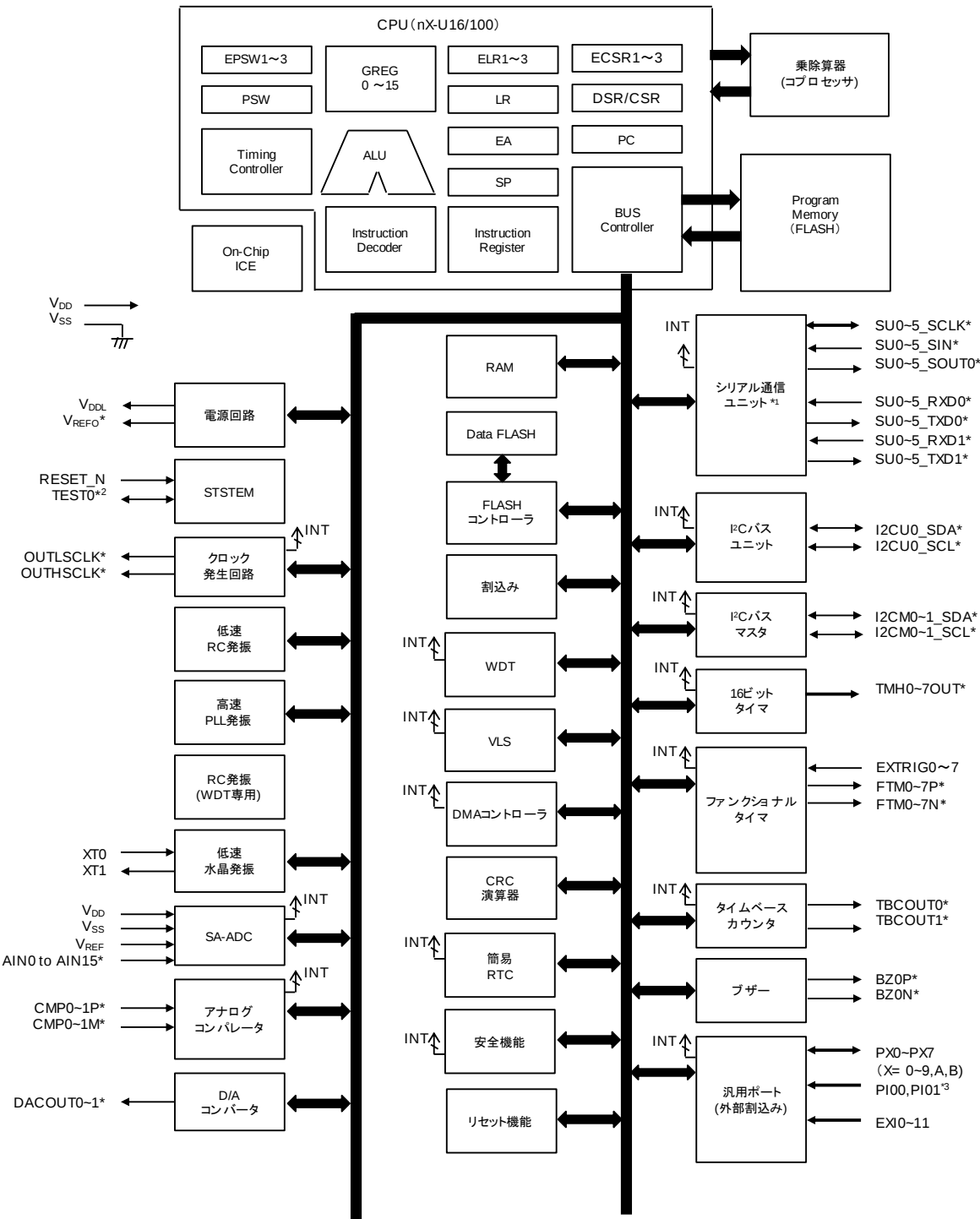
■ブロック図

●全体/RF 部



●MCU 部

MCU 部 ML62Q1500/1800 グループのブロック図



* :各ポートの 2～8 次機能，使用可能端子は端子一覧と端子説明項をご参照ください。

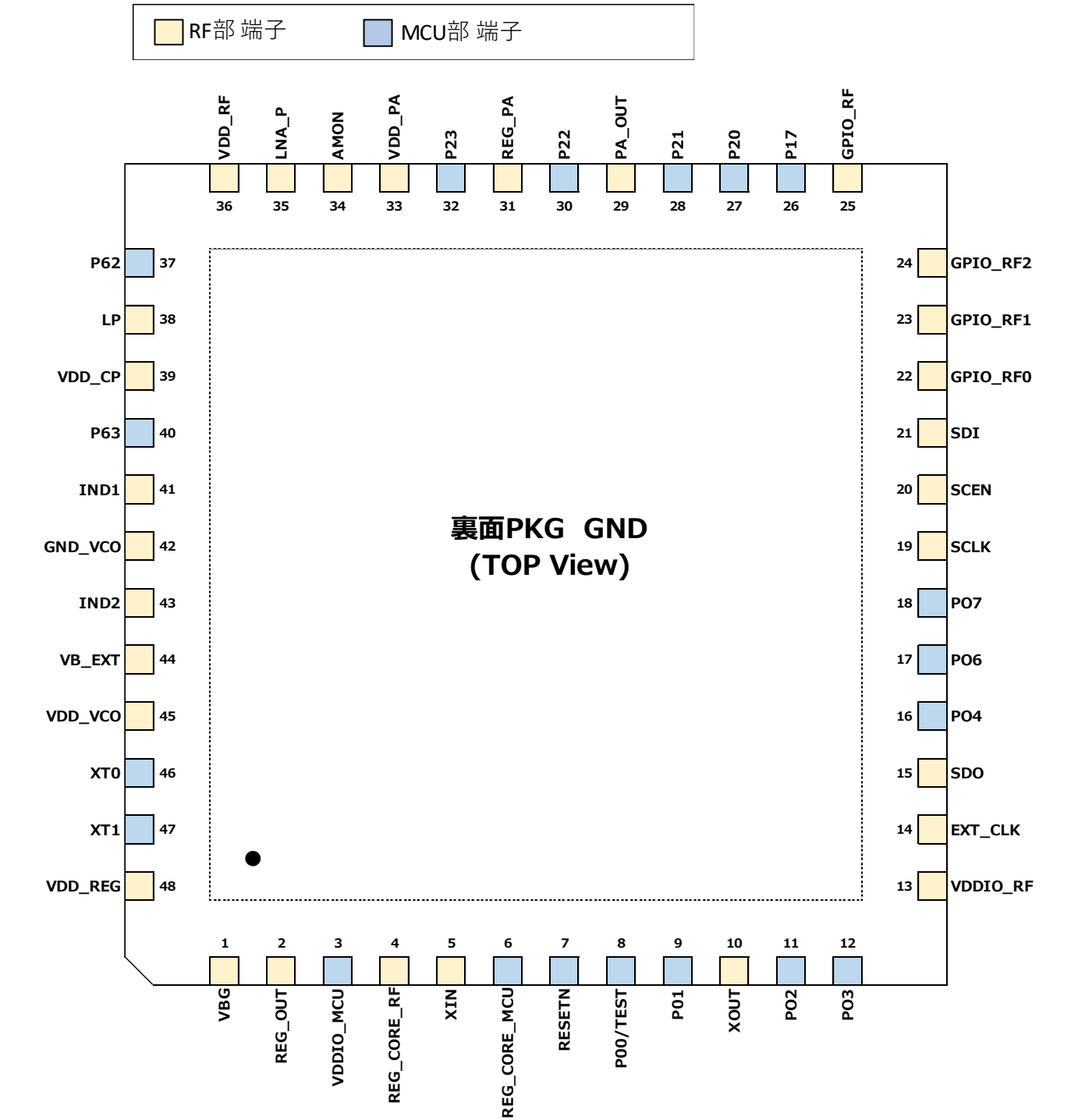
*¹:UART と同期式シリアルポートを兼用しています。

*²:オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。

*³:水晶を接続した場合は入力ポートとして使用できません。

■端子配置

48ピン WQFN



ご注意：チップ中央の GND は裏面(名称:裏面 GND)です。

■端子一覧

表 端子一覧(1/2)

Pin No.	端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
1	VBG	-	-	-	-	-	-	-	-
2	REG_OUT	-	-	-	-	-	-	-	-
3	VDDIO_MCU	-	-	-	-	-	-	-	-
4	REG_CORE_RF	-	-	-	-	-	-	-	-
5	XIN	-	-	-	-	-	-	-	-
6	REG_CORE_MCU	-	-	-	-	-	-	-	-
7	RESET_N *1	-	-	-	-	-	-	-	-
8	P00/TEST *2	-	-	-	-	-	-	-	-
9	P01	DACOUT0	-	-	-	-	TBCOUT0	TBCOUT1	-
10	XOUT	-	-	-	-	-	-	-	-
11	P02	EXI0 EXTRG0	SU0_RXD0 SU0_SIN	-	-	FTM0P	OUTLSCLK	CMP0M	-
12	P03	EXI1 EXTRG1	SU0_TXD0 SU0_SOUT	SU0_TXD1	I2CU0_SDA	FTM0N	OUTHCLK	CMP0P	AIN11
13	VDDIO_RF	-	-	-	-	-	-	-	-
14	EXT_CLK	-	-	-	-	-	-	-	-
15	SDO	-	-	-	-	-	-	-	-
16	P04	EXI2 EXTRG2	SU0_SCLK	-	I2CU0_SCL	TMH0OUT	-	-	-
17	P06	-	-	-	I2CM0_SDA	-	-	-	-
18	P07	-	SU0_RXD1	SU0_RXD0	I2CM0_SCL	-	-	-	-
19	SCLK	-	-	-	-	-	-	-	-
20	SCEN	-	-	-	-	-	-	-	-
21	SDI	-	-	-	-	-	-	-	-
22	GPIO_RF0	-	-	-	-	-	-	-	-
23	GPIO_RF1	-	-	-	-	-	-	-	-
24	GPIO_RF2	-	-	-	-	-	-	-	-
25	GPIO_RF3	-	-	-	-	-	-	-	-
26	P17	EXI3 EXTRG3	SU0_RXD1	SU0_RXD0	-	FTM1P	TBCOUT0	BZ0P	AIN0
27	P20	-	SU0_TXD1	-	-	FTM1N	TBCOUT1	BZ0N	AIN1
28	P21	EXI4 EXTRG4	SU1_RXD0 SU1_SIN	-	-	FTM2P	OUTLSCLK	-	AIN2
29	PA_OUT	-	-	-	-	-	-	-	-
30	P22	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	I2CM0_SDA	FTM2N	OUTHCLK	-	AIN3
31	REG_PA	-	-	-	-	-	-	-	-
32	P23	EXI5 EXTRG5 V _{REF}	SU1_SCLK	-	I2CM0_SCL	TMH2OUT	-	-	V _{REF0}

表 端子一覧(2/2)

Pin No.	端子名 (1 次機能)	1 次機能 その他	2 次機能 通信系	3 次機能 通信系	4 次機能 通信系	5 次機能 タイマ系	6 次機能 その他	7 次機能 その他	8 次機能 ADC
33	VDD_PA	-	-	-	-	-	-	-	-
34	AMON	-	-	-	-	-	-	-	-
35	LNA_P	-	-	-	-	-	-	-	-
36	VDD_RF	-	-	-	-	-	-	-	-
37	P62	-	-	-	-	FTM4N	-	CMP1P	-
38	LP	-	-	-	-	-	-	-	-
39	VDD_CP	-	-	-	-	-	-	-	-
40	P63	-	-	-	-	FTM4P	-	CMP1M	-
41	IND1	-	-	-	-	-	-	-	-
42	GND_VCO	-	-	-	-	-	-	-	-
43	IND2	-	-	-	-	-	-	-	-
44	VB_EXT	-	-	-	-	-	-	-	-
45	VDD_VCO	-	-	-	-	-	-	-	-
46	XT0	PI00	-	-	-	-	-	-	-
47	XT1	PI01	-	-	-	-	-	-	-
48	VDD_REG	-	-	-	-	-	-	-	-

*1 RESET_N 端子は、オンチップデバッグ機能を使用しない場合はジャンパ等で VDD に接続できるようにしてください。

*2 P00/TEST0 端子は、オンチップデバッグ機能を使用しない場合はジャンパ等で VDD に接続できるようにしてください。

■端子説明

I/O 定義		リセット時記号		Active Level	
I	: デジタル入力端子	I	: 入力状態	H	: H レベル
O	: デジタル出力端子	O	: 出力状態	L	: L レベル
IS	: シュミットトリガ入力端子	Hi-Z	: ハイインピーダンス状態	OD	: オープンドレイン
IO	: デジタル入出力端子			P	: 立上り
IA	: アナログ入力端子			N	: 立下り
OA	: アナログ出力端子 1				
OAH	: アナログ出力端子 2				
IOA	: アナログ入力出力端子				
IRF	: RF 入力端子				
ORF	: RF 出力端子				
VDDIO	: I/O 電源端子				
VDDRF	: RF 電源端子				
GND	: GND 端子				

●MCU 部

下表に ML7456N MCU 部の機能毎の端子説明を示します。

I/O 欄の “—” は電源端子, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子を示します。

機 能	信号名	端子名	I/O	説 明	論理
電源	—	裏面 GND	—	マイナス側電源	—
	—	V _{DDIO_MCU}	—	プラス側電源 電源を安定させるため、V _{DDIO_MCU} と V _{SS} の間にコンデンサ C _V を接続してください	—
	—	REG_COR E_MCU	—	内部ロジック用電源 (内部発生) V _{SS} との間にコンデンサ C _L (1μF) を接続してください	—
テスト	TEST0	P00	I/O	テスト用入出力 オンチップデバッグ機能、および ISP 機能に使用します。オンチップデバッグに使用する場合は、汎用ポートとしては使用できません。P00 端子と兼用端子です。初期値はプルアップ抵抗付き入力です	—
システム	V _{REF0}	P23	—	リファレンス電圧出力	—
	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負
	XT0	XT0	I	低速水晶振動子と接続	—
	XT1	XT1	O	32.768kHz 水晶振動子を接続し、V _{SS} との間にコンデンサを接続します	—
	OUTLSCLK	P02 P21	O	低速出力クロック	—
	OUTHCLK	P03 P22	O	高速出力クロック	—
汎用ポート	PI00,PI01	XT0,XT1	I	汎用入力 低速水晶発振端子と兼用端子のため、水晶振動子を接続する場合は汎用入力ポートとして使用できません	正
	P00	P00	I/O	汎用入出力 ・ハイインピーダンス ・プルアップ抵抗付き入力 (初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル (N-ch) オープンドレイン出力 TEST0 端子と兼用端子のため、オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正
	P01~P07 P17	P01~P07 P17	I/O	汎用入出力 ・ハイインピーダンス (初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N-ch オープンドレイン出力	正
	P20~P23	P20~P23			
	P62~P63	P62~P63			

機 能	信号名	端子名	I/O	説 明	論理
シリアル通信 ユニット (UART モード)	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力	正
	SU0_RXD0	P02	I	シリアル通信ユニット 0 の全二重モードデータ入力 シリアル通信ユニット 0 の UART0 データ入力	正
		P07			
		P17			
	SU0_TXD1	P03	O	シリアル通信ユニット 0 の全二重モードデータ出力 シリアル通信ユニット 0 の UART1 データ出力	正
		P20			
	SU0_RXD1	P07	I	シリアル通信ユニット 0 の UART1 データ入力	正
		P17			
	SU1_TXD0	P22	O	シリアル通信ユニット 1 の UART0 データ出力	正
	SU1_RXD0	P21	I	シリアル通信ユニット 1 の全二重モードデータ入力 シリアル通信ユニット 1 の UART0 データ入力	正
	SU1_TXD1	P22	O	シリアル通信ユニット 1 の全二重モードデータ出力 シリアル通信ユニット 1 の UART1 データ出力	正

機 能	信号名	端子名	I/O	説 明	論理
シリアル通信 ユニット (同期式シリアルポ ートモード)	SU0_SIN	P02	I	シリアル通信ユニット 0 の同期式シリアルデータ入力	正
	SU0_SCLK	P04	I/O	シリアル通信ユニット 0 の同期式シリアルクロック入出力	正
	SU0_SOUT	P03	O	シリアル通信ユニット 0 の同期式シリアルデータ出力	正
	SU1_SIN	P21	I	シリアル通信ユニット 1 の同期式シリアルデータ入力	正
	SU1_SCLK	P23	I/O	シリアル通信ユニット 1 の同期式シリアルクロック入出力	正
	SU1_SOUT	P22	O	シリアル通信ユニット 1 の同期式シリアルデータ出力	正
I ² C バス	I2CU0_SDA	P03	I/O	I ² C バスユニット 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
	I2CU0_SCL	P04	I/O	I ² C バスユニット 0 のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
	I2CM0_SDA	P06	I/O	I ² C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P22			
	I2CM0_SCL	P07	I/O	I ² C バスマスタ 0 のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			

機 能	信号名	端子名	I/O	説 明	論理
ファンクショナル タイマ	FTM0P	P02	O	ファンクショナルタイマ 0 P 出力	正
	FTM0N	P03	O	ファンクショナルタイマ 0 N 出力	負
	FTM1P	P17	O	ファンクショナルタイマ 1 P 出力	正
	FTM1P	P20	O	ファンクショナルタイマ 1 N 出力	負
	FTM2P	P21	O	ファンクショナルタイマ 2 P 出力	正
	FTM2N	P22	O	ファンクショナルタイマ 2 N 出力	負
	FTM4P	P63	O	ファンクショナルタイマ 4 P 出力	正
	FTM4N	P62	O	ファンクショナルタイマ 4 N 出力	負
	EXTRG0	P02	I	ファンクショナルタイマのトリガ入力	—
	EXTRG1	P03	I	ファンクショナルタイマのトリガ入力	—
	EXTRG2	P04	I	ファンクショナルタイマのトリガ入力	—
	EXTRG3	P17	I	ファンクショナルタイマのトリガ入力	—
	EXTRG4	P21	I	ファンクショナルタイマのトリガ入力	—
	EXTRG5	P23	I	ファンクショナルタイマのトリガ入力	—
16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力	正
	TMH2OUT	P23	O	16 ビットタイマ 2 出力	正
	EXTRG0	P02	I	16 ビットタイマのトリガ入力	—
	EXTRG1	P03	I	16 ビットタイマのトリガ入力	—
低速タイムベース カウンタ	TBCOUT0	P01	O	仮想周波数補正信号出力	正
		P17			
	TBCOUT1	P01	O	低速タイムベースカウンタ 1Hz/2Hz 出力	正
ブザー	BZ0P	P17	O	ブザー出力信号(正相)	正

機 能	信号名	端子名	I/O	説 明	論理
外部割込み	EXI0	P02	I	外部割込み 0 入力	—
	EXI1	P03	I	外部割込み 1 入力	—
	EXI2	P04	I	外部割込み 2 入力	—
	EXI3	P17	I	外部割込み 3 入力	—
	EXI4	P21	I	外部割込み 4 入力	—
	EXI5	P23	I	外部割込み 5 入力	—
逐次比較型 A/D コンバータ	V _{REF}	P23	—	逐次比較型 A/D コンバータ用リファレンス電源	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャンネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャンネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャンネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャンネル 3 のアナログ入力	—
	AIN11	P03	I	逐次比較型 A/D コンバータチャンネル 11 のアナログ入力	—
アナログ コンパレータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
	CMP1P	P62	I	アナログコンパレータ 1 非反転入力	—
	CMP1M	P63	I	アナログコンパレータ 1 反転入力	—
D/A コンバータ	DACOUT0	P01	O	D/A コンバータ 0 の出力	—

●RF 部

○RF 関連・アナログ端子

端子名称	リセット時	I/O	Active Level	端子機能
PA_OUT	O	ORF	－	RF アンテナ出力端子
AMON	Hi-Z	IOA	－	テスト端子(*1)
LNA_P	I	IA	－	RF アンテナ入力端子
LP	－	IOA	－	ループフィルタ接続端子
IND1	－	IOA	－	VCO タンク インダクタ接続端子
IND2	－	IOA	－	VCO タンク インダクタ接続端子
VB_EXT	－	IOA	－	内部バイアス平滑容量接続端子

【詳細】

*1 ラピステクノロジーでのアナログ機能確認に使用します。

○SPI 関連端子

端子名称	リセット時	I/O	Active Level	端子機能
SDO	Hi-Z	O	H or L or OD	SPI データ出力端子 または DCLK 出力端子(*1) ※初期設定では OpenDrain 出力に設定されています。SDO 端子を常時出力端子として使用する場合は、SPI リード前に SDO_OD([SPI/EXT_PA_CTRL: B0 0x53(7)])を 0b0 に設定してください。
SCLK	Hi-Z	Is	P or N	SPI クロック入力端子
SCEN	Hi-Z	Is	L	SPI チップイネーブル端子 L: イネーブル H: ディセーブル
SDI	Hi-Z	I	H or L	SPI データ入力端子 または DIO 入出力端子(*1)

【詳細】

*1 「DIO 機能」を参照してください。

○レギュレータ端子

端子名称	リセット時	I/O	Active Level	端子機能
VBG	—	OAH	—	バイパスコンデンサ接続端子
REG_OUT	—	OAH	—	レギュレータ 1 出力端子 (typ. 1.5V)
REG_CORE_RF	—	OA	—	レギュレータ 2 出力端子 (typ. 1.5V)
REGPDIN	I	I	H	レギュレータパワーダウン制御端子 通常動作時は、”L”固定入力としてください。ディープスリープ時は”H”設定してください。
REG_PA	—	OAH	—	PA 用レギュレータ出力端子

端子説明(続き)

○その他の端子

端子名称	リセット時	I/O	Active Level	端子機能
XIN N.C.(*2)	I —	IA —	P or N —	36MHz 水晶振動子接続端子 1 ※TCXO 使用時はオープンにしてください。
XOUT TCXO(*2)	—	OA	P or N	36MHz 水晶振動子接続端子 2 (TCXO 入力端子)
EXT_CLK	Hi-Z	IO	—	デジタル入出力端子 (*3) 初期機能: 外部 PA 制御信号出力
GPIO_RF0	Hi-Z	IO	H or L or OD(*1)	デジタル入出力端子 (*4) 初期機能: 割込み通知信号出力
GPIO_RF1	Hi-Z	IO	H or L or OD(*1)	デジタル入出力端子 (*5) 初期機能: クロック出力
GPIO_RF2	Hi-Z	IO	H or L or OD(*1)	デジタル入出力端子 (*6) 初期機能: アンテナ切り替え制御信号出力
GPIO_RF3	Hi-Z	IO	H or L or OD(*1)	デジタル入出力端子 (*7) 初期機能: 送受信切り替え信号出力

【詳細】

- *1 OD はオープンドレイン出力を意味します。
- *2 TCXO をお使いになる場合は、TCXO_EN を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN のいずれか 1 つのみ 0b1 となるように設定してください。
- *3 [EXTCLK_CTRL: B3 0x2C]を参照してください。
- *4 [GPIO0_CTRL: B3 0x28]を参照してください。
- *5 [GPIO1_CTRL: B3 0x29]を参照してください。
- *6 [GPIO2_CTRL: B3 0x2A]を参照してください。
- *7 [GPIO3_CTRL: B3 0x2B]を参照してください。

端子説明(続き)

○電源/GND 端子

端子名称	リセット時	I/O	Active Level	端子機能
VDD_REG	—	VDDIO	—	レギュレータ用電源端子 (入力電圧 2.6~3.6V)
VDDIO_RF	—	VDDIO	—	デジタル IO 用電源端子 (入力電圧 2.6~3.6V)
VDD_PA	—	VDDIO	—	PA 用電源端子 (入力電圧 2.6~3.6V 送信出力モードによる)
VDD_RF	—	VDDRF	—	RF 用電源端子 (REG_OUT を接続 typ.1.5V)
VDD_CP	—	VDDRF	—	チャージポンプ用電源端子 (REG_OUT を接続 typ.1.5V)
GND	—	GND	—	VCO 用 GND 端子
VDD_VCO	—	VDDRF	—	VCO 用電源端子 (REG_OUT を接続 typ.1.5V)

●未使用端子の処理

端子未使用時の処理方法を示します。本 LSI の基本動作を損なう端子処理は含まれません。

未使用端子の処理	
端子名称	推奨端子処理
XIN	オープン(TCXO 使用時)
EXT_CLK	オープン
GPIO_RF0	オープン
GPIO_RF1	オープン
GPIO_RF2	オープン
GPIO_RF3	オープン
AMON	GND
RESET_N	VDDIO_MCU に接続
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で VDDIO_MCU に接続してください。
XT0/PI00, XT1/PI01	初期値のハイインピーダンスの状態で端子をオープンにしてください。
P00	初期値のハイインピーダンスの状態で端子をオープンにしてください。
P01～P07	
P17	
P20～P23	
P62～P63	

【注意】
未使用の入力端子および入出力端子は、入力状態（プルアップ抵抗無しの入力モードまたは入出力モード）で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。上表の処理方法に従ってください。

●内部端子

本商品は RF 部と MCU 部の 2 チップで構成されています。
本項ではパッケージ内部の端子について説明します。

パッケージ内部の接続について下表に示します。

表. パッケージ内部接続

MCU 部 内部端子名	RF 部 内部端子名
P73	REGPDIN
P74	RESETN

MCU 部のパッケージ内部端子を下表に示します。

表. パッケージ内部端子(MCU 部)

機 能	信号名	端子名	I/O	説 明	論理
汎用ポート	P73	P73	I/O	汎用入出力 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N-ch オープンドレイン出力	正
	P74	P74			

RF 部のパッケージ内部端子を下表に示します。

表. パッケージ内部端子(RF 部)

端子名	入出力	アクティブレベル	リセット時属性/値	機能説明
RESETN	Is	L	I / -	RF ハードリセット端子 L: 初期化、停止 H: 動作 ※本端子を”L”とすると RF 部が全て初期化されます。RF デイープスリープ時本端子を”L”と設定してください。
REGPDIN	I	H	I / -	RF レギュレータパワーダウン制御端子 通常動作時は、”L”固定入力としてください。ディープスリープ時は”H”設定してください。

■電气的特性

●絶対最大定格

特記事項がない場合、Ta=-40 to +85℃、GND=0V での値となります。

項目	記号	条件	定格値	単位
I/O 電源端子電圧	VDDIO VDDIO_MCU	—	-0.3～+4.6	V
RF 電源端子電圧	VDDRF	—	-0.3～+2.0	V
RF 入力レベル	PRFI	受信時のアンテナ端	+10	dBm
RF 出力電圧	VRFO	PA_OUT 端子	-0.3～4.6	V
アナログ端子電圧 1	VA	—	-0.3～2.0	V
アナログ端子電圧 2	VAH	—	-0.3～4.6	V
デジタル端子入力電圧	VIN	—	-0.3～VDDIO+0.3*1 -0.3～VDDIO_MCU+0.3*1	V
デジタル端子出力電圧	VOUT	—	-0.3～VDDIO+0.3*1 -0.3～VDDIO_MCU+0.3*1	V
デジタル出力電流 (RF 部)	IDO	—	-8～+8	mA
デジタル出力電流 (MCU 部)	IDO2	—	-15～+15	mA
許容損失	Pd	Ta= +25℃	1.2	W
保存温度	Tstg	—	-55～+150	℃

*1: 4.6V 以下であること

*2: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

【注意】

絶対最大定格とは、製品の物理的品質を損なわない為の許容値であり、動作を保証するものではありません。

●推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧	VDDIO	VDDIO_RF 端子 VDD_REG 端子 VDD_PA 端子 VDDIO_MCU 端子 (*1)	2.6	3.3	3.6	V
動作温度	Ta	—	-40	+25	+85	℃
デジタル入力立上り時間	TIR	デジタル入力端子 (*1)	—	—	20	ns
デジタル入力立下り時間	TIF	デジタル入力端子 (*1)	—	—	20	ns
デジタル出力負荷	CDL	全デジタル出力端子	—	—	20	pF
マスタークロック周波数 (XIN/XOUT 端子)	FMCK1	—	—	36	—	MHz
マスタークロック精度 (*2)	ACMCK1	FSK 時	-20	—	+20	ppm
X’tal 等価直列抵抗	ESR	—	—	—	80	ohm
TCXO 入力電圧	VTCXO	DC カット ※TCXO オプション選択時	0.8	—	1.5	Vpp
動作周波数(CPU)	fOP	—	30k	—	25M	Hz
REG_CORE_MCU 外付け容量	CL	—	1.0-30%	1.0	1.0+30%	uF
RF 周波数	FRF	—	315	—	450	MHz
			750	—	960	MHz

- *1 端子説明の I/O 欄に I または Is の表示がある端子
- *2 送受信で許容できる周波数偏差を示しております。各種規格に対応するためには、下表の通り規格に応じた周波数精度でご使用ください。

規格	周波数精度
ARIB STD T-108	±20 ppm

※以下、標準として規定している値は、代表的な中心値を示します。IC のばらつきを考慮した保証値ではありません。

●MCU

○消費電流特性

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim 3.6V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.*3	Max.	
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	—	0.8	23	μA
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	—	1.0	26	μA
消費電流 2	IDD2-1	低速 RC 発振時*1 CPU が HALT 状態 PLL 発振停止	—	4.7	35	μA
消費電流 2-2	IDD2-2	低速水晶発振時*1*4 CPU が HALT 状態 PLL 発振停止	—	3.0	32	μA
消費電流 3	IDD3	CPU が低速 RC 動作状態*1*2 PLL 発振停止	—	17	105	μA
消費電流 4	IDD4	CPU が 16MHz 動作状態*1*2 PLL 16MHz 発振時 $V_{DDIO_MCU}=2.6\sim 3.6V$	—	3.3	4.5	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態*1*2 PLL 24MHz 発振時 $V_{DDIO_MCU}=2.6\sim 3.6V$	—	4.7	6.0	mA

*1: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ(BCKCONn)ならびにブロックリセットコントロールレジスタ(BRECONn)の有効ビットが全て“1”の状態

*2: CPU はウェイトモードで動作時

*3: $V_{DDIO_MCU}=3.0V$, $T_a=+25^{\circ}C$ 条件

*4: 低消費電流モード, ノイズ除去フィルタオフに設定時

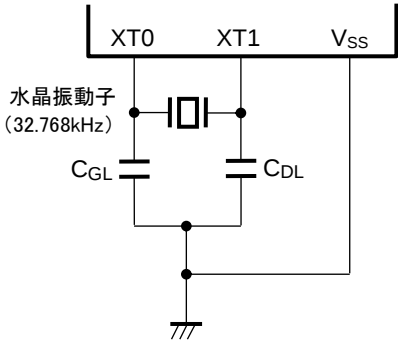
○低速水晶発振特性

(特に指定のない場合は、 $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
水晶発振周波数*1 *2	f_{XTL}	—	—	32.768	—	kHz
水晶発振開始時間	T_{XTL}	—	—	—	2	s

- *1: 発振周波数は発振回路、水晶振動子、水晶発振外付け容量(CGL/CDL)の回路定数で設定します。
水晶振動子によって回路定数は変わりますので、実装回路でのマッチング評価が必要です。
振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。
- *2: 回路基板の材質や配線パターン、および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。
外付け回路の設計には十分ご注意ください。
- 外付け回路の配線は極力短くしてください。
 - 水晶発振外付け容量、水晶振動子の配線は極力短くしてください。
 - 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
 - 外付け回路の配線と他信号の配線は交差させないでください。
 - 水晶発振外付け容量の接地点への接続については、極力電流変動や電圧変動の少ない接地配線に接続してください。
 - 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

低速水晶発振の外付け回路例



○外部クロック入力特性

(特に指定のない場合は、 $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXCK}	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	t_{EXCKW}	—	$1/f_{EXCK} \times 0.4$		$1/f_{EXCK} \times 0.6$	s

○オンチップオシレータ特性

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
低速 RC 発振周波数 1 ソフトウェア補正なし	f_{RCL1}	$T_a=+25\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	Typ. -2.0%	32.768	Typ. +2.0%	kHz
		$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	Typ. -3.5%	32.768	Typ. +3.5%	
低速 RC 発振周波数 2 ソフトウェア補正あり	f_{RCL2}	$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	Typ. -2.0%	32.768	Typ. +2.0%	
PLL 発振周波数 1 内蔵低速 RC ソフトウェア補正なし	f_{PLL1}	$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	Typ. -2.5%	16/24	Typ. +2.5%	MHz
PLL 発振周波数 2 内蔵低速 RC ソフトウェア補正あり	f_{PLL2}	$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	Typ. -1.0%	16/24	Typ. +1.0%	
PLL 発振安定時間	T_{PLL}	$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	—	—	2	ms
低速 RC1K 発振周波数 (ウォッチドッグタイマ専用)	f_{RC1K}	$T_a=-40\sim+85\text{ }^{\circ}C$, $V_{DDIO_MCU}=2.6\sim3.6V$	0.5	1	2.5	kHz

○入出力端子特性 1

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	
				Min.	Typ.	Max.		
“H”/”L”レベル出力 電圧 1 (P00) (P01~P07) (P17) (P20~P23) (P62~P63)	VOH1	IOH1=-1mA $V_{DDIO_MCU}\geq 2.6V$		V_{DD} -0.5	—	—	V	
	VOL1	IOL1=+1mA $V_{DDIO_MCU}\geq 2.6V$		—	—	0.5		
“L”レベル 出力電圧 2 (P01~P07) (P17) (P20~P23) (P62~P63)	VOL2	N-ch オープンドレイン 出力選択時	IOL2=+8mA $V_{DDIO_MCU}\geq 3.0V$	—	—	0.5		
			IOL2=+3mA $V_{DDIO_MCU}\geq 2.6V$	—	—	0.4		

○入出力端子特性 2

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim 3.6V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位
				Min.	Typ.	Max.	
“H”レベル 出力電流 1 *6	IOH1	1 端子	$V_{DD}\geq 2.6V$	-1 *3*5	—	—	mA
“H”レベル出力 合計電流 *1*4	IOH3	“P00～P07 合計” または “P17, P20～P23, P62～P63, 合計” (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 2.6V$	-20 *5	—	—	
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 2.6V$	-40 *5			
“L”レベル 出力電流 1 *6	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD}\geq 2.6V$	—	—	1 *3	
“L”レベル 出力電流 2 *6	IOL2	1 端子 (N-ch オープンドレイン出力選 択時)	$V_{DD}\geq 3.0V$	—	—	8 *3	
			$V_{DD}\geq 2.6V$	—	—	3 *3	
“L”レベル出力 合計電流 *2*4	IOL3	“P00～P07 合計” または “P17, P20～P23, P62～P63, 合計” (N-ch オープンドレイン出力選 択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 3.0V$	—	—	40	
		全端子合計 (N-ch オープンドレ イン出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 2.6V$	—	—	15	
			$V_{DD}\geq 2.6V$			20	
出力リーク (P00) (P01～P07) (P17) (P20～P23) (P62～P63)	IOOH	$VOH=V_{DD}$ (ハインピーダンス時)		—	—	+1	μA
	IOOL	$VOL=V_{SS}$ (ハインピーダンス時)		-1*5	—	—	

*1: V_{DDIO_MCU} 端子から出力端子に流れ出しても, デバイスの動作を保証する電流値です。*2: 出力端子から V_{SS} 端子に流れ込んでも, デバイスの動作を保証する電流値です。

*3: 出力合計電流を超えないでください。

*4: デューティ $\leq 50\%$ の条件での出力電流の値です。デューティ $>50\%$ に変更した出力電流の値は, 次の計算式で求めることができます。端子合計の出力電流 $=IOL3 \times 50/n$ (デューティ比を $n\%$ に変更する場合)

<計算例>

 $IOL3=100mA$ で, $n=80\%$ の場合,端子合計の出力電流 $= IOL3 \times 50/80=62.5mA$ 1 端子に流せる電流はデューティによって変わることはなく, $IOL1, IOL2$ の規格となります。

また絶対最大定格以上の電流は流せません。

*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は, 絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

*6: $VOH1, VOL1, VOL2$ を満たすための条件となります。

○入出力端子特性 3

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim 3.6V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	$V_{IH1}=V_{DD}$	—	—	1	μA	
	IIL1	$V_{IL1}=V_{SS}$	-1^{*1}	—	—		
入力電流 2 (P00/TEST0)	IIL2	$V_{IL2}=V_{SS}$ (プルアップ時) ^{*2}	-1500^{*1}	-300^{*1}	-20^{*1}	$k\Omega$	
	V/IIL2	$V_{IL2}=V_{SS}$ (プルアップ時) ^{*2}	3.7	10	80		
	IIH2Z	$V_{IH2}=V_{DD}$ (ハインピーダンス時)	—	—	1	μA	
	IIL2Z	$V_{IL2}=V_{SS}$ (ハインピーダンス時)	-1^{*1}	—	—		
入力電流 3 (P01~P07) (P17) (P20~P23) (P62~P63)	IIL3	$V_{IL1}=V_{SS}$ (プルアップ時) ^{*2}	-250^{*1}	-30^{*1}	-2^{*1}	$k\Omega$	
	V/IIL3	$V_{IL1}=V_{SS}$ (プルアップ時) ^{*2}	22	100	800		
	IIH3Z	$V_{IH1}=V_{DD}$ (ハインピーダンス時)	—	—	1	μA	
	IIL3Z	$V_{IL1}=V_{SS}$ (ハインピーダンス時)	-1^{*1}	—	—		
入力電流 4 (PI00-PI01)	IIH4	$V_{IH1}=V_{DD}$	—	—	1		
	IIL4	$V_{IL1}=V_{SS}$	-1^{*1}	—	—		
入力電圧 1 (RESET_N) (P01~P07) (P17) (P20~P23) (P62~P63) (PI00-PI01)	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
入力電圧 2 (P00/TEST0)	VIH2	—	$0.7 \times V_{DD}$	—	V_{DD}		
	VIL2	—	0	—	$0.25 \times V_{DD}$		
端子容量 (RESET_N) (P00/TEST0) (P01~P07) (P17) (P20~P23) (P62~P63) (PI00-PI01)	CPIN	$f = 10kHz$ $T_a = +25^{\circ}C$	—	—	10	pF	—

*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

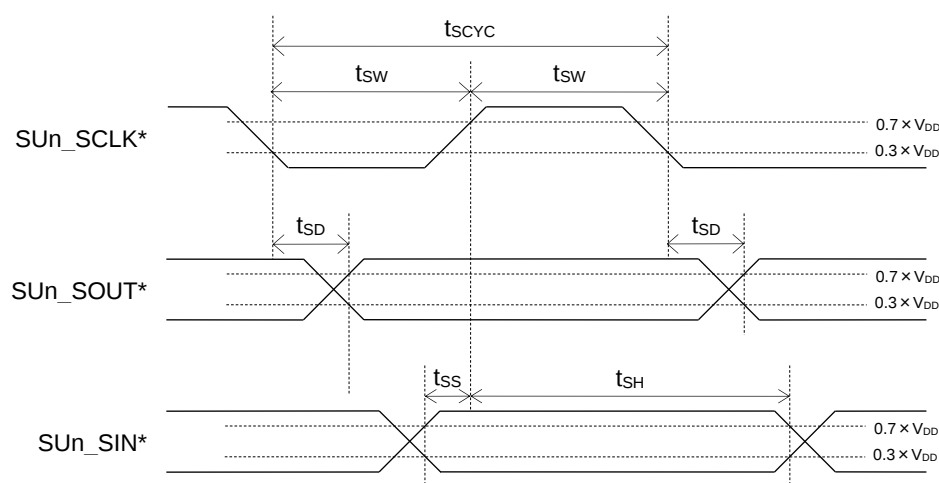
*2: Typ.値は $V_{DDIO_MCU} = 3.0V$ 条件です。また Max.値は $V_{DDIO_MCU} = 2.6V$ のとき, Min.値は $V_{DDIO_MCU} = 3.6V$ のときです。

○同期式シリアルポート特性
スレーブモード

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	1 ^{*2}	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	0.5 ^{*3}	—	—	μs
SOUT 出力遅延時間	t_{SD}	—	—	—	100+ $HSCLK^{*1}\times3$	ns
SIN 入力セットアップ時間	t_{SS}	—	$HSCLK^{*1}\times1$	—	—	ns
SIN 入力ホールド時間	t_{SH}	—	80+ $HSCLK^{*1}\times3$	—	—	ns

- *1: 高速クロックの周期
- *2: $HSCLK\times8$ 以上の入力サイクルが必要
- *3: $HSCLK\times4$ 以上の入力パルス幅が必要



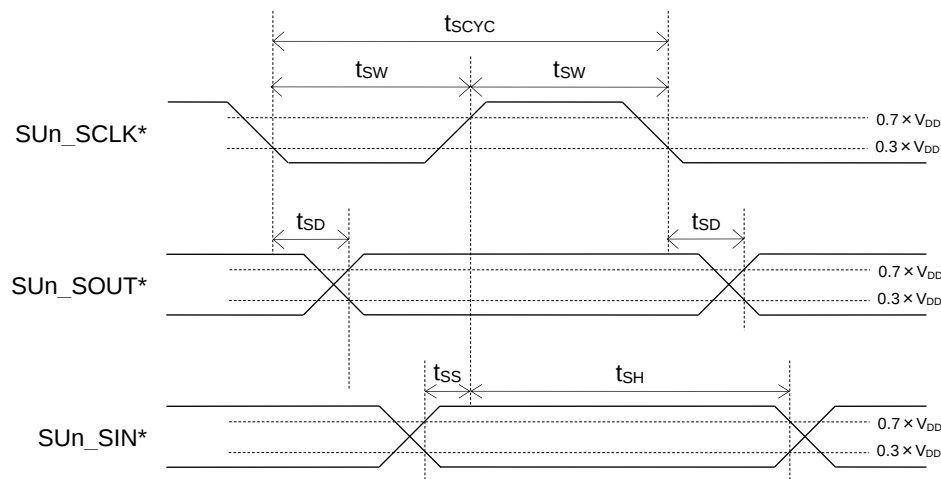
*: ポートの 2~8 次機能を示す。
n: 0~5

マスタモード

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	t_{SCYC}	—	—	$SCLK^{*1}$	—	ns
SCLK 出力パルス幅	t_{SW}	—	$SCLK^{*1}\times0.4$	$SCLK^{*1}\times0.5$	$SCLK^{*1}\times0.6$	ns
SOUT 出力遅延時間	t_{SD}	—	—	—	100	ns
SIN 入力セットアップ時間	t_{SS}	—	120	—	—	ns
SIN 入力ホールド時間	t_{SH}	—	80	—	—	ns

*1: 同期式シリアルポート n モードレジスタ(SIONMOD) のビット 12~8 (SnCK4~0) により選択されたクロック周期
($V_{DDIO_MCU}\geq2.6V$ 時: min250ns)



*: ポートの 2~8 次機能を示す。
n: 0~5

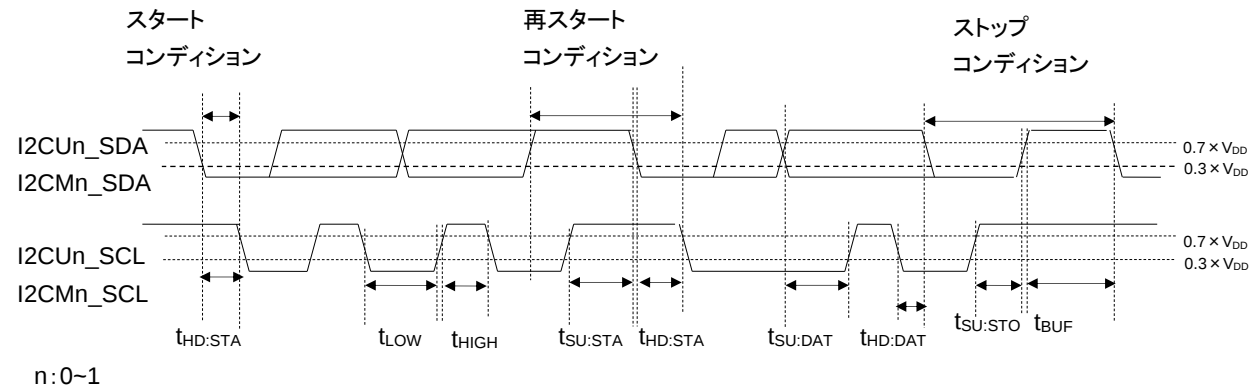
oI²C バス・インタフェース特性

標準モード(100kbps)

(特に指定のない場合は、V_{DDIO_MCU}=2.6~3.6V, V_{SS} = 0V, Ta=-40~+85 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL “L”レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL “H”レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs

I²C バスマスタとして使用する場合は、上記規格値を守るようにI²C マスタn モードレジスタ(I2MnMOD), I²C バス0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください

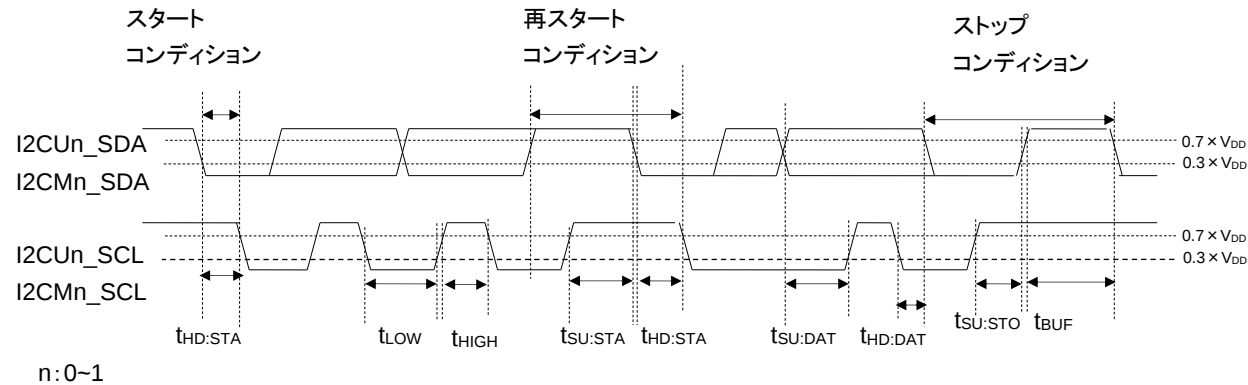


ファストモード(400kbps)

(特に指定のない場合は、 $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs

I²C バスマスタとして使用する場合は、上記規格値を守るように I²C マスタ n モードレジスタ(I2MnMOD), I²C バス 0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください

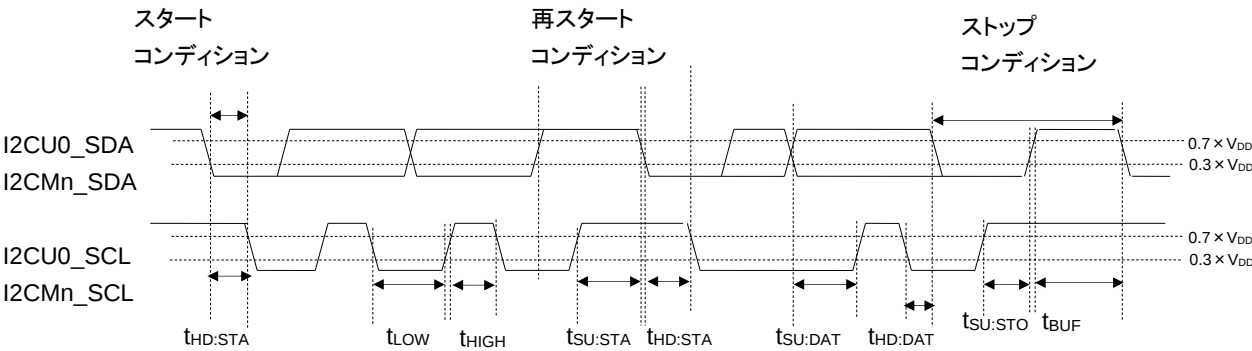


1Mbps モード

(特に指定のない場合は, $V_{DDIO_MCU} = 2.7 \sim 3.6V$, $V_{SS} = 0V$, $T_a = -40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.26	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	0.5	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	0.26	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.26	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.26	—	—	μs
バスフリー時間	t_{BUF}	—	0.5	—	—	μs

I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD) を設定してください



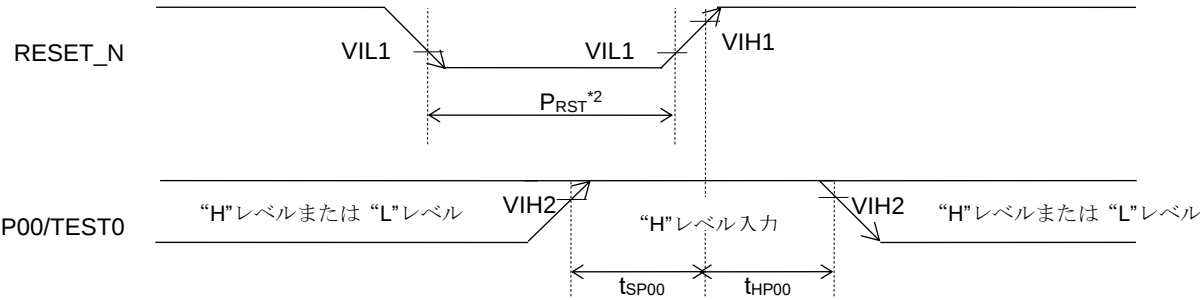
n:0~1

○リセット特性

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
リセット有効時間	P_{RST}	—	2	—	—	ms
P00“H”レベル セットアップ時間	t_{SP00}	—	1	—	—	ms
P00“H”レベル ホールド時間 ^{*1}	t_{HP00}^{*1}	—	1	—	—	ms

^{*1}: ISP モード時以外の規定です。ISP モード時のタイミングはユーザーズマニュアル“25.4 In-System Programing 機能”を参照ください。



^{*2}: 電源投入時は, $V_{DDIO_MCU}=2.6V$ 以上になってからの時間です。

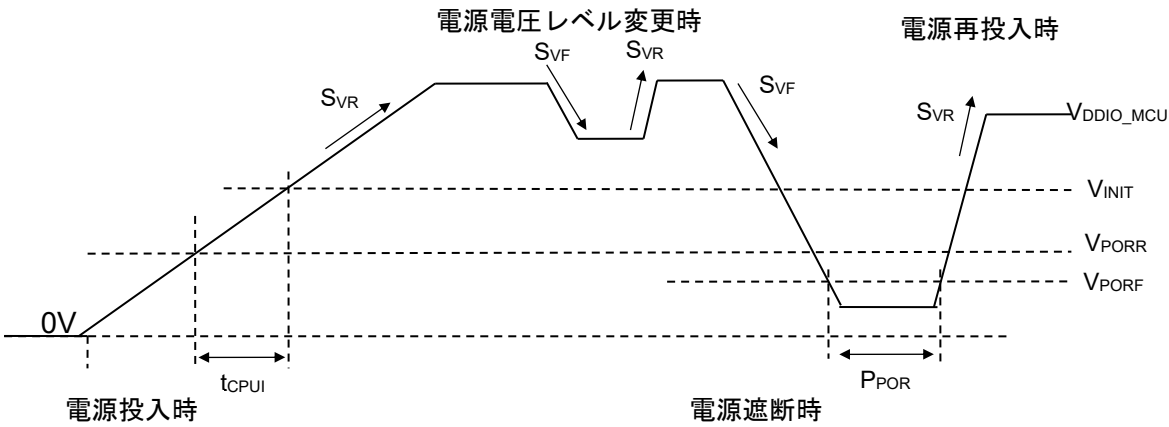
【注意】

- リセット端子にリセット有効時間(P_{RST})より短いパルスが入ると予期しない動作をする可能性があります。リセット有効時間より短いパルスが入らないようにしてください。

○電源傾きおよびパワーオンリセット特性

(特に指定のない場合は $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	
			Min.	Typ.	Max.		
電源立ち上がり傾き	S_{VR}	—	—	—	60	V/ms	
電源立ち下がり傾き	S_{VF}	—	—	—	2	V/ms	
パワーオンリセット判定電圧	V_{PORR}	電源立ち上がり時	1.47	1.57	1.80	V	
	V_{PORF}	電源立ち下がり時	1.33	1.49	1.58	V	
パワーオンリセット最小パルス幅	P_{POR}	—	200	—	—	μs	
電源投入時電圧	V_{INIT}	パワーオン時	1.8	—	—	V	
CPU 動作開始時時間 (リセット解除からCPU が動作 開始するまでの時間)	t_{CPUI}	—	11	16	—	ms	—



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。バスコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- V_{DDIO_MCU} が動作電圧範囲内になってから高速クロックを起動してください。

○VLS 特性

(特に指定のない場合は, V_{DDIO_MCU}=2.6~3.6V, V_{SS}=0V, Ta=-40~+85 °C)

項 目	記 号	条 件		規 格 値			単位
		VLS0LV ^{*1}	電源電圧	Min.	Typ.	Max.	
VLS 判定電圧 ^{*2}	V _{VLSR}	00H	上昇時	3.86	4.06	4.26	V
	V _{VLSF}		降下時	3.84	4.00	4.16	
	V _{VLSR}	01H	上昇時	3.57	3.76	3.95	
	V _{VLSF}		降下時	3.55	3.70	3.85	
	V _{VLSR}	02H	上昇時	2.94	3.11	3.28	
	V _{VLSF}		降下時	2.92	3.05	3.18	
	V _{VLSR}	03H	上昇時	2.85	3.01	3.17	
	V _{VLSF}		降下時	2.83	2.95	3.07	
	V _{VLSR}	04H	上昇時	2.75	2.91	3.07	
	V _{VLSF}		降下時	2.73	2.85	2.97	
	V _{VLSR}	05H	上昇時	2.66	2.81	2.96	
	V _{VLSF}		降下時	2.64	2.75	2.86	
	V _{VLSR}	06H	上昇時	2.56	2.71	2.86	
	V _{VLSF}		降下時	2.54	2.65	2.76	
	V _{VLSR}	07H	上昇時	2.46	2.61	2.76	
	V _{VLSF}		降下時	2.44	2.55	2.66	
	V _{VLSR}	08H	上昇時	2.37	2.51	2.65	
	V _{VLSF}		降下時	2.35	2.45	2.55	
	V _{VLSR}	09H	上昇時	1.98	2.11	2.24	
	V _{VLSF}		降下時	1.96	2.05	2.14	
	V _{VLSR}	0AH	上昇時	1.89	2.01	2.13	
	V _{VLSF}		降下時	1.87	1.95	2.03	
	V _{VLSR}	0BH	上昇時	1.79	1.91	2.03	
	V _{VLSF}		降下時	1.77	1.85	1.93	
VLS 消費電流	I _{VLS}	—		—	50	—	nA

^{*1}: 電圧レベル監視機能 0 レベルレジスタ(VLS0LV)のビット 3~ビット 0

^{*2}: VLS 判定電圧の VLS0LV=0CH~0FH は設定禁止です。

○アナログコンパレータ特性

(特に指定のない場合は, V_{DDIO_MCU}=2.6~3.6V, V_{SS}=0V, Ta=-40~+85 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
コンパレータ 同相入力電圧範囲	V _{CMR}	—	0.1	—	V _{DDIO_MCU} -1.5	V
コンパレータ 入力オフセット	V _{CMOF}	Ta=+25 °C, V _{DDIO_MCU} =3.3V	—	5	—	mV
コンパレータ 基準電圧	V _{CMREF}	—	0.75	0.8	0.85	V

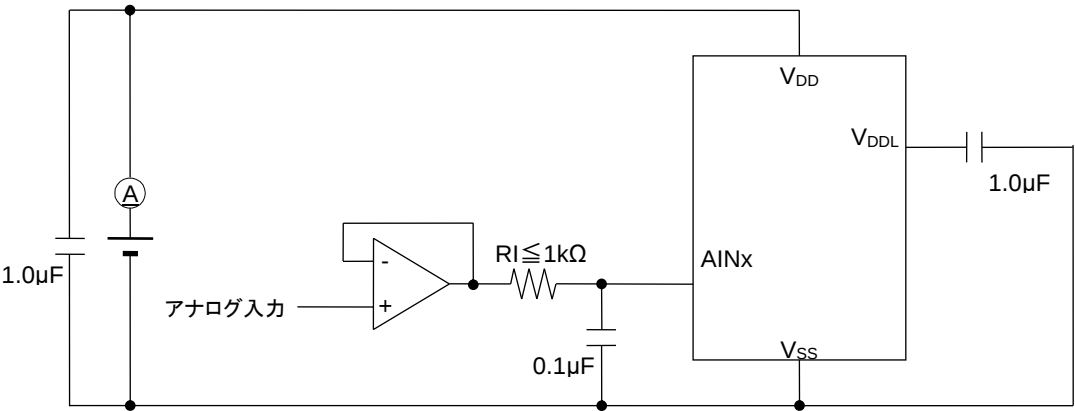
○逐次比較型 A/D コンバータ特性

(特に指定のない場合は、V_{DDIO_MCU}=2.6~3.6V, V_{SS} = 0V, Ta=-40~+85 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	η _{AD}	—	—	—	10	ビット
積分非直線性誤差	INL _{AD}	2.7V ≦ SA-ADC 基準電圧 ^{*1} ≦ 3.6V	-4	—	4	LSB
		2.2V ≦ SA-ADC 基準電圧 ^{*1} < 2.7V	-6	—	6	
		1.8V ≦ SA-ADC 基準電圧 ^{*1} < 2.2V	-10	—	10	
		SA-ADC 基準電圧=内部基準電圧 (V _{REFI})	-15	—	15	
微分非直線性誤差	DNL _{AD}	2.7V ≦ SA-ADC 基準電圧 ^{*1} ≦ 3.6V	-3	—	3	
		2.2V ≦ SA-ADC 基準電圧 ^{*1} < 2.7V	-5	—	5	
		1.8V ≦ SA-ADC 基準電圧 ^{*1} < 2.2V	-9	—	9	
		SA-ADC 基準電圧=内部基準電圧 (V _{REFI})	-14	—	14	
ゼロスケール誤差	ZSE	RI ≦ 1kΩ	-6	—	6	V
フルスケール誤差	FSE	RI ≦ 1kΩ	-6	—	6	
A/D リファレンス電圧	V _{REF}	—	1.8	—	V _{DD}	
内部基準電圧	V _{REFI}	—	1.5	1.55	1.6	μs
変換時間	t _{CONV}	2.2V ≦ V _{DD} ≦ 3.6V	4.5	—	427	
		1.8V ≦ V _{DD} ≦ 3.6V	18	—	427	

^{*1}: V_{DDIO_MCU}, P23/V_{REF} を SA-ADC の基準電圧に選択した場合です。

SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには、アナログ入力源の出力インピーダンスを 1 kΩ 以下にしてください。また、ノイズを低減するために 0.1μF 程度のコンデンサを付けることを推奨します。



○D/A コンバータ特性

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	n_{DA}	—	—	—	8	ビット
変換周期	t_c	—	10	—	—	μs
積分非直線性誤差	INL_{DA}	$RL=4M\Omega$	-2	—	2	LSB
微分非直線性誤差	DNL_{DA}	$RL=4M\Omega$	-1	—	1	
出力インピーダンス	R_o	—	3	6	9	k Ω

○リファレンス電圧出力特性

(特に指定のない場合は, $V_{DDIO_MCU}=2.6\sim3.6V$, $V_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
出力電圧値	V_{REFO}	—	—	1.55	—	V
出力インピーダンス	R_{VREFO}	—	—	—	500	k Ω

○フラッシュ・メモリ動作条件

(V_{SS}=0V)

項 目	記 号	条 件		範 囲	単 位
動作温度(周囲)	Ta	データ領域:書き込み／消去時		-40～+85	℃
		プログラム領域:書き込み／消去時		0～+40	
動作電圧	VDDIO_MCU	書き込み／消去時		2.6～3.6	V
書き換え回数	CEPD	データ領域		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	B
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	B
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		50	ms
書き込み単位	—	プログラム領域		4	B
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	—		15	年

●RF

○電源電流特性

マスタークロック周波数 = 36MHz (Typ.)での値です。

項目	記号	条件	最小	標準(*2)	最大(*3)	単位
電源電流 (*1)	IDD_DSLP	ディープスリープ状態 (レジスタ非保持, 全機能停止)	-	0.1	14 (0.24)	μA
	IDD_SLP1	スリープ状態 1 (*4)	-	0.45	33 (2.3)	μA
	IDD_IDLE	アイドル状態 (*5)	-	1.0	1.2	mA
	IDD_RX	受信状態 (*6) (*7)	-	13.5	16	mA
	IDD_TX20	送信状態 (20mW) (*5) (*7) (*8)	-	40	49	mA
	IDD_XTAL	水晶発振回路(*7)	-	0.3	0.4	mA

- *1 電源電流は、全電源端子の合算値です。
- *2 標準は VDDIO =3.3V、25℃の代表的な中央値です。
- *3 括弧内の値は常温時の最大値(参考値)です。
- *4 各スリープ状態の定義は下表の通りです。

スリープ状態	レジスタ状態	FIFO 状態	RC 発振回路状態	低速タイマ状態
状態 1	保持	RXFIFO のみ保持	OFF	-
状態 2	保持	RXFIFO のみ保持	ON	ON

- *5 FSK モード, 100kbps、周波数 920MHz、TCXO 使用、LOW_RATE_EN([CLK_SET2:B0 0x03(0)])=0b1 設定時の LSI における電流値です。レジスタ詳細は ML7414 アプリケーションノートハードウェア詳細をご参照ください。
- *6 SigFox モード、周波数 920MHz、TCXO 使用設定時の LSI における電流値です。レジスタ詳細は ML7414 アプリケーションノートハードウェア詳細をご参照ください。
- *7 RF マスタークロックに水晶発振回路を使用する場合はスリープ、ディープスリープ状態以外の消費電流に水晶発振回路の動作電流分が加算されます。
- *8 CW モードにおける電流です。

○直流特性

マスタークロック周波数 = 36MHz (Typ.)での値です。

項目	記号	条件	最小	標準	最大	単位
高レベル入力電圧	VIH1	デジタル入力端子	$V_{DDIO} \times 0.75$	—	V_{DDIO}	V
低レベル入力電圧	VIL1	デジタル入力端子	0	—	$V_{DDIO} \times 0.18$	V
シュミットトリガ 高レベル判定閾値	VT+	RESETN、SDI、SCLK、SCEN、 EXT_CLK、REGPDIN、GPIO1 端子	—	1.2	$V_{DDIO} \times 0.75$	V
シュミットトリガ 低レベル判定閾値	VT-	RESETN、SDI、SCLK、SCEN、 EXT_CLK、REGPDIN、GPIO1 端子	$V_{DDIO} \times 0.18$	0.8	—	V
入力リーク電流	IIH1	デジタル入力端子	-1	—	1	μA
	IIL1	デジタル入力端子	-1	—	1	μA
トライステート 出力リーク電流	IOZH	デジタル入力端子	-1	—	1	μA
	IOZL	デジタル入力端子	-1	—	1	μA
高レベル出力電圧	VOH	IOH=-4mA	$V_{DDIO} \times 0.78$	—	V_{DDIO}	V
低レベル出力電圧	VOL	IOL=4mA	0	—	0.3	V
レギュレータ 出力電圧	MAIN_REG	REG_CORE 端子 スリープ状態以外	1.4	1.5	1.6	V
	SUB_REG	REG_CORE 端子 スリープ状態	1.2	1.5	1.65	V
入力容量	CIN	入力端子	—	6	—	pF
	COUT	出力端子	—	9	—	pF
	CRFIO	RF 入出力端子	—	9	—	pF
	CAI	アナログ入力端子	—	9	—	pF

○RF 特性

特性測定点は、推奨回路のアンテナ端となります。

【送信特性】

マスタークロック周波数 = 36MHz (Typ.)での値です。

920MHz Band

項目	条件	最小	標準 (*1)	最大	単位
送信出力電力	20mW(13dBm)設定	9	13	17	dBm
不要発射レベル	13dBm, LC トラップ回路有り, 2～5 次高調波	-	-	-30	dBm

(*1) 標準は VDDIO=3.3V、25℃条件下の代表的な中心値です。

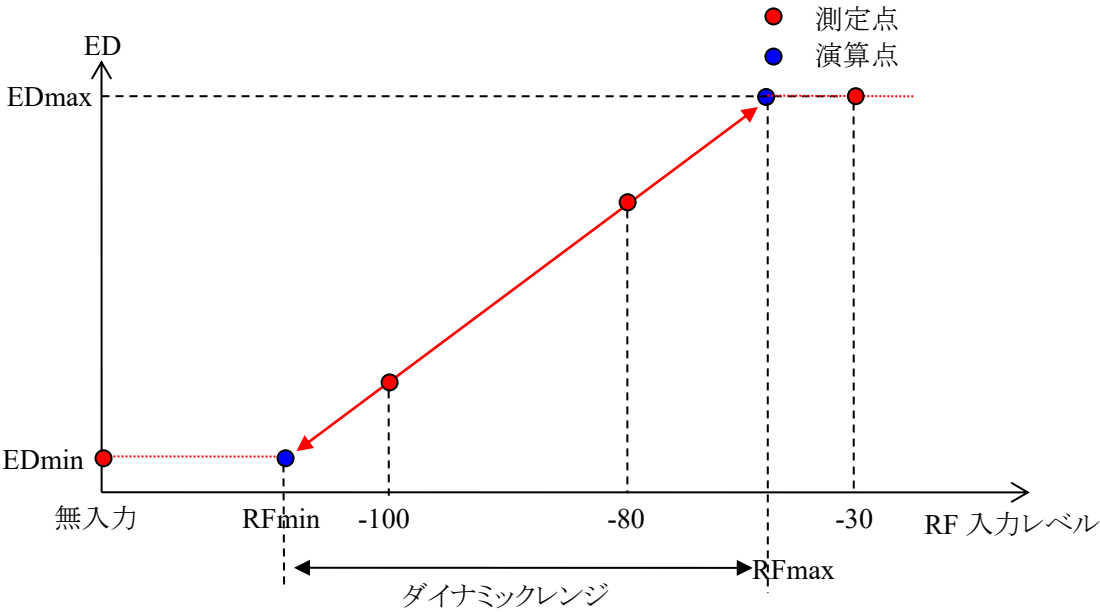
【受信特性】

マスタークロック周波数 = 36MHz (Typ.)での値です。

920MHz Band

項目	条件		最小	標準	最大	単位
最小受信感度	100kbps モード BER<1% GFSK, 50kHz deviation	Ta= -30 to +75℃	—	-103	-94	dBm
		Ta= 15 to 30℃	—	-103	-96	
隣接チャネル選択度 (*1)	400kHz spacing, Ta=25℃, 100kbps モード 妨害波: CW		20	37	—	dB
受信ブロッキング (*1)	2MHz offset, Ta=25℃, 100kbps モード		—	52	—	dB
	10MHz offset, Ta=25℃, 100kbps モード		—	62	—	dB
最小電力検出 (ED 値) レベル	RSSI 特性図 (*2) 中の RFmin 100kbps, チャネルフィルタ帯域=200kHz 設定時		—	-105	-96	dBm
電力検出範囲	RSSI 特性図 (*2) 中のダイナミックレンジ		55	65	—	dB
副次発射レベル			—	—	-54	dBm

- *1.妨害関連特性の測定条件は以下の通りです。
希望入力レベルを[BER=1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=1%となるレベルを見つけ、 $U/D[dB] = (\text{妨害波レベル}) - (\text{BER=1\%となるレベル})$ として規定しています。
- *2. RSSI 特性図を下記に示します。



○RC 発振回路特性

本 LSI はタイマー用 32kHz クロック生成機能を搭載しております。詳細は「LSI 状態制御/SLEEP 設定」の項ご参照ください。

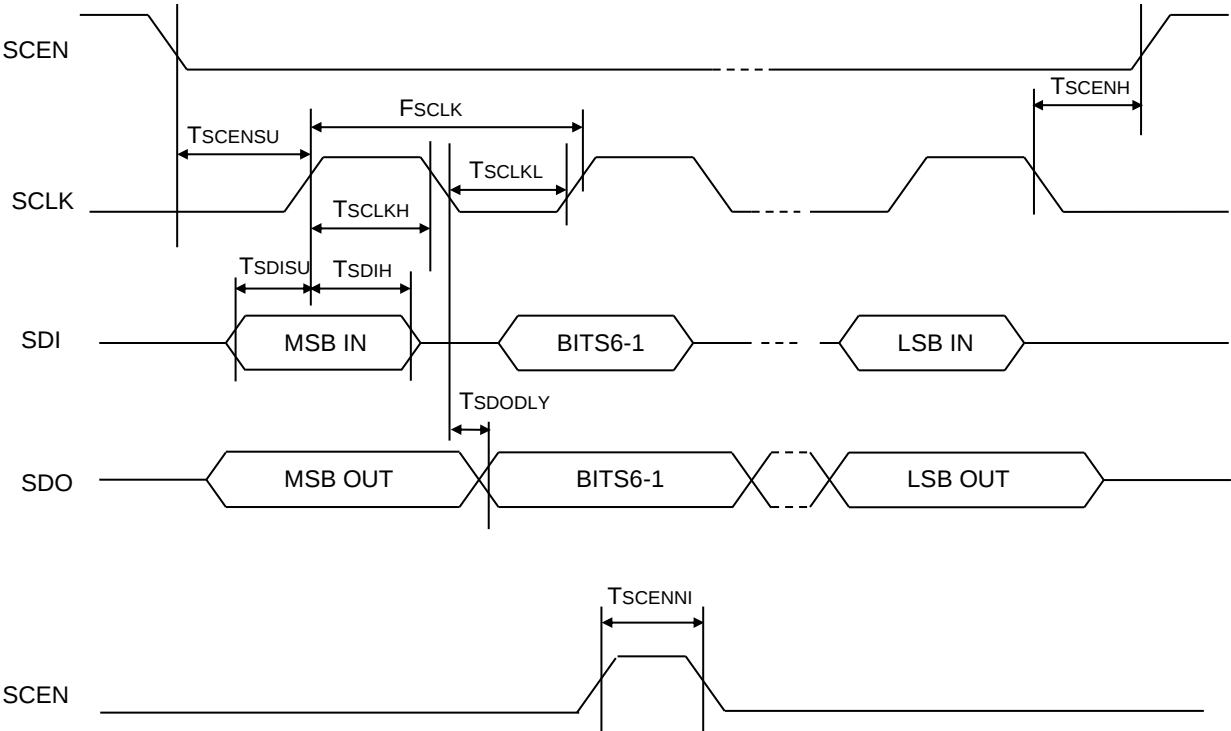
項目	記号	条件	最小	標準	最大	単位
RCOSC 発振周波数	FRCOSC	トリミング後	27	32	38	kHz
RCOSC 発振安定時間	TRCOSC		—	—	100	ms

○SPI 特性

項目	記号	条件	最小	標準	最大	単位
SCLK クロック周波数	FSCLK	負荷容量 CL=20pF	0.032	2	16	MHz
SPI クロック入力デューティ比	DSCLK		45	50	55	%
SCEN 入力セットアップ時間	TSCENSU		30	—	—	ns
SCEN 入力ホールド時間	TSCENH		30	—	—	ns
SCLK ハイパルス幅	TSCLKH		31	—	—	ns
SCLK ローパルス幅	TSCLKL		31	—	—	ns
SDI 入力セットアップ時間	TSDISU		5	—	—	ns
SDI 入力ホールド時間	TSDIH		15	—	—	ns
SCEN ネゲート間隔	TSCENNI		200	—	—	ns
SDO 出力遅延時間	TSDODLY		0	—	25	ns

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



○送受信データインタフェース特性

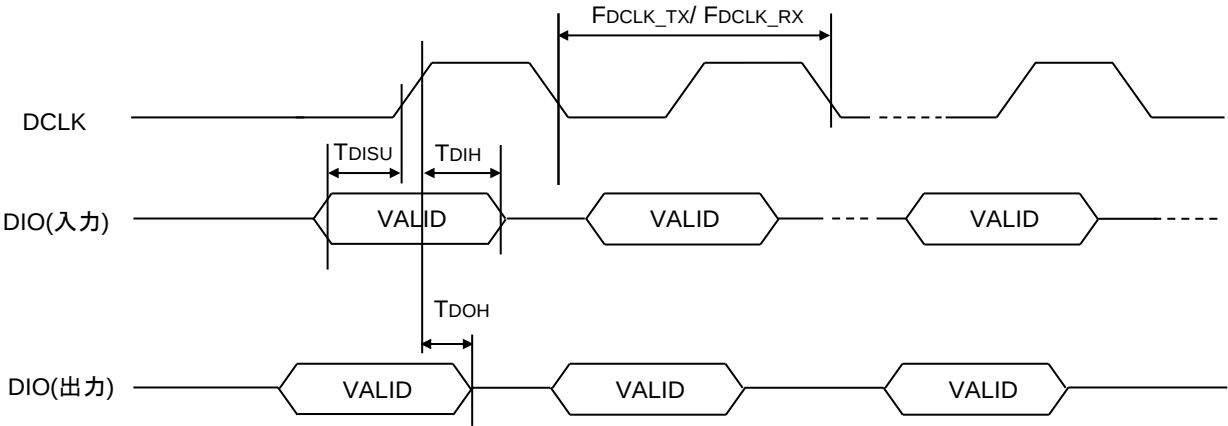
項目	記号	条件	最小	標準	最大	単位
DIO 入力セットアップ時間	TDISU	負荷容量 CL=20pF	1	—	—	μs
DIO 入力ホールド時間	TDIH		0	—	—	ns
DIO 出力ホールド時間	TDOH		20	—	—	ns
DCLK 周波数精度 (*1) (送信時)	FDCLK_TX		-クロック 周波数偏差	—	+クロック 周波数偏差	kHz
DCLK 周波数精度 (*2) (受信時)	FDCLK_RX		-30	—	+30	%
DCLK 出力デューティ比 (送信時)	DDCLK_TX		45	—	55	%
DCLK 出力デューティ比 (受信時)	DDCLK_RX		30	—	70	%

*1 送信データレート設定値の計算に小数点が発生しない場合([TX_RATE_H: B1 0x02]参照)、送信時の DCLK 周波数の最大値および最小値は、マスタークロック周波数偏差となります。

*2 受信時の DCLK 周波数の最小値および最大値は、受信信号に応じて生成される再生クロックのジッタ量(同期確立時)を示します。

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



○クロック出力特性

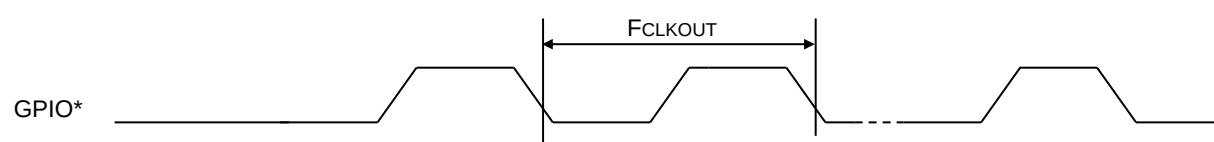
本 LSI はクロック出力機能を搭載しております。DMON_SET([MON_CTRL: B3 0x27(3-0)])および[GPIO*_CTRL: B0 0x28-0x2A]にて制御可能です。初期設定では GPIO1 端子より出力されます。

項目	記号	条件	最小	標準	最大	単位	
クロック出力周波数	FCLKOUT	負荷容量 CL=20pF	0.0088	3	36(*2)	MHz	
クロック出力デューティ比(*1)	DCLKOUT		12MHz	33	-	67	%
			上記以外	47	50	53	%

*1 8MHz に設定されたときのみ、デューティ比が High:Low = 1:2 となります。[CLK_OUT: B0 0x03]を参照してください。
*2 LOW_RATE_EN([CLK_SET2: B3 0x01(0)]=0b0 設定時の周波数です。

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。

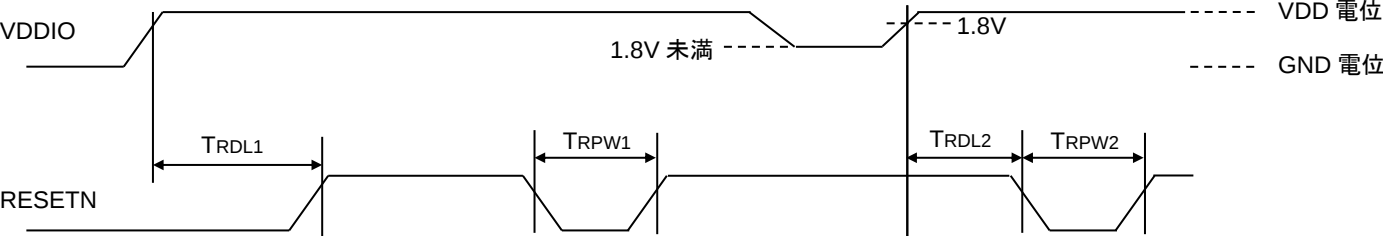


○リセット特性(内部端子)

項目	記号	条件	最小	標準	最大	単位
RESETN 解除遅延時間 (パワーオン時)	TRDL1	全電源端子 Power On 後	0.5	—	—	ms
RESETN パルス時間 (VDDIO=0V からの起動時)	TRPW1		0.5	—	—	ms
RESETN パルス時間 2 (*1) (VDDIO≠0V からの起動時)	TRPW2		0.5	—	—	ms
RESETN 入力遅延時間	TRDL2	VDDIO>1.8V 後	1	—	—	μs

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



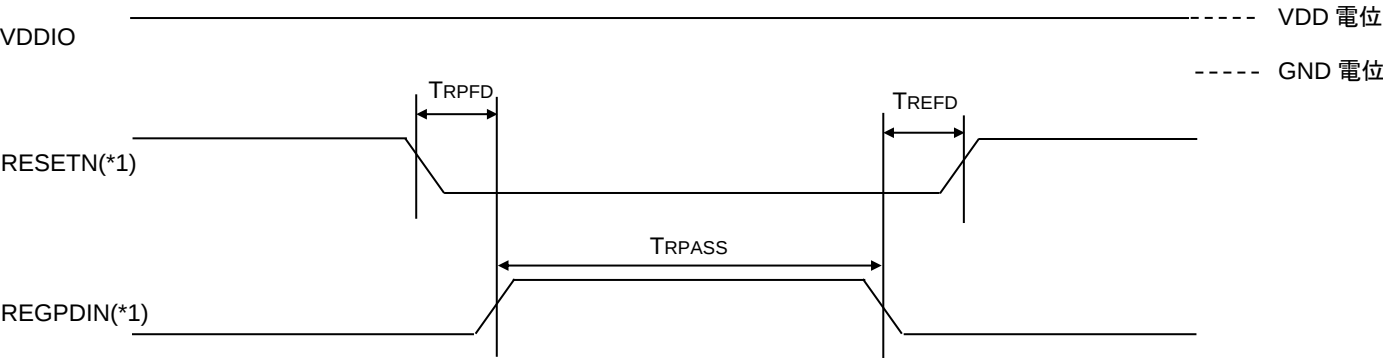
(*1) VDDIO≠0V からの起動時は VDDIO が 1.8V を超えてから RESETN 信号にパルスを入力してください。
(*2) RESETN は PKG 内部の端子です。上記タイミングを満たせるように MCU 部(ソフトウェア)により制御してください。

○ディープスリープモード特性

項目	記号	条件	最小	標準	最大	単位
REGPDIN 立上り遅延時間	TRPFD	VDDIO="H"	0	—	—	μs
REGPDIN アサート時間	TRPASS	VDDIO="H"	0.3	—	—	ms
RESETN 入力遅延時間	TREFD	VDDIO="H"	0.5	—	—	ms

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



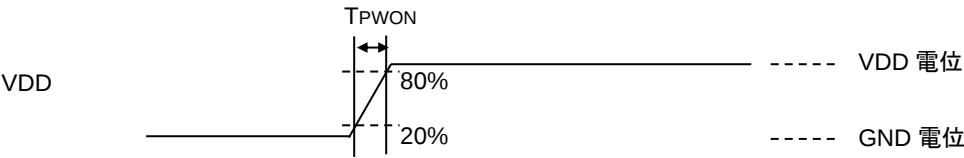
(*1) REGPDIN、RESETN は PKG 内部の端子です。上記タイミングを満たせるように MCU 部(ソフトウェア)により制御してください。

○パワーオン特性

項目	記号	条件	最小	標準	最大	単位
パワーオン時間差	TPWON	パワーオン時 (全電源端子)	—	—	5	ms

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



■機能説明

■MCU

●CPU とメモリ空間

ML62Q1532 は, CPU にラピステクノロジー・オリジナル 16 ビット CPU nX-U16/100 (A35 コア), コプロセッサに乗除算器, プログラム・メモリ空間にフラッシュ・メモリ, データ・メモリ空間に RAM およびデータ・フラッシュを内蔵しています。また, プログラム・メモリ空間の 4K バイトの領域をリマップする, リマップ機能を内蔵しています。

●リセット機能

ML62Q1532 は、表 3-1 に示すリセット要因により、CPU、周辺回路などをリセットする機能を備えています。

本章ではシステムリセットモード、リセット入力端子リセット、およびパワーオンリセット(POR)について説明します。その他のリセット要因の詳細については、表 3-1 に記載する章を参照してください。それぞれのリセット要因でリセットされる内容については、表 3-2 を参照してください。

表 3-1 リセット要因詳細の参照先

リセット要因	参照先 (ML62Q1000 シリーズ ユーザーズマニュアル)
リセット入力端子リセット(端子リセット)	本章
パワーオンリセット(POR)	本章
WDT オーバフローリセット	第 10 章 ウォッチドッグタイマ
WDT 不正クリアリセット	第 10 章 ウォッチドッグタイマ
電圧レベル監視リセット(VLS0 リセット)	第 22 章 電圧レベル監視機能
RAM パリティエラーリセット	第 29 章 安全機能
ROM 未使用領域アクセスリセット	第 29 章 安全機能
BRK 命令リセット(CPU リセット) (ELEVEL2 以上のとき)	『nX-U16/100 コア インストラクションマニュアル』
各周辺回路の個別リセット(ブロックリセット)	第 4 章 パワーマネジメント
端子制御および周辺回路の一括リセット(SOFTR リセット)	第 4 章 パワーマネジメント

○特長

リセット要因を早期に特定できる次のような機能を備えているため、リセット要因に応じて処理を分けることができます。

- リセット発生要因を示すリセットステータスレジスタ (RSTAT)
- 安全機能リセット発生要因を示すリセットステータスレジスタ (SRSTAT)

また、LSI の起動に異常があったことを検知する機能 (INITE フラグ) を備えています。

構成

図 3-1 にリセット発生回路の構成を示します。

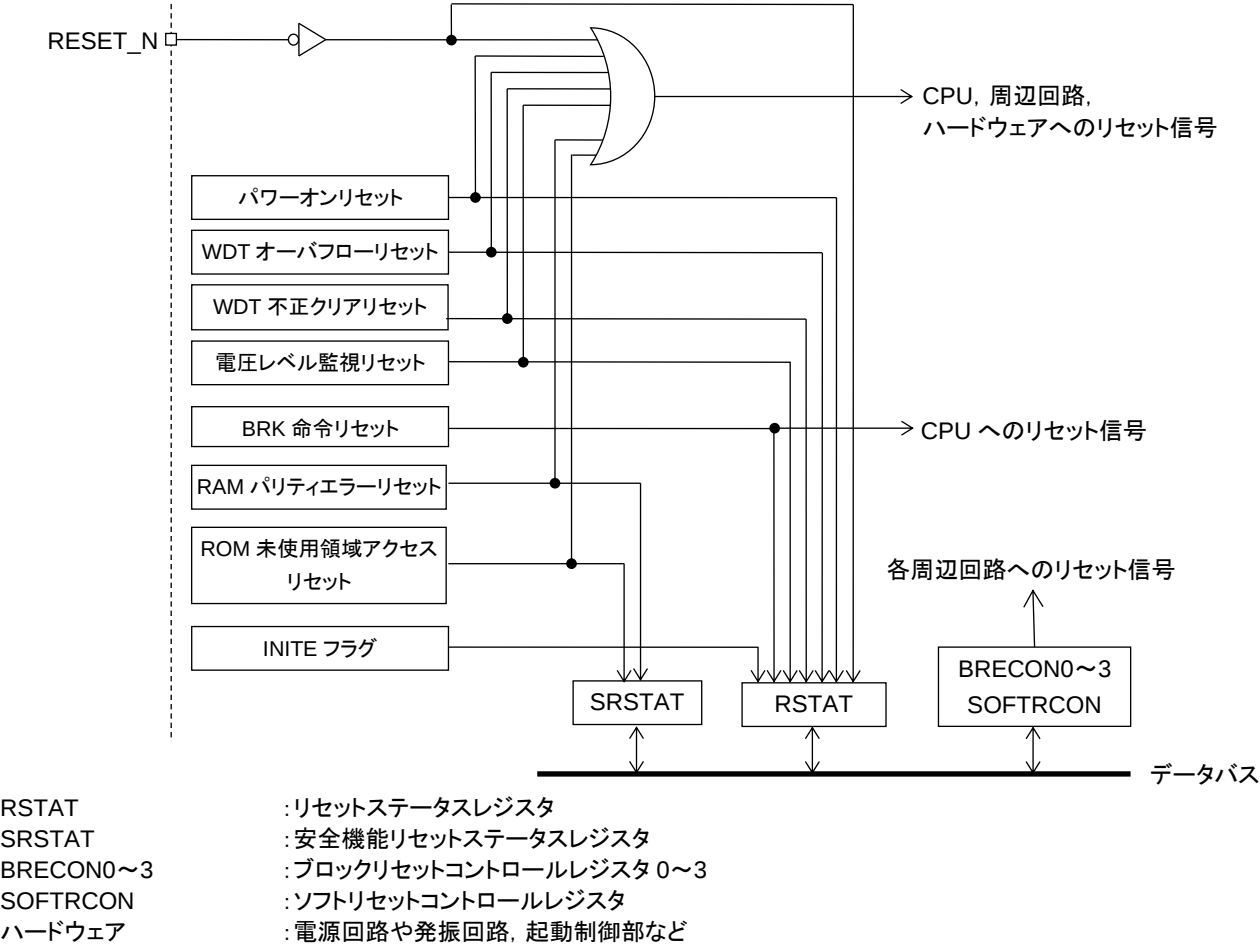


図 3-1 リセット発生回路の構成

○端子一覧

端子名	入出力	機能
RESET_N	I	リセット入力端子

●パワーマネジメント

ML62Q1532 は, LSI の消費電流を抑制するために以下の 4 種のスタンバイモードを備えています。

- HALT モード : CPU を停止, 周辺回路は動作を継続
- HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
- STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
- STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧 (REG_CORE_MCU) を低下させ, 消費電流を抑制

○特長

- STOP モードおよび STOP-D モードへの移行を制限するストップコードアクセプタ機能を搭載
- STOP-D モードに移行しても RAM, SFR などのデータは保持可能
- 周辺回路ごとにクロック供給を止め消費電流を抑制するブロッククロックコントロール機能を搭載
- 周辺回路ごとにリセットするブロックリセットコントロール機能を搭載

構成

図 4-1 に動作状態の遷移図を示します。
図中のビットシンボル名は、スタンバイコントロールレジスタ (SBYCON) のビットです。

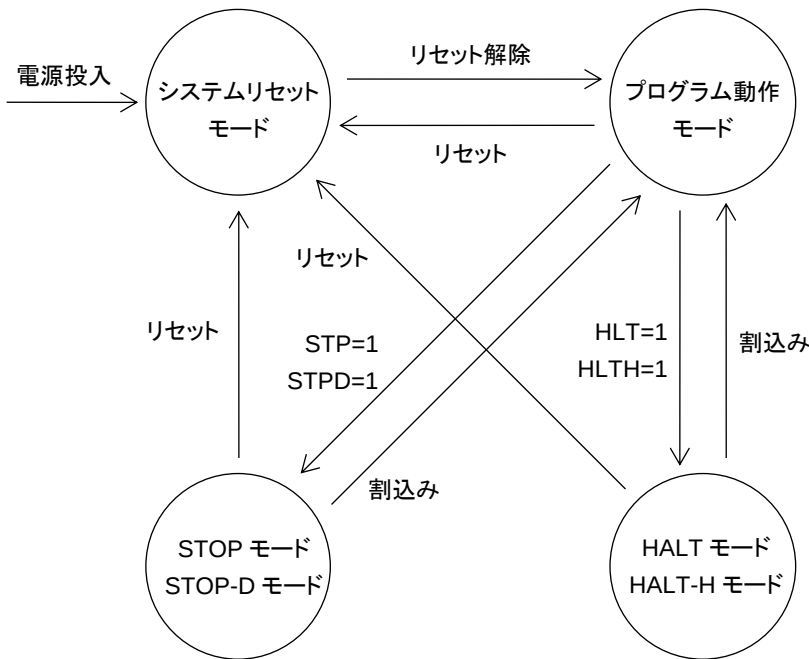


図 4-1 動作状態の遷移図

●割込み

ML62Q1532 は、ノンマスカブル割込み、マスカブル割込み、およびソフトウェア割込みを内蔵しています。

各割込みの詳細は、それぞれ ML62Q1000 シリーズユーザーズマニュアルの該当する章を参照してください。

マイコンステータス割込みについては、「第 29 章 安全機能」を参照してください。

商品ごとの機能の有無については、「表 1-4 グループ商品別仕様(ML62Q1300 グループ)」、「表 1-5 グループ商品別仕様(ML62Q1500/ML62Q1800 グループ)」、「表 1-6 グループ商品別仕様(ML62Q1700 グループ)」を参照してください。

○特長

- マスカブル割込みは、マスタ・インタラプト・イネーブル・フラグ(MIE)により一括して割込みの許可／禁止が可能
MIEの詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
- マスカブル割込みは、IE0～7レジスタにより要因ごとに割込み許可／禁止が可能
- 発生した割込みを割込み要求レジスタ(IRQ)の各割込み要求ビットで確認可能
- 割込み要求レジスタ(IRQ)の各ビットにソフトウェアで“1”を書き込むことで割込み発生が可能
- マスカブル割込みは4段階の割込み優先順位が設定可能

●クロック発生回路

クロック発生回路は、以下のクロックを生成し、CPU および周辺回路に供給します。

表 6-1 クロック発生回路により生成されるクロック

クロック名	略称	説明
低速クロック	LSCLK	周辺回路の低速動作クロック(32.768kHz)
簡易 RTC 用クロック	RTCCLK	簡易 RTC に供給される低速動作クロック(32.768kHz)
高速クロック	HSCLK	周辺回路の高速動作クロック(最大周波数 24MHz)
CPU クロック	CPUCLK	CPU の動作クロック(約 32.768kHz または最大周波数 24MHz) 最大周波数は、CPU 動作モードで異なります(表 6-2 参照)
システムクロック	SYSTEMCLK	システム制御のクロックです。周波数は CPU クロックと同じです。
低速出力クロック	OUTLSCLK	汎用入出力ポートから出力する低速クロック(32.768kHz)
高速出力クロック	OUTHCLK	汎用入出力ポートから出力する高速クロック(最大周波数 12MHz)
WDT クロック	WDTCLK	ウォッチドッグタイマ用クロック(約 1kHz)

○特長

- 低速発振回路
 - － 低速 RC 発振回路
 - － 周波数補正機能により±1%に補正可能 (V_{DDIO_MCU} ≥ 2.6V)
 - － 水晶振動子を接続可能*1
 - － 低速水晶発振回路停止時, 低速 RC 発振回路に自動的に切り替え (クロックバックアップ機能)*1
 - － 低速外部クロックを XT1 端子より入力可能*1
 - － 低速水晶発振クロック/低速外部クロックはリセット入力端子リセット時もクロックの供給を継続*1
- 簡易 RTC 用クロック
 - － 低速クロックで動作
- 高速発振回路
 - － PLL 発振モード (PLL 基本周波数は, コードオプションにより 16MHz/24MHz が選択可能)
 - － 高速クロック起動時間選択可能
- WDT クロック
 - － RC1K 発振回路
 - － WDT クロックは, コードオプションにより LSCLK から分周した 1.024kHz, または RC1K 発振が選択可能

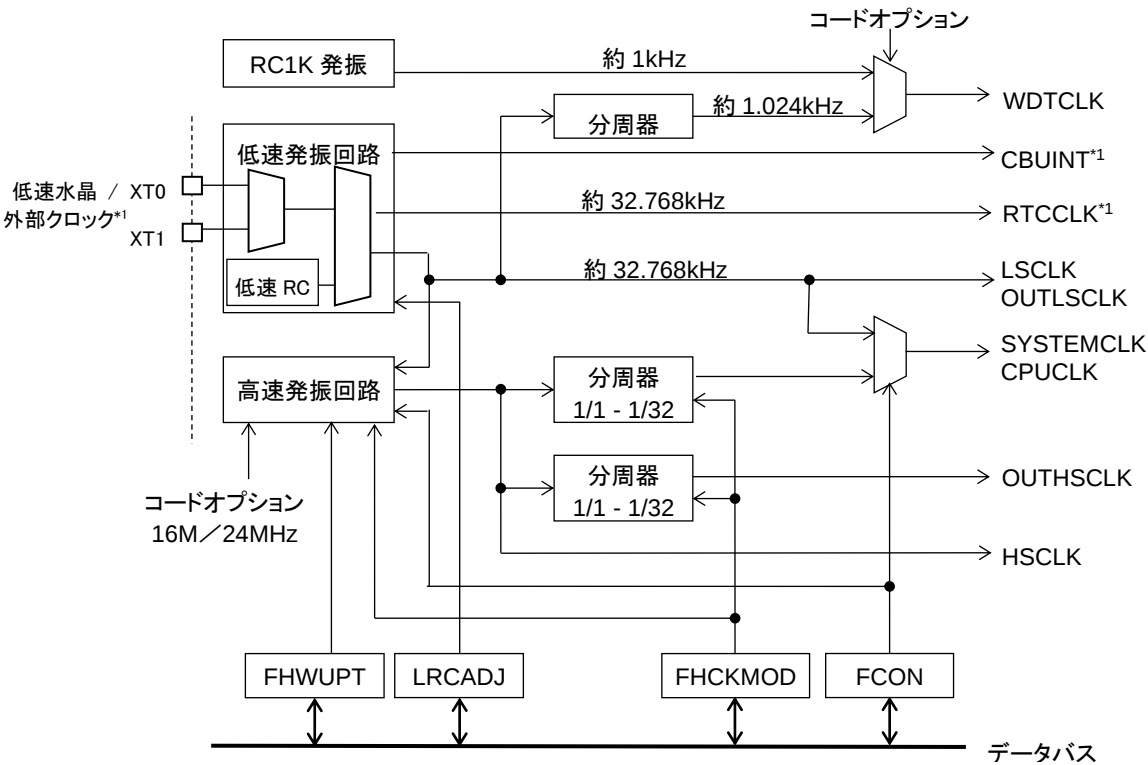
表 6-2 に CPU 動作モードと PLL 基本周波数の関係を示します。
CPU 動作モードと PLL 基本周波数は, コードオプションで選択できます。詳細は, 「第 26 章 コードオプション」を参照してください。

表 6-2 CPU 動作モードと PLL 基本周波数との関係

PLL 基本周波数	最大動作周波数		
	SYSTEMCLK		HSCLK
	ウェイトモード	ノーウェイトモード	
24MHz	24MHz	6MHz	24MHz
16MHz	16MHz	8MHz	16MHz

構成

図 6-1 にクロック発生回路の構成を示します。
表 6-3 に各機能の動作クロック一覧を示します。



- FHCKMOD : 高速クロックモードレジスタ
- FCON : 周波数コントロールレジスタ
- FHWUPT : 高速クロック起動時間設定レジスタ
- LRCADJ : 低速 RC 発振周波数補正レジスタ
- CBUINT : クロックバックアップ割込み

*1: ML62Q1300 グループを除く

図 6-1 クロック発生回路の構成

- 【注意】
- 電源起動後またはシステムリセット後の SYSTEMCLK は、LSCLK(32.768kHz)で動作を開始します。

表 6-3 各機能の動作クロック一覧

機能	システムクロック または CPU クロック SYSTEMCLK/ CPUCLK	低速クロック LSCLK	簡易 RTC 用クロック RTCCLK*2	高速クロック HSCLK	WDT クロック WDTCLK
CPU	●	—	—	—	—
RAM	●	—	—	—	—
ウォッチドッグタイマ	●	—	—	—	●
外部割込み制御	●	●*1	—	●*1	—
低速タイムベースカウンタ	●	●	—	—	—
16 ビットタイマ	●	●	—	●	—
ファンクショナルタイマ	●	●	—	●	—
シリアル通信ユニット	●	●	—	●	—
I ² C バスユニット	●	●	—	●	—
I ² C バスマスタ	●	—	—	●	—
ブザー	●	●	—	—	—
逐次比較型 A/D コンバータ	●	●	—	●	—
D/A コンバータ	●	—	—	—	—
アナログコンパレータ	●	●*1	—	●*1	—
電圧レベル監視機能 (VLS)	●	●*1	—	●*1	—
簡易 RTC	●	—	●	—	—
DMA コントローラ	●	—	—	—	—
CRC 演算器	●	—	—	—	—
フラッシュ・メモリ (BGO 動作)	●	—	—	●	—

●: クロックは供給している —: クロックは供給していない

*1: 起動制御またはサンプリング用クロックとして供給されています。

○端子一覧

高速／低速クロックの出力端子は、汎用ポートの兼用機能に割り付けられています。
汎用ポートの兼用機能については、端子一覧を参照してください。

端子名	I/O	機能
OUTLSCLK	O	低速クロック出力
OUTHCLK	O	高速クロック出力
XT0	I	低速水晶振動子接続端子
XT1	O/I	低速水晶振動子接続端子／低速外部クロック入力

●低速タイムベースカウンタ

低速タイムベースカウンタを使用して、以下の機能を実現することが可能です。

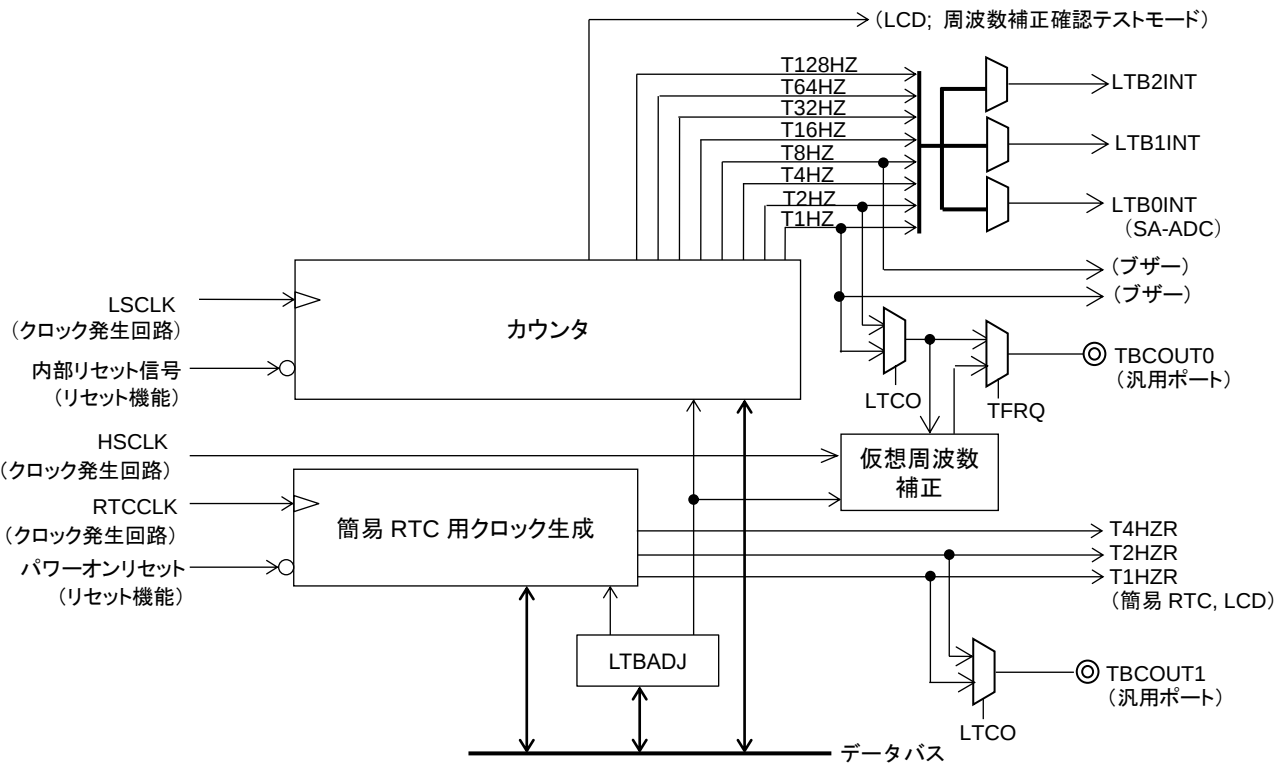
- 定期的な割込み要求を発生させる
- 周期的なパルス信号を汎用ポートに出力する
- 簡易 RTC 用クロック周波数を補正する

○特長

- 低速クロック(LSCLK)を分周して8種類のパルス信号(128Hz, 64Hz, 32Hz, 16Hz, 8Hz, 4Hz, 2Hz, 1Hz)を生成
- 8種類の定期割込み要求信号から3つの割込み要求を選択可能
- 1Hz または 2Hz の信号を汎用ポートから出力可能
- 割込み要求(LTB0INT)を逐次比較型 A/D コンバータのトリガイイベントソースとして使用可能
- 周波数補正機能を搭載
 - ー 補正範囲:約-488ppm～+488ppm, 補正分解能:約 0.119ppm
 - ー 低速クロックまたは高速クロックを用いた2つの確認方法
- 1Hz および 2Hz 信号を簡易 RTC 用クロックとして使用

構成

図 7-2 に ML62Q1532 に搭載された低速タイムベースカウンタの構成を示します。



LTBADJ	:	低速タイムベースカウンタ周波数補正レジスタ
T1HZ～T128HZ	:	タイムベースカウンタ出力信号
LTB2INT	:	低速タイムベースカウンタ 2 割込み要求
LTB1INT	:	低速タイムベースカウンタ 1 割込み要求
LTB0INT	:	低速タイムベースカウンタ 0 割込み要求
T1HZR～T4HZR	:	簡易 RTC 用タイムベースカウンタ出力信号

図 7-2 低速タイムベースカウンタの構成

○端子一覧

低速タイムベースカウンタの出力端子は、汎用ポートの兼用機能に割り付けられています。

信号名	入出力	機能
TBCOUT0	O	仮想周波数補正出力, または低速タイムベースカウンタ出力
TBCOUT1	O	簡易 RTC 用 1Hz／2Hz クロック出力

低速タイムベースカウンタで使用する汎用ポートおよび、レジスタ設定を表 7-1 に示します。

表 7-1 低速タイムベースカウンタ機能兼用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値
TBCOUT0	P01	6 次機能	P0MOD1	0101_XXXX ^{*1}
	P17	6 次機能	P1MOD7	0101_XXXX ^{*1}
TBCOUT1	P01	7 次機能	P0MOD1	0110_XXXX ^{*1}
	P20	6 次機能	P2MOD0	0101_XXXX ^{*1}

*1: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

●16 ビットタイマ

16 ビットタイマを使用して以下の機能を実現することができます。

- 任意の間隔で定期的に割込みを発生させる
- 任意の間隔でワンショットの割込みを発生させる
- ポートから任意の周波数のパルスを出力する
- ポートからワンショットのパルスを出力する
- 外部入力の立ち上がりをカウントする

ML62Q1532 は 16 ビットタイマを 6 チャンネル(n=0~6)搭載します。

○特長

- 2つのタイマモードと2つの動作モードを選択可能

タイマモード	動作モード	説明
16ビットタイマモード	連続モード	最大 0xffff までカウント可能。 ソフトウェアで停止するまで設定した動作を繰り返します
	ワンショットモード	最大 0xffff までカウント可能。 設定した動作を 1 回実行して停止します
8ビットタイマモード	連続モード	最大 0xff までカウント可能。 ソフトウェアで停止するまで設定した動作を繰り返します
	ワンショットモード	最大 0xff までカウント可能。 設定した動作を 1 回実行して停止します

- 8ビットタイマモード使用時, 16ビットタイマ 1 チャンネルを 8ビットタイマ 2 チャンネルとして使用可能
- タイマクロックに LSCLK または HSCLK を選択可能
- カウントクロックにはタイマクロックおよび, タイマクロックの分周クロック, または外部入力を選択可能
- タイマカウント値と 16ビットタイマ n データレジスタの値が一致した時, タイマ割込み要求を発生
- タイマカウント値と 16ビットタイマ n データレジスタの値が一致した時, ポートの出力を反転させることが可能
- ポート出力の初期値をレジスタで選択可能

構成

図 8-1 および図 8-2 に 16 ビットタイマの構成図を示します。

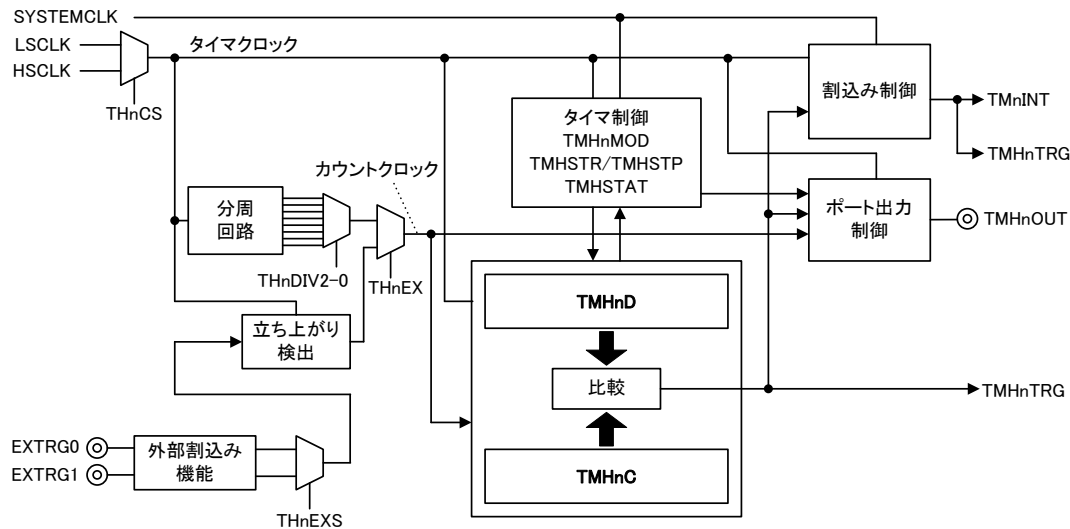


図 8-1 16 ビットタイマモード使用時の構成

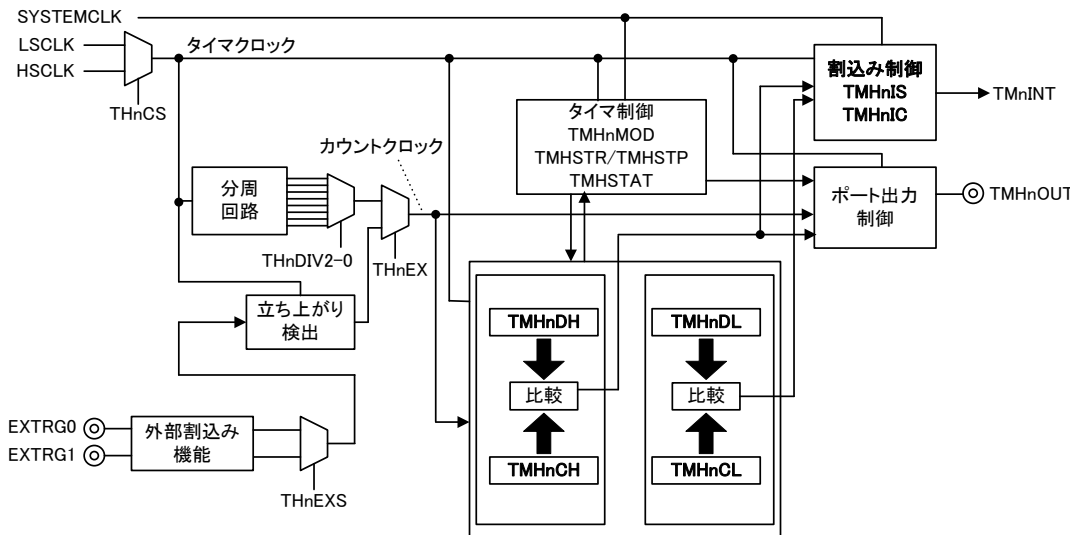


図 8-2 8 ビットタイマモード使用時の構成

- TMnINT : 16 ビットタイマ n 割込み要求
- TMHnTRG : 16 ビットタイマ n トリガ
- EXTRG0 : 外部割込み機能のノイズフィルタ通過後の EXI0 端子入力
- EXTRG1 : 外部割込み機能のノイズフィルタ通過後の EXI1 端子入力
- TMHnD : 16 ビットタイマ n データレジスタ
- TMHnDH : 16 ビットタイマ n データレジスタの上位 8 ビット
- TMHnDL : 16 ビットタイマ n データレジスタの下位 8 ビット
- TMHnC : 16 ビットタイマ n カウンタレジスタ
- TMHnCH : 16 ビットタイマ n カウンタレジスタの上位 8 ビット
- TMHnCL : 16 ビットタイマ n カウンタレジスタの下位 8 ビット

【注意】

- 16 ビットタイマを 8 ビットタイマモードで使用する場合、2 つの 8 ビットタイマのクロックの設定や割込みは共通です。
- 8 ビットタイマモードのタイマ出力 (TMHnOUT) は、上位側 (TMHnDH と TMHnCH) の比較結果が出力されます。
- 16 ビットタイマ DMA 要求および、SA-ADC トリガを使用する時は、16 ビットタイマモードに設定してください。

○端子一覧

16ビットタイマの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	説明
EXTRG0	I	外部トリガ 0 入力
EXTRG1	I	外部トリガ 1 入力
TMHnOUT	O	16 ビットタイマ n 出力 8 ビットタイマで使用する場合は、上位のタイマからのみ出力可能

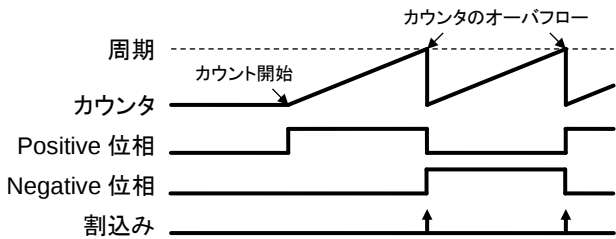
●ファンクショナルタイマ

ファンクショナルタイマ (FTM: Functional Timer) は 4 種類の動作モード (TIMER/CAPTURE/PWM1/PWM2) により、以下の機能を実現することができます。

ML62Q1532 はファンクショナルタイマを 6 チャンネル (n=0~5) 搭載します。

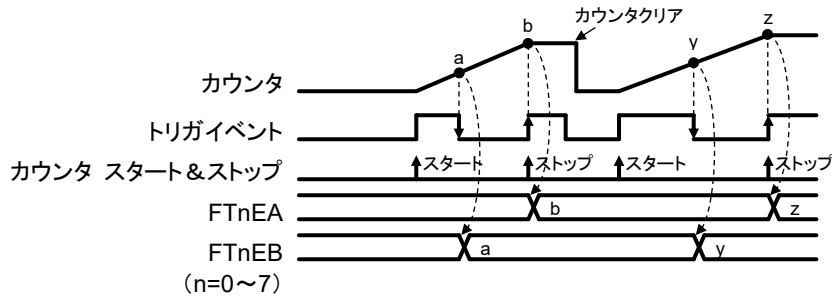
TIMER モード:

カウンタのカウンタ開始とオーバフローに同期してタイマ出力端子のレベルを反転するパルス信号を生成できます。また、カウンタがオーバフローする際に割り込みを発生させることができます。



CAPTURE モード:

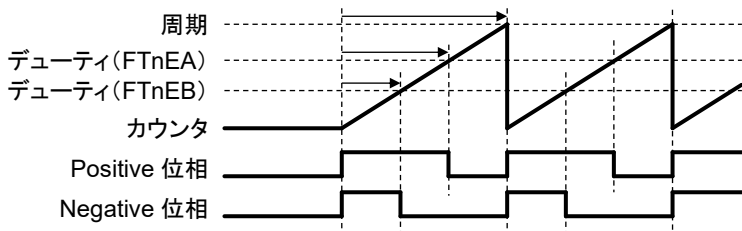
カウンタのカウンタ値を、選択したトリガイイベントの立ち上がりエッジで FTnEA レジスタに、立ち下がりエッジで FTnEB レジスタにそれぞれ格納します。



PWM1 モード:

周期と開始タイミングが等しい 2 種類の PWM 波形を生成できます。

FTnEA レジスタの設定値を Positive 位相出力のデューティ値, FTnEB レジスタの設定値を Negative 位相出力のデューティ値とします。

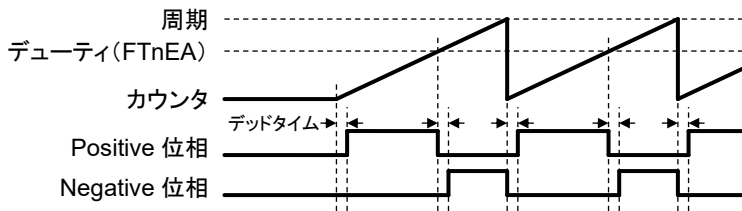


PWM2 モード:

Positive 位相出力と Negative 位相出力が排他的に動作する相補 PWM 波形を生成することができます。

FTnEA レジスタの設定値を Positive 位相出力のデューティ値とします。

また、FTnDT レジスタによりデッドタイムを設定することが可能です。

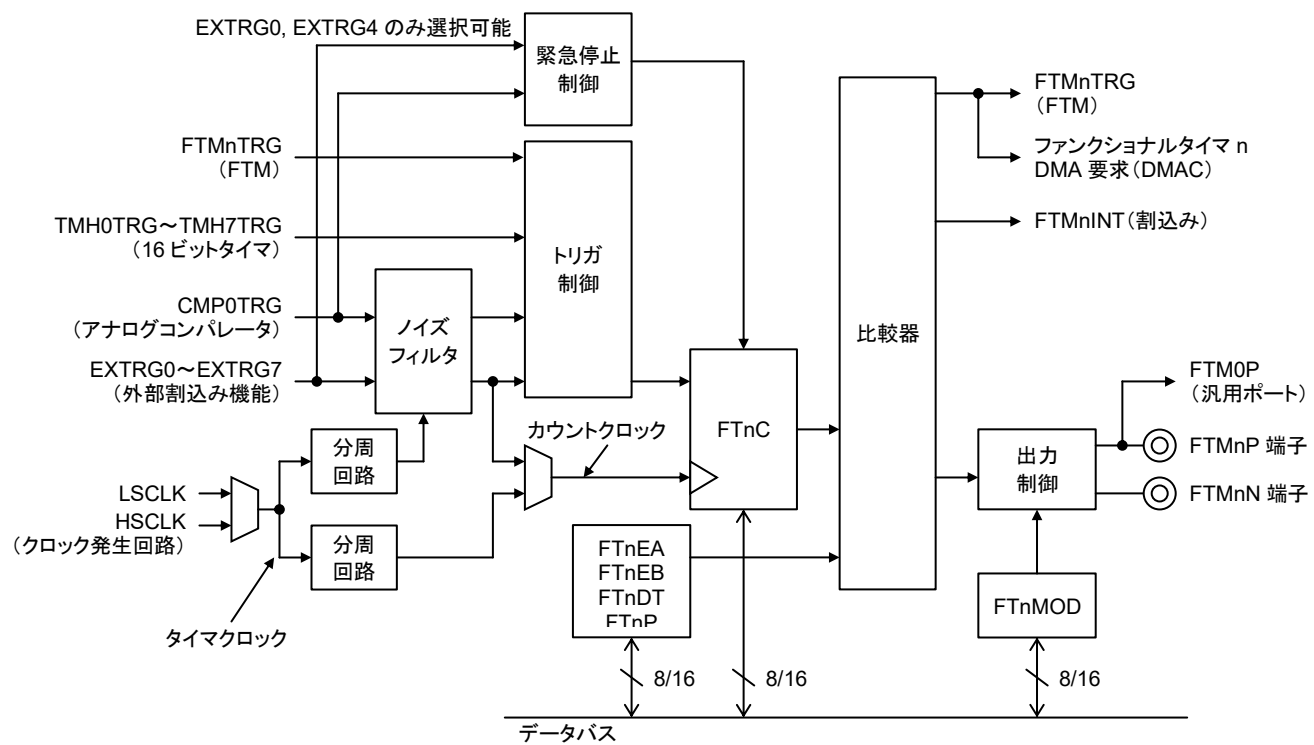


○特長

- 16 ビットカウンタによるタイマ／キャプチャ／PWM 機能を搭載
- カウントクロックは LSCLK／HSCLK クロックの 1～128 分周または外部クロック入力から選択可能
- タイマ出力の論理切り替えが可能(正論理／負論理)
- 周期割込みのほか、デューティ割込みや設定値との一致割込みなどを発生
- ワンショットモードを搭載
- 外部トリガ入力やタイマ割込み要求(イベントトリガ)によりカウンタの動作開始／停止／カウンタクリアが可能
- 外部トリガ入力による緊急停止, および緊急停止割込みを発生
- デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
- キャプチャ機能により入力信号のデューティ, 周期が測定可能
- 通知する割込み要因を設定可能
- DMA 要求信号を出力可能

構成

図 9-1 に FTM 回路の構成を示します。



- | | |
|-------------------------|--------------------|
| FTnEA | : FTMn イベント A レジスタ |
| FTnEB | : FTMn イベント B レジスタ |
| FTnDT | : FTMn デッドタイムレジスタ |
| FTnP | : FTMn 周期レジスタ |
| FTnC | : FTMn カウンタレジスタ |
| FTnMOD | : FTMn モードレジスタ |
| | |
| FTMnTRG | : ファンクショナルタイマトリガ |
| EXTRG0~EXTRG7 | : 外部トリガ／外部クロック |
| CMP0TRG | : アナログコンパレータ 0 トリガ |
| TMH0TRG~TMH7TRG (n=0~7) | : 16 ビットタイマトリガ |

図 9-1 ファンクショナルタイマの構成

○端子一覧

ファンクショナルタイマの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
EXTRG0 ～ EXTRG7	I	外部トリガ／外部クロック
FTMnP	O	ファンクショナルタイマ n P 出力
FTMnN	O	ファンクショナルタイマ n N 出力

(n=0～7)

●ウォッチドッグタイマ

ウォッチドッグタイマ(WDT)は以下の機能を持ち、異常時に割り込みやリセットを発生させることで、プログラムの暴走状態や CPU の不定状態を検出することができます。

- カウンタがプログラム動作で一定時間以上クリアされずオーバーフローすると、オーバーフロー1回目は WDT 割り込み、2 回目は WDT リセットを発生(ウィンドウ機能無効時)
- カウンタがプログラム動作で一定時間以上クリアされずオーバーフローすると、オーバーフロー1回目で WDT リセットを発生(ウィンドウ機能有効時)
- 意図しない期間内にカウンタがクリアされると、WDT 不正クリアリセットを発生(ウィンドウ機能有効時)

ウィンドウ機能とは、「WDT カウンタのクリアが許可された期間」=「ウィンドウ(窓)が開かれた期間」，「WDT カウンタのクリアが禁止された期間」=「ウィンドウ(窓)が閉じられた期間」を設定できる機能を意味します。

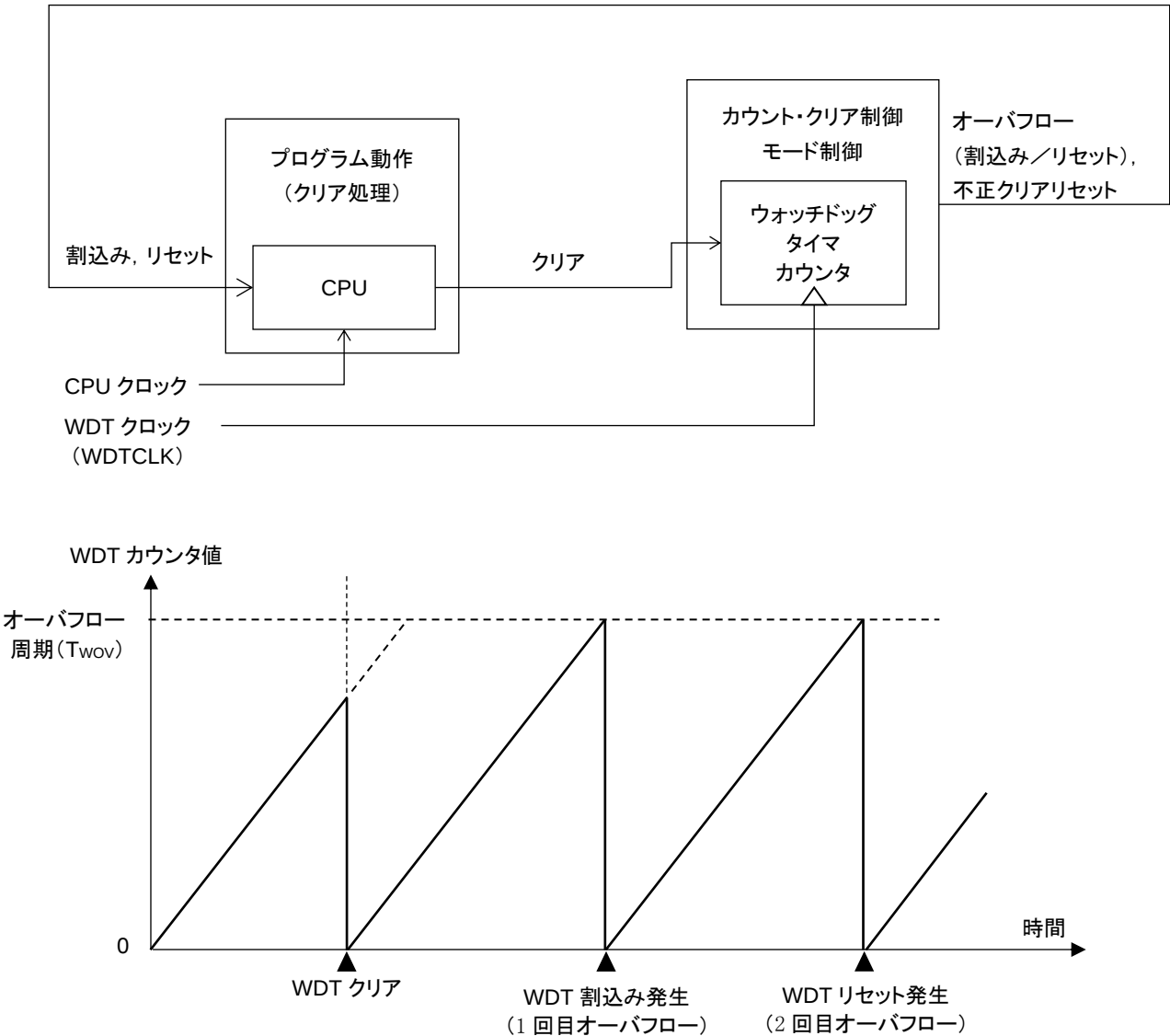


図 10-1 ウォッチドッグタイマ 概要図(ウィンドウ機能無効時)

○特長

- 8 種類のオーバフロー周期を選択可能 (7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
- 2 タイプの使い方
 - ①ウィンドウ機能無効モード
常時 WDT カウンタをクリアすることができます。カウンタが 1 回目オーバフローした時に WDT 割込みを発生し、2 回目オーバフローした時に WDT リセットを発生します。
 - ②ウィンドウ機能有効モード
WDT カウンタのクリアを許可する期間と禁止する期間を設定できます。カウンタが 1 回目オーバフローした時に WDT リセットを発生し、また、WDT カウンタのクリアを禁止する期間でクリアすると、WDT 不正クリアリセットを発生します。

表 10-1 ウォッチドッグタイマ動作モード

モード	オーバフロー		WDT 不正クリア
	1 回目	2 回目	
ウィンドウ機能無効モード	割込み	リセット	—
ウィンドウ機能有効モード	リセット	—	リセット

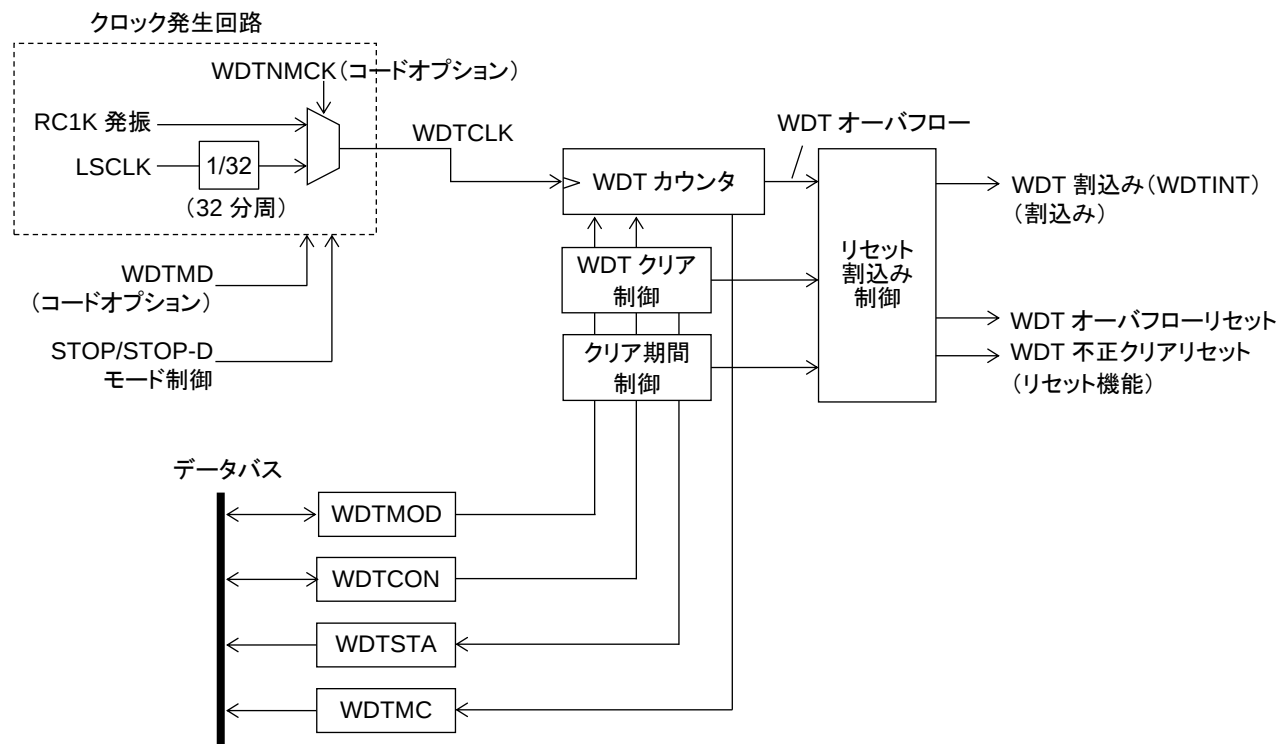
- コードオプションにより以下の選択が可能です。コードオプションについては、「第 26 章 コードオプション」を参照してください。
 - ①WDT タイマ動作の許可・禁止
 - ②WDT カウンタの動作クロック (低速クロック LSCLK の 32 分周, ウォッチドッグタイマ専用クロック RC1K 発振)

【注意】

- WDT は、CPU の暴走を監視するための機能です。通常のタイマとしての機能を保証するものではありません。
- ウォッチドッグタイマは全ての異常を検出できるわけではありません。CPU が暴走した場合でも WDT カウンタがクリアされるような動作状態になった場合には検出できません。フェイルセーフとしてプログラムのメインループの一か所で WDT カウンタをクリアすることを推奨します。
- WDTCLK に RC1K 発振を使用することでシステムクロックとは独立したクロックで WDT を動作させることができ、より安全性を高めることができます。ただし、RC1K 発振は、LSCLK より精度が劣りますので、高い精度を必要とする場合は、LSCLK を選択することを推奨します。

構成

以下にウォッチドッグタイマの構成を示します。



- WDTCON : ウォッチドッグタイマコントロールレジスタ
- WDTMOD : ウォッチドッグタイマモードレジスタ
- WDTMC : ウォッチドッグタイマカウンタレジスタ
- WDTSTA : ウォッチドッグタイマステータスレジスタ

図 10-2 ウォッチドッグタイマの構成

●シリアル通信ユニット

ML62Q1532 は、8ビット／16ビットの同期式シリアルポート(SSIO)と、全二重通信の調歩同期式シリアル・インタフェース UART(Universal Asynchronous Receiver Transmitter)の2つの通信機能を内蔵しています。

ML62Q1532 はシリアル通信ユニットを2チャンネル搭載しています。

○特長

2つのシリアル通信モードを選択可能です。表 11-2 にシリアル通信の特長を示します。

表 11-2 シリアル通信モードの特長

シリアル通信モード	動作モード	特長
同期式シリアルポート(SSIO)モード	・8ビットモード ・16ビットモード	・2チャンネル(SSIOとUARTを同一チャンネルで同時に使用することはできません。) ・マスタモード／スレーブモード選択可能 ・MSBファースト／LSBファースト選択可能 ・8ビット／16ビットのデータ長選択可能 ・マスタモードとスレーブモードを利用した自己テスト機能あり。「安全機能」項を参照してください
UARTモード	・半二重通信モード ・全二重通信モード	・5ビット／6ビット／7ビット／8ビットのデータ長を選択可能 ・奇数パリティ、偶数パリティ、0パリティ、1パリティ、パリティなしを選択可能 ・1ストップビット、2ストップビットを選択可能 ・正論理、負論理の通信論理を選択可能 ・MSBファースト／LSBファーストを選択可能 ・幅広い通信速度(低速クロックで最大4,800bps)を設定可能 ークロック周波数32.768kHz時:1bps～4,800bps ークロック周波数24MHz時:600bps～3Mbps ークロック周波数16MHz時:300bps～2Mbps ・各チャンネルごとにボーレートジェネレータを内蔵 ・パリティエラーフラグ、オーバランエラーフラグ、フレーミングエラーフラグ、送信バッファ状態フラグ、受信バッファ状態フラグを搭載 ・送信と受信を利用した自己テスト機能あり。「安全機能」項を参照してください。

構成

図 11-1 にシリアル通信ユニットの構成を示します。

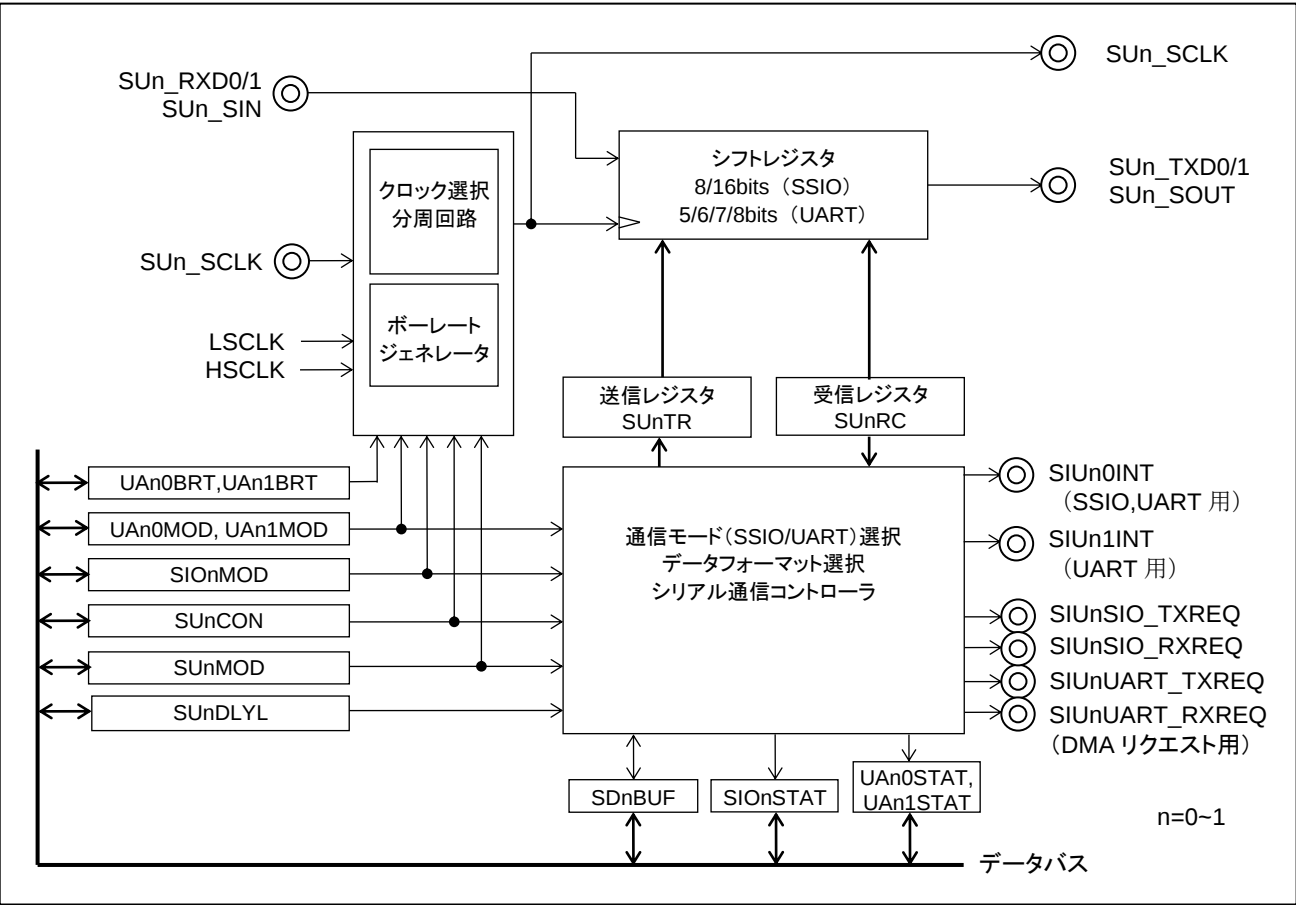


図 11-1 シリアル通信ユニットの構成

SDnBUF	:シリアル通信ユニット n 送受信バッファ
SUnMOD	:シリアル通信ユニット n モードレジスタ
SUnCON	:シリアル通信ユニット n コントロールレジスタ
SUnDLYL	:シリアル通信ユニット n 送信間隔設定レジスタ
SIOOnMOD	:同期式シリアルポート n モードレジスタ
SIOOnSTAT	:同期式シリアルポート n ステータスレジスタ
UAn0MOD, UAn1MOD	:UARTn0 モードレジスタ, UARTn1 モードレジスタ
UAn0BRT, UAn1BRT	:UARTn0 ボーレートレジスタ, UARTn1 ボーレートレジスタ
UAn0STAT, UAn1STAT	:UARTn0 ステータスレジスタ, UARTn1 ステータスレジスタ
SIUn0INT	:シリアル通信ユニット n0 割込み
SIUn1INT	:シリアル通信ユニット n1 割込み
SIUnSIO_TXREQ	:シリアル通信ユニット n SSIO 送信 DMA 要求 (n=0,1 のみ)
SIUnSIO_RXREQ	:シリアル通信ユニット n SSIO 受信 DMA 要求 (n=0,1 のみ)
SIUnUART_TXREQ	:シリアル通信ユニット n UART 送信 DMA 要求 (n=0,1 のみ)
SIUnUART_RXREQ	:シリアル通信ユニット n UART 受信 DMA 要求 (n=0,1 のみ)

○端子一覧

シリアル通信ユニットの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
SUn_RXD0	I	シリアル通信ユニット n の全二重モード用データ入力／UART0 データ入力
SUn_RXD1	I	シリアル通信ユニット n の UART1 データ入力
SUn_TXD0	O	シリアル通信ユニット n の UART0 データ出力
SUn_TXD1	O	シリアル通信ユニット n の全二重モード用データ出力／UART1 データ出力
SUn_SCLK	I/O	シリアル通信ユニット n の SSIO 同期クロック入出力
SUn_SOUT	O	シリアル通信ユニット n の SSIO 送信データ出力
SUn_SIN	I	シリアル通信ユニット n の SSIO 受信データ入力

(n=0～1)

シリアル通信ユニットで使用する汎用ポートおよび、レジスタ設定を表 11-3 (1) 及び(2) に示します。

表 11-3 (1) シリアル通信ユニット機能使用ポートおよびレジスタ設定 (UART)

チャネル番号	端子名	兼用ポート		設定レジスタ	設定値
0	SU0_TXD0	P03	2 次機能	P0MOD3	0001_XXXX ^{*2}
	SU0_RXD0	P02	2 次機能	P0MOD2	0001_XXXX ^{*1}
		P07	3 次機能	P0MOD7	0010_XXXX ^{*1}
	SU0_TXD1	P17	3 次機能	P1MOD7	0010_XXXX ^{*1}
		P03	3 次機能	P0MOD3	0010_XXXX ^{*2}
	SU0_RXD1	P20	2 次機能	P2MOD0	0001_XXXX ^{*2}
		P07	2 次機能	P0MOD7	0001_XXXX ^{*1}
		P17	2 次機能	P1MOD7	0001_XXXX ^{*1}
1	SU1_TXD0	P22	2 次機能	P2MOD2	0001_XXXX ^{*2}
	SU1_RXD0	P21	2 次機能	P2MOD1	0001_XXXX ^{*1}
	SU1_TXD1	P22	3 次機能	P2MOD2	0010_XXXX ^{*2}

*1: XXXX の設定値は以下

XXXX	ポート入力状態
0001	入力(プルアップなし)
0101	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

表 11-3(2) シリアル通信ユニット機能使用ポートおよびレジスタ設定 (SSIO)

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値
0	SU0_SIN	P02	2 次機能	P0MOD2	0001_XXXX ^{*1}
	SU0_SCLK	P04	2 次機能	P0MOD4	0001_XXXX ^{*3}
	SU0_SOUT	P03	2 次機能	P0MOD3	0001_XXXX ^{*2}
1	SU1_SIN	P21	2 次機能	P2MOD1	0001_XXXX ^{*1}
	SU1_SCLK	P23	2 次機能	P2MOD3	0001_XXXX ^{*3}
	SU1_SOUT	P22	2 次機能	P2MOD2	0001_XXXX ^{*2}

*1: XXXX の設定値は以下

XXXX	ポート入力状態
0001	入力(プルアップなし)
0101	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

*3: XXXX の設定値は以下

XXXX	ポート入出力状態
0010	CMOS 出力 (SSIO マスタモード)
0001	入力 (SSIO スレーブモード)

○同期式シリアルポート端子の組み合わせ

SUn_SIN, SUn_SOUT, SUn_SCLK は、複数の汎用ポートの兼用機能に割り付けられています。
SUn_SIN, SUn_SOUT, SUn_SCLK は、必ず以下の組み合わせで使用してください。

組み合わせ	チャンネル番号	入出力端子		
		SUn_SIN*	SUn_SOUT*	SUn_SCLK*
1	0	P02	P03	P04
2	1	P21	P22	P23

*: n=チャンネル番号.

○UART 通信端子の組み合わせ

通信モードにより使用端子は異なります。別資料「ML62Q1000 シリーズユーザズマニュアル」11.2.1 項の表 11-4 を参照してください。

●I²C バスユニット

ML62Q1532 は、I²C 仕様に準拠し、マスタ機能およびスレーブ機能の両方に対応した I²C バスユニットを 1 チャンネル内蔵しています。

I²C バスユニットは、マスタ機能またはスレーブ機能のいずれかを選択して使用します。マスタ機能とスレーブ機能を同時に使用することはできません。

○特長

マスタ機能, スレーブ機能を選択可能です。表 12-2 に I²C バスユニットの特長を示します。

表 12-2 I²C バスユニットの特徴

機能	動作モード	特長
I ² C バスユニット	マスタ機能	・通信速度は標準モード(100kbps), ファストモード(400kbps), 独自規格の 1Mbps モード(1Mbps)に対応 ・スレーブのクロックストレッチ機能に対応 ・7 ビットアドレスフォーマット(マスタ機能のみ 10 ビットアドレスフォーマットに対応可能) ・I²C バスに送信したデータをリードすることによる自己テスト機能(安全機能)
	スレーブ機能	・通信速度は標準モード(100kbps), ファストモード(400kbps), 独自規格の 1Mbps モード(1Mbps)に対応 ・クロックストレッチ機能搭載 ・7 ビットアドレスフォーマット ・スレーブアドレス一致により STOP モードから復帰可能

構成

図 12-1 に I²C バスユニット回路の構成を示します。

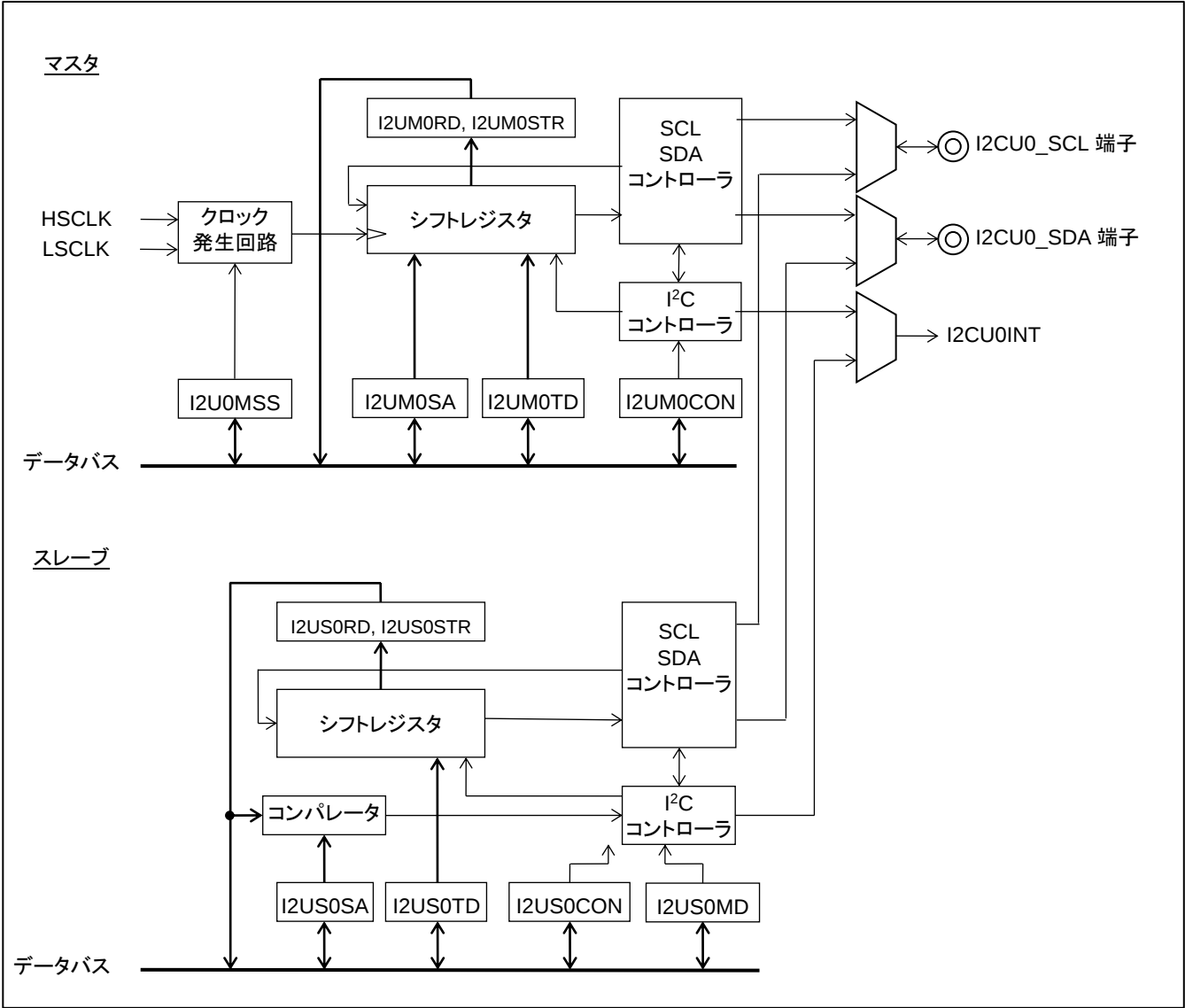


図 12-1 I²C バスユニットの構成

I2CU0_SCL :	シリアルクロック
I2CU0_SDA :	シリアルデータ
I2U0MSS :	I ² C バスユニット 0 モードレジスタ
I2UM0RD :	I ² C バス 0 受信レジスタ(マスタ側)
I2UM0SA :	I ² C バス 0 スレーブアドレスレジスタ(マスタ側)
I2UM0TD :	I ² C バス 0 送信データレジスタ(マスタ側)
I2UM0CON :	I ² C バス 0 コントロールレジスタ(マスタ側)
I2UM0STR :	I ² C バス 0 ステータスレジスタ(マスタ側)
I2US0RD :	I ² C バス 0 受信レジスタ(スレーブ側)
I2US0SA :	I ² C バス 0 スレーブアドレスレジスタ(スレーブ側)
I2US0TD :	I ² C バス 0 送信データレジスタ(スレーブ側)
I2US0CON :	I ² C バス 0 コントロールレジスタ(スレーブ側)
I2US0MD :	I ² C バス 0 モードレジスタ(スレーブ側)
I2US0STR :	I ² C バス 0 ステータスレジスタ(スレーブ側)

○端子一覧

I²C バスユニットの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
I2CU0_SDA	I/O	I ² C バスユニット 0 データ入出力
I2CU0_SCL	I/O	I ² C バスユニット 0 クロック入出力

○端子設定

I2CU0_SDA 端子, I2CU0_SCL 端子は, 複数の汎用ポートの兼用機能に割り付けられています。
I2CU0_SDA 端子, I2CU0_SCL 端子は必ず以下の組み合わせで使用してください。

端子	組み合わせ 1
I2CU0_SDA	P03
I2CU0_SCL	P04

I2CU0_SDA 端子, I2CU0_SCL 端子に使用する汎用ポートは, 兼用機能のモード設定に加え, ポート n モードレジスタ m (PnMODm) に下記の設定値を書き込み, 「入力許可, 出力許可, Nch オープンドレイン出力, プルアップしない」に選択してください。

表 12-3 I²C バスユニット 汎用ポート組み合わせ

ポート 番号	PnMODm	組み合わせ	設定値
P03	P0MOD3	1	0x3B

【注意】

- I2CU0_SDA 端子, I2CU0_SCL 端子に外部接続するプルアップ抵抗値は, I²C バス規格に従って設定してください。汎用ポートに内蔵しているプルアップ抵抗値は, I²C バス規格を満たすことができません。
- スレーブモードを使用中に, 本 LSI の電源を遮断した場合, I²C バスで接続されている他のデバイスの通信ができなくなります。スレーブモード使用時には, 本 LSI の電源は遮断しないでください。
- マスタ機能を使用する場合, バス上に複数のマスタ・デバイスを接続しないでください。

●I²C バスマスタ

ML62Q1532 は, I²C 仕様に準拠し, マスタ機能に対応した I²C バスマスタを 2 チャンネル内蔵しています。
I²C バスマスタは, 前項「I²C バスユニット」から, スレーブ機能と低速クロック(LSCLK)動作を削減したマスタ専用の機能です。

○特長

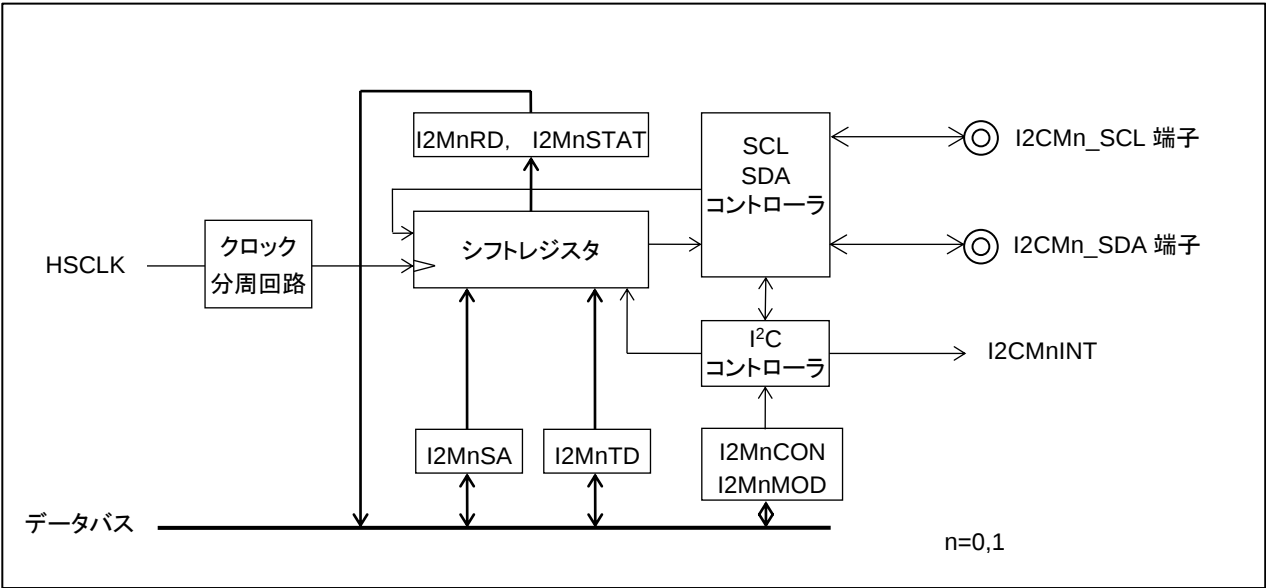
マスタ機能に対応しています。表 13-2 に I²C バスマスタの特長を示します。

表 13-2 I²C バスマスタの特徴

機能	動作モード	特長
I ² C バスマスタ	マスタ機能	・通信速度: 標準モード(100kbps), ファストモード(400kbps), 独自規格の 1Mbps モード(1Mbps)に対応 ・スレーブのクロックストレッチ機能(ハンドシェイク)に対応 ・7ビットアドレスフォーマット(10ビットアドレスフォーマットに対応可能) ・I ² C バスに送信したデータをリードすることによる自己テスト機能(安全機能)

構成

図 13-1 に I²C バスマスタ回路の構成を示します。



I2CMn_SCL	:	シリアルクロック
I2CMn_SDA	:	シリアルデータ
I2MnRD	:	I ² C マスタ n 受信レジスタ
I2MnSA	:	I ² C マスタ n スレーブアドレスレジスタ
I2MnTD	:	I ² C マスタ n 送信データレジスタ
I2MnCON	:	I ² C マスタ n コントロールレジスタ
I2MnMOD	:	I ² C マスタ n モードレジスタ
I2MnSTAT	:	I ² C マスタ n ステータスレジスタ

○端子一覧

I²C バスマスタの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
I2CMn_SDA	I/O	I ² C バスマスタ n データ入出力
I2CMn_SCL	I/O	I ² C バスマスタ n クロック入出力

○端子設定について

I2CMn_SDA 端子, I2CMn_SCL 端子は, 複数の汎用ポートの兼用機能に割り付けられています。
I2CMn_SDA 端子, I2CMn_SCL 端子は必ず以下の組み合わせで使用してください。

入出力端子	組み合わせ 1	組み合わせ 2
I2CM0_SDA	P06	P22
I2CM0_SCL	P07	P23

I2CMn_SDA 端子, I2CMn_SCL 端子に使用する汎用ポートは, 兼用機能のモード設定に加えて, ポート n モードレジスタ m (PnMODm) に下記の設定を書き込み, 「入力許可, 出力許可, Nch オープンドレイン出力, プルアップしない」を選択してください。

表 13-3 I²C バスマスタ 汎用ポート組み合わせ

ポート名	PnMODm	組み合わせ	設定値
P06	P0MOD6	1	0x3B
P07	P0MOD7	1	0x3B
P22	P2MOD2	2	0x3B
P23	P2MOD3	2	0x3B

【注意】

- I2CMn_SDA 端子, I2CMn_SCL 端子に外部接続するプルアップ抵抗値は, I²C バス規格に従って設定してください。
汎用ポートに内蔵しているプルアップ抵抗値は, I²C バス規格を満たすことができません。プルアップ抵抗値については, 各商品のデータシートを参照してください。
- バス上に複数のマスタ・デバイスを接続しないでください。

●DMA コントローラ

ML62Q1532 は、DMA コントローラ(DMAC)を 2 チャンネル内蔵しています。

DMAC を使用すると、CPU を介さずに周辺回路の SFR (特殊機能レジスタ)とデータ・メモリ (RAM) 間のデータ転送ができます。

DMA の転送元／転送先に設定可能な機能ブロックは、別資料「ML62Q1000 シリーズユーザーズマニュアル」「14.3.6 DMA 転送対象ブロック」の表 14-1 を参照してください。

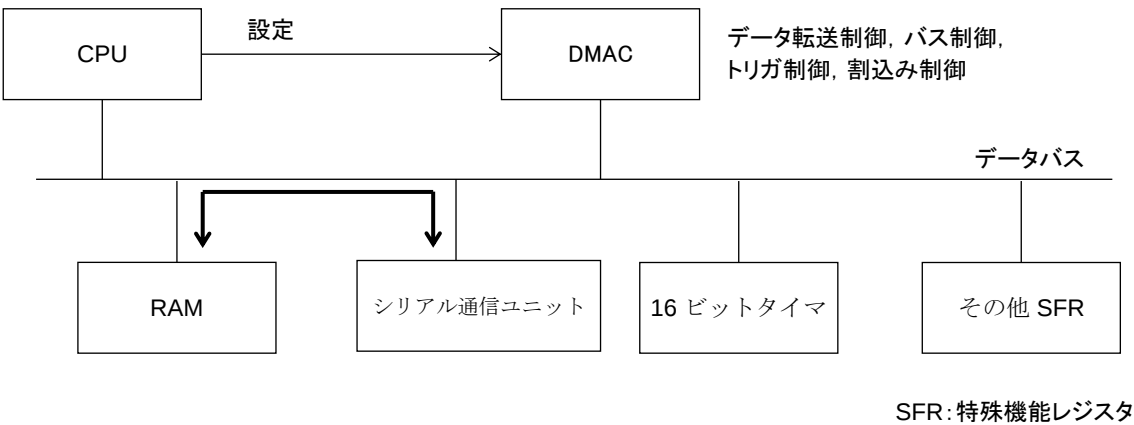


図 14-1 DMA コントローラ 概要図

【注意】

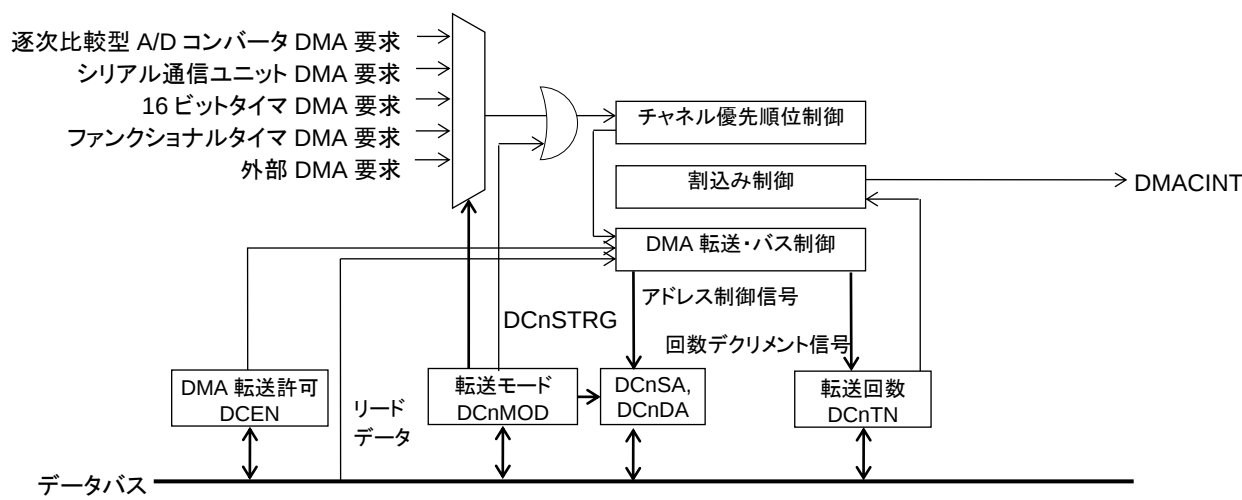
- DMA とコプロセッサを同時に使用しないでください。

○特長

- 転送単位 : 8ビット／16ビット
- 転送回数 : 1～1024回
- 転送サイクル : 2サイクル(CPUとDMAコントローラのデータ処理が競合した場合はCPUが優先)
- 転送アドレス : 固定アドレッシング／インクリメントアドレッシング／デクリメントアドレッシングが選択可能
- 転送対象 : SFR/RAM → SFR/RAM (フラッシュ・メモリの転送はできません)
- 転送要求 : シリアル通信ユニットDMA要求, 逐次比較型A/DコンバータDMA要求,
16ビットタイマDMA要求, ファンクショナルタイマDMA要求, 外部DMA要求,
ソフトウェアDMA要求が選択可能
- 転送優先順位 : チャンネル0 > チャンネル1 (チャンネル0が優先)
- 割込み機能 : 転送回数分の転送が完了するとDMAコントローラ割込み要求を発生

構成

以下に DMA コントローラ回路の構成を示します。



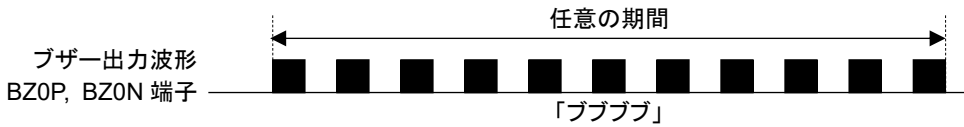
- DCnMOD : DMA チャンネル n 転送モードレジスタ
- DCnTN : DMA チャンネル n 転送回数レジスタ
- DCnSA : DMA チャンネル n 転送元アドレスレジスタ
- DCnDA : DMA チャンネル n 転送先アドレスレジスタ
- DCEN : DMA 転送許可レジスタ
- DCnSTRG : DMA チャンネル n ソフトウェア要求 (n = 0,1)

図 14-2 DMA コントローラ回路の構成

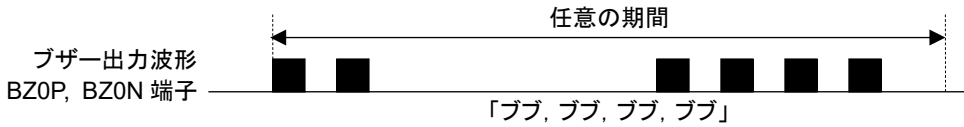
●ブザー

ブザーは 8 種類の周波数と 15 段階のデューティ比の組み合わせでベースとなる信号を生成し、それを 4 種類のモードで出力する機能があります。

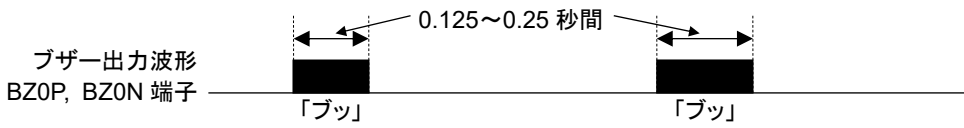
断続音 1 モード:



断続音 2 モード:



単音モード:



連続音モード:

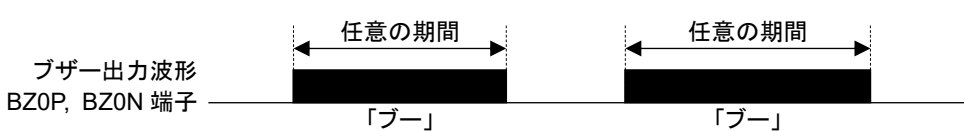


図 15-1 ブザー出力イメージ

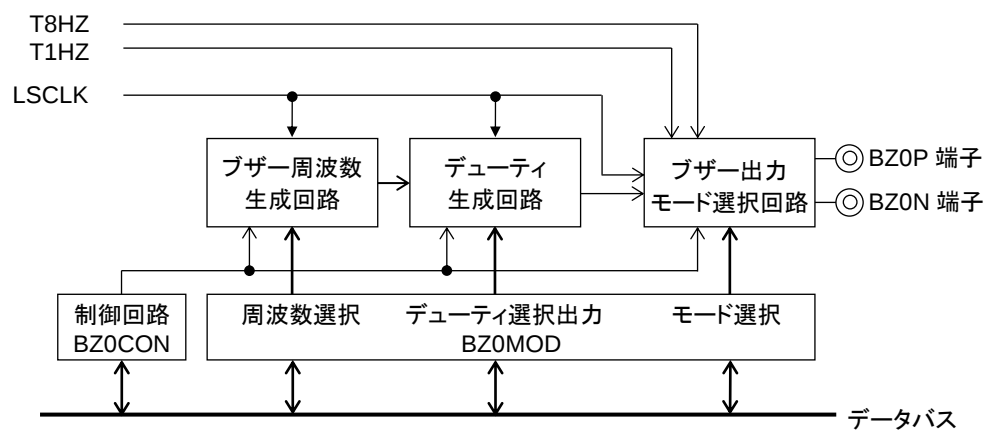
ブザー出力は正相出力(BZ0P)と逆相出力(BZ0N)を出力できます。また、本ブロックで使用されるクロック(T8HZ, T1HZ)については、「低速タイムベースカウンタ」を参照してください。

○特長

- 4 種類のブザーモード(連続音／単音／断続音 1／断続音 2)
- 8 種類の周波数(4.096kHz～293Hz)
- 15 段階のデューティ比(1/16(6.25%)～15/16(93.75%))
ブザー周波数が 4.096kHz の時は 7 段階のデューティ比(1/8(12.5%)～7/8(87.5%))
- ブザー出力端子の正論理／負論理が選択可能

構成

図 15-2 にブザー回路の構成を示します。



BZ0CON : ブザー0 コントロールレジスタ
BZ0MOD : ブザー0 モードレジスタ

図 15-2 ブザーの構成

○端子一覧

ブザー信号の出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
BZ0P	○	ブザー出力信号(正相)
BZ0N	○	ブザー出力信号(逆相)

ブザーで使用する汎用ポートおよび、レジスタ設定を表 15-1 に示します。

表 15-1 ブザー機能使用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値
BZ0P	P17	7 次機能	P1MOD7	0110_XXXX
BZ0N	P20	7 次機能	P2MOD0	0110_XXXX

XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

●簡易 RTC

ML62Q1532 は、簡易 RTC (RTC: Real Time Clock) を内蔵しています。

簡易 RTC は、00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウントアップする機能、定期的に割込み要求を発生する機能を有しています。

本章に記載されている割込みの許可・要求フラグ等については、「割込み」章を参照してください。

○特長

- 4 種類の定期割込み要求 (0.5 秒, 1 秒, 30 秒, 60 秒) から 1 つを選択可能
- 簡易 RTC 分・秒カウンタへの誤書き込み防止機能を搭載
- 簡易 RTC 分・秒カウンタはパワーオンリセット以外のリセットではカウント動作を継続
- STOP / STOP-D モード以外は、常にカウント動作を継続

構成

図 16-1 に簡易 RTC の構成を示します。

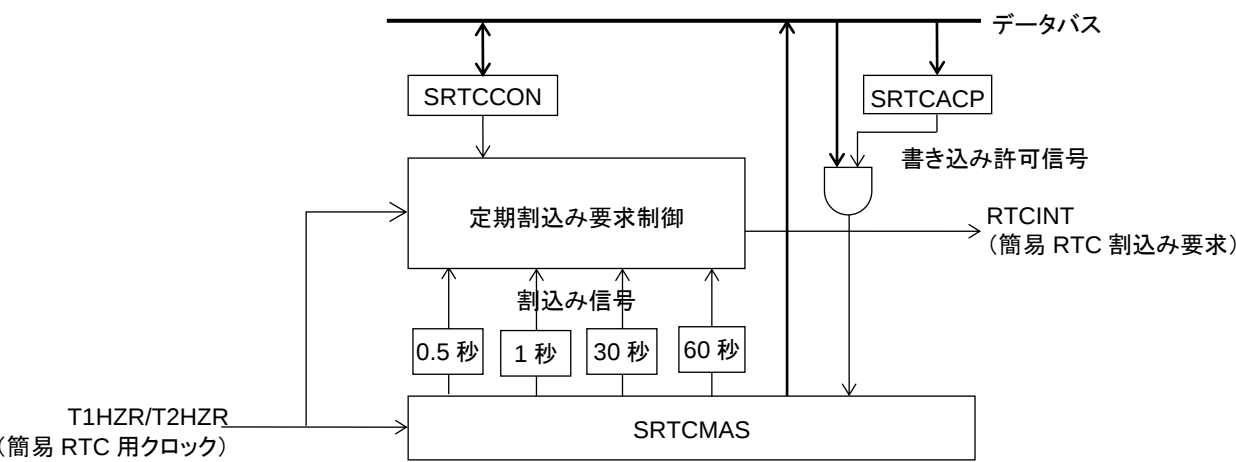


図 16-1 簡易 RTC の構成

- SRTCACP : 簡易 RTC アクセプタ
- SRTCMA : 簡易 RTC 分・秒カウンタ
SRTCMIN (分カウンタ), SRTCSEC (秒カウンタ)
- SRTCCON : 簡易 RTC コントロールレジスタ

●汎用ポート

汎用ポートは汎用入出力ポートと汎用入力ポートの 2 種類あります。

汎用入出力ポートは各端子毎に入出力方向を切り替えることができます。汎用入出力ポートは複数の機能を兼用しています。詳細は「端子一覧」と「端子説明」を参照してください。

汎用入力ポートは、水晶振動子接続端子と兼用の 2 ビットの入力専用ポートです。

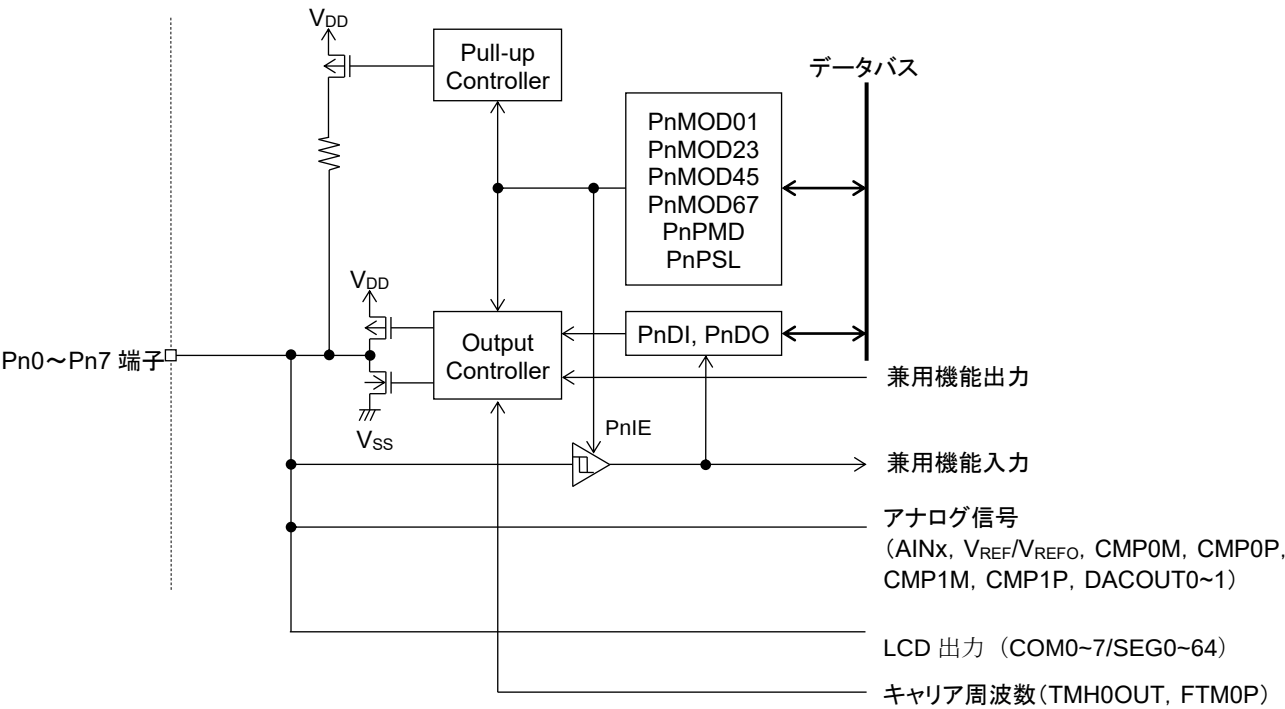
汎用ポートは、「表 17-1 端子一覧表」を参照してください。

○特長

- 端子ごとに入力、出力の選択が可能
- 端子ごとにプルアップ抵抗の接続が可能
- 端子ごとに CMOS 出力と Nch オープンドレイン出力の選択が可能
- Nch オープンドレイン出力選択時、LED の直接駆動が可能
- キャリア周波数出力機能搭載
- ポート出力レベルテスト機能搭載

構成

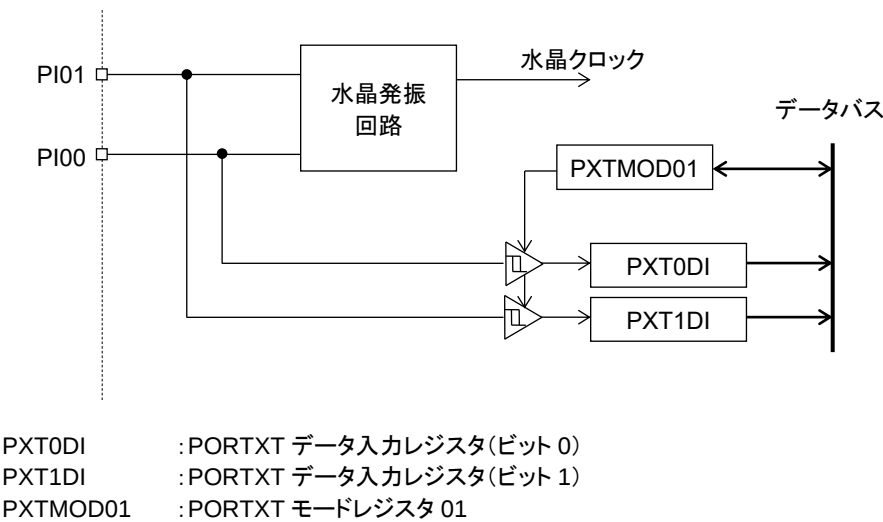
図 17-1 に汎用入出力ポートの構成を示します。



- PnDI : ポート n データレジスタ(ビット 7-0)
- PnDO : ポート n データレジスタ(ビット 15-8)
- PnMOD01 : ポート n モードレジスタ 01
- PnMOD23 : ポート n モードレジスタ 23
- PnMOD45 : ポート n モードレジスタ 45
- PnMOD67 : ポート n モードレジスタ 67
- PnPMD : ポート n パルスモードレジスタ
- PnPSL : ポート n パルス選択レジスタ

図 17-1 汎用入出力ポート n の構成

図 17-2 に汎用入力ポートの構成を示します。



- PXT0DI : PORTXT データ入力レジスタ(ビット 0)
- PXT1DI : PORTXT データ入力レジスタ(ビット 1)
- PXTMOD01 : PORTXT モードレジスタ 01

図 17-2 汎用入力ポートの構成

○端子一覧

表 17-1 端子一覧表

端子名	1 次機能
PI00	汎用入力/ 水晶振動子接続
PI01	汎用入力/ 水晶振動子接続/ 外部クロック入力
P00	汎用入出力
P01	汎用入出力/ DACOUT0
P02	汎用入出力/EXI0
P03	汎用入出力/EXI1
P04	汎用入出力/EXI2
P05	汎用入出力
P06	汎用入出力
P07	汎用入出力
P17	汎用入出力/EXI3
P20	汎用入出力
P21	汎用入出力/EXI4
P22	汎用入出力
P23	汎用入出力/EXI5
P62	汎用入出力
P63	汎用入出力

●外部割込み機能

外部割込み機能は汎用ポートに入力される信号の変化のタイミングで割込みを発生することができます。
外部割込みごとに割込みベクタが割り当てられています。
外部割込み機能を使用できる汎用ポートは「表 18-1 外部割込み機能使用ポートおよびレジスタ設定」を参照してください。

○特長

- ・ マスカブル割込み 6 本
- ・ 割込みなし, 立ち下がりエッジ割込み, 立ち上がりエッジ割込み, 両エッジ割込み選択可能
- ・ 入力信号のサンプリングあり／なしを選択可能(サンプリングクロックは, LSCLK もしくは HSCLK)

○構成

図 18-1 に, 外部割込み機能 (EXI0～EXI7) の構成を示します。

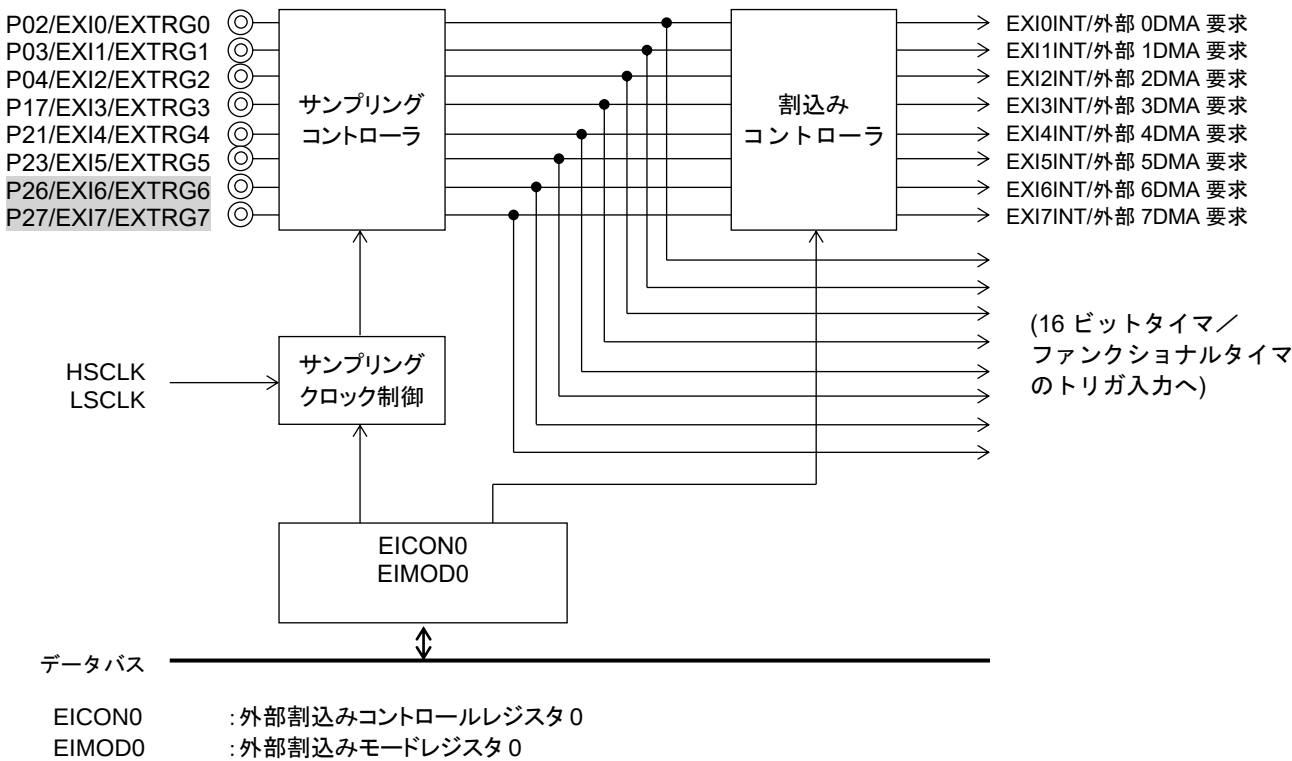


図 18-1 外部割込み機能の構成

<ご注意>

ML7456N には P26/EXI6/EXTRG6 および P27/EXI7/EXTRG7 は非搭載です。

○端子一覧

外部割込みは、汎用ポートの 1 次機能に割り付けられています。

端子名	入出力	説明
EXI0	I	外部割込み 0 入力
EXI1	I	外部割込み 1 入力
EXI2	I	外部割込み 2 入力
EXI3	I	外部割込み 3 入力
EXI4	I	外部割込み 4 入力
EXI5	I	外部割込み 5 入力

外部割込みで使用する汎用ポートおよび、レジスタ設定を表 18-1 に示します。

表 18-1 外部割込み機能使用ポートおよびレジスタ設定

端子名	兼用ポート		設定 レジスタ	設定値
EXI0	P02	1 次機能	P0MOD2	0000_0X01 ^{*1}
EXI1	P03	1 次機能	P0MOD3	0000_0X01 ^{*1}
EXI2	P04	1 次機能	P0MOD4	0000_0X01 ^{*1}
EXI3	P17	1 次機能	P1MOD7	0000_0X01 ^{*1}
EXI4	P21	1 次機能	P2MOD1	0000_0X01 ^{*1}
EXI5	P23	1 次機能	P2MOD3	0000_0X01 ^{*1}

^{*1}: 0X01 の X の設定値は以下

X	ポート入力状態
0	入力(プルアップなし)
1	入力(プルアップあり)

●CRC 演算器

ML62Q1532 は CRC (Cyclic Redundancy Check) 演算器を内蔵しています。
シリアル通信時のエラー検出用に付加する CRC データを容易に演算することができます。
また、セルフテスト用として、HALT/HALT-H モード中に任意のアドレス範囲のプログラム・メモリ領域のデータを自動で CRC 演算するモードを内蔵しています。

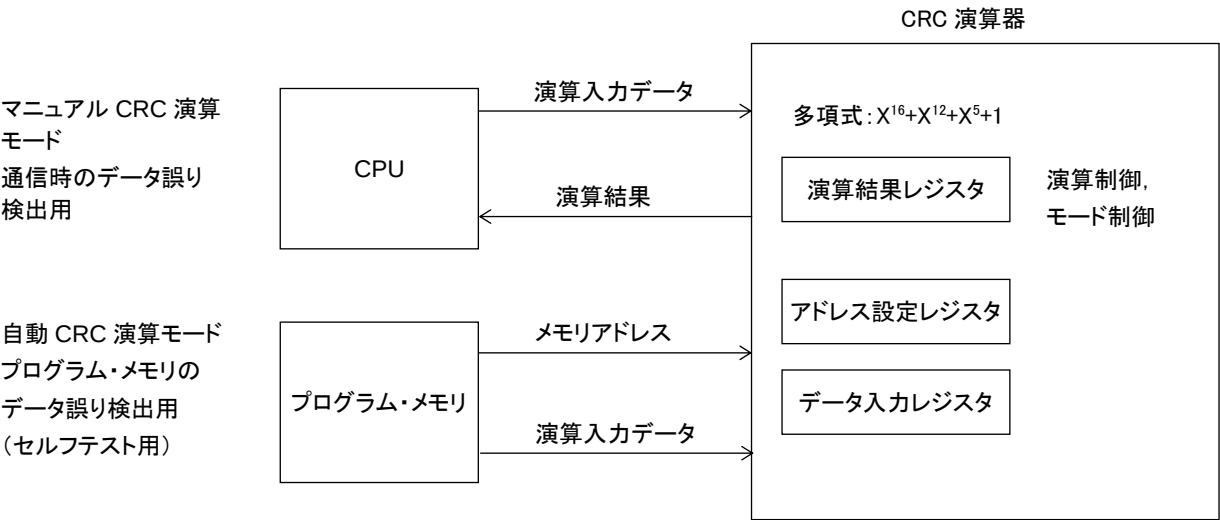


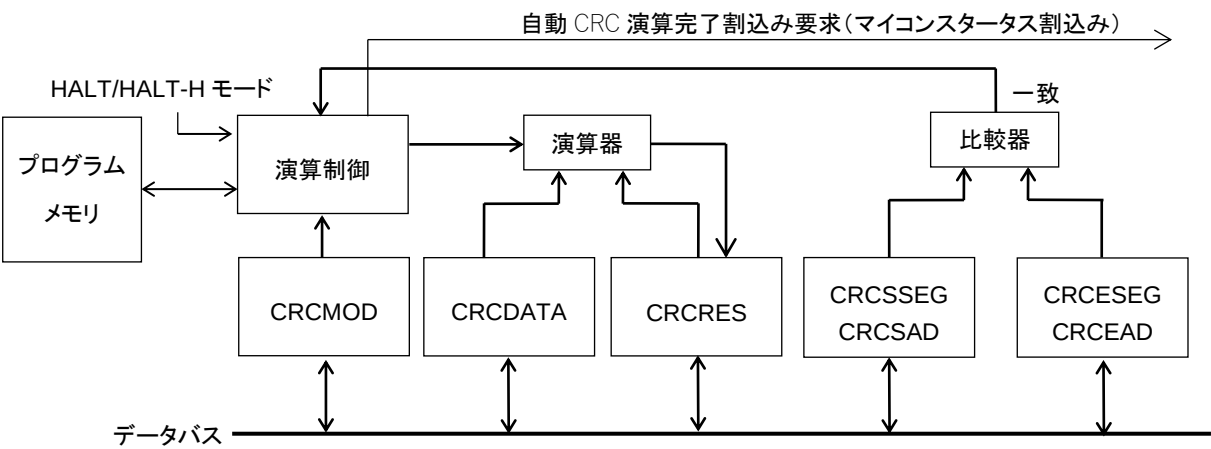
図 19-1 CRC 演算器 概要図

○特長

- マニュアル CRC 演算モード
CRC 演算データレジスタにソフトウェアでデータを書き込むことで随時ハードウェアが CRC 演算する
演算単位は 8 ビット
- 自動 CRC 演算モード
HALT/HALT-H モード中にプログラム・メモリ領域のデータをハードウェアが自動で CRC 演算する
演算単位は 32 ビット, 演算完了時に割込みを発生
- 生成多項式 : $X^{16}+X^{12}+X^5+1$
- MSB ファースト/LSB ファースト選択可能

構成

図 19-2 に CRC 演算器の構成を示します。



- CRCMOD :CRC 演算モードレジスタ
- CRCDATA :CRC 演算データレジスタ
- CRCRES :CRC 演算結果レジスタ
- CRCSEEG :自動 CRC 演算開始セグメント設定レジスタ
- CRCESEG :自動 CRC 演算終了セグメント設定レジスタ
- CRCSAD :自動 CRC 演算開始アドレス設定レジスタ
- CRCEAD :自動 CRC 演算終了アドレス設定レジスタ

図 19-2 CRC 演算器の構成

●アナログコンパレータ

アナログコンパレータを使用して、以下の機能を実現することができます。

- ・ 2本の端子に入力される電圧の大小比較
- ・ 1本の端子に入力される電圧と内部基準電圧(約 0.8V)との大小比較

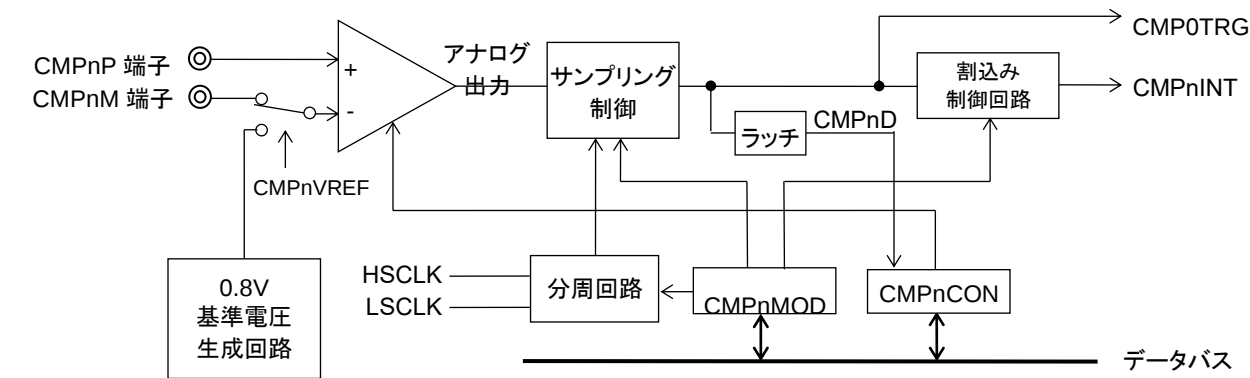
ML7456N はアナログコンパレータを 2 チャンネル搭載しています。

○特長

- 2本の端子に入力される電圧の比較が可能
- 1本の端子に入力される電圧と内部基準電圧(約 0.8V)との比較が可能
- 電圧比較結果による割込み要求発生タイミングを以下の 3 種類から選択可能
 - 比較結果の立ち上がりエッジ
 - 比較結果の立ち下がりエッジ
 - 比較結果の立ち上がりエッジ, および立下りエッジ
- 電圧比較結果に対してサンプリングあり／なしを選択可能。サンプリングクロックは以下から選択可能
 - HSCLK
 - LSCLK
 - HSCLK の 2～64 分周
 - LSCLK の 2～64 分周
- アナログコンパレータ停止タイミングでの比較結果を保持することが可能
- アナログコンパレータ出力をファンクショナルタイマのトリガイイベントソースとして使用可能

構成

図 20-1 にアナログコンパレータ n の構成を示します。(n=0, 1)



- CMPnCON : コンパレータ n コントロールレジスタ
- CMPnMOD : コンパレータ n モードレジスタ
- CMPnD : アナログコンパレータ n 比較結果
- CMPnINT : アナログコンパレータ n 割込み
- CMPnVREF : アナログコンパレータ n 入力電圧選択
- CMP0TRG : アナログコンパレータ 0 出力(ファンクショナルタイマのトリガイイベントソース)

図 20-1 アナログコンパレータの構成

○端子一覧

アナログコンパレータ n の入出力端子は、汎用ポートの兼用機能に割り付けられています。(n=0, 1)

端子名	入出力	機能
CMPnP	I	アナログコンパレータ n 非反転入力
CMPnM	I	アナログコンパレータ n 反転入力

アナログコンパレータ n で使用する汎用ポートおよび、汎用ポートのレジスタ設定を表 20-2 に示します。

表 20-2 アナログコンパレータ機能兼用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値
CMP0P	P03	7 次機能	P0MOD3	0110_0000
CMP0M	P02	7 次機能	P0MOD2	0110_0000
CMP1P	P62	7 次機能	P6MOD2	0110_0000
CMP1M	P63	7 次機能	P6MOD3	0110_0000

【注意】

- アナログコンパレータを使用する場合、汎用ポートのモードレジスタの入力許可(PnmIE)と出力許可(PnmOE)の対応ビットに“0”を書き込み、汎用ポートをハイインピーダンスに設定してください。それ以外の設定では、貫通電流が流れる恐れがあります。(n=0~9, A, B, m=0~7)
- コンパレータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。

●DA コンバータ

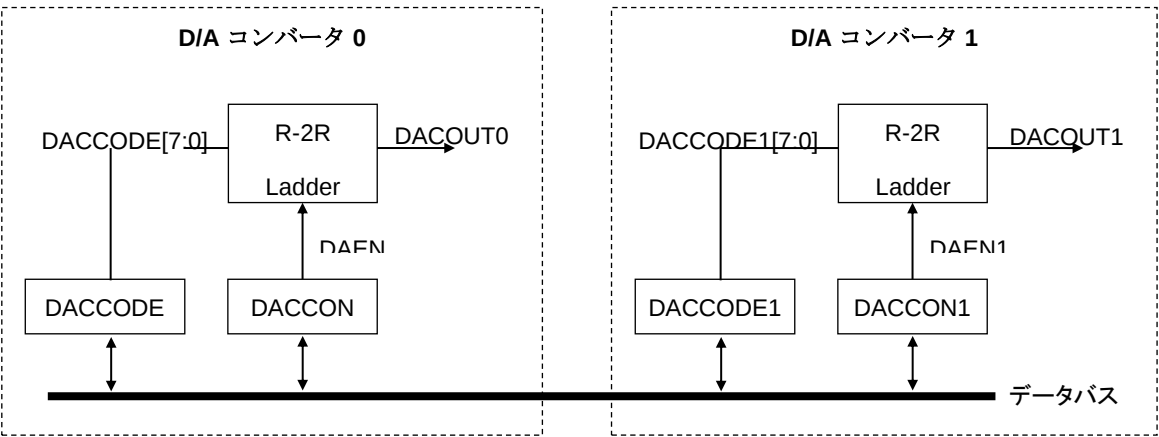
ML62Q1532 は、デジタル信号をアナログ信号に変換する 8 ビット分解能の D/A コンバータを内蔵しています。
ML7456N では D/A コンバータを 1 チャンネル搭載しています。

○特長

- 8 ビット分解能
- R－2R ラダー方式
- アナログ出力 (DACOUT0/DACOUT1)
 - － 出力電圧: $V_{DDIO_MCU} \times (\text{SFR 設定値}) / 256$
 - － 出力インピーダンス: $6k\Omega$ (Typ.)

○構成

図 21－1 に D/A コンバータの構成を示します。



- DACCON : D/A コンバータ 0 コントロールレジスタ
DACCODE : D/A コンバータ 0 コードレジスタ
DACCON1 : D/A コンバータ 1 コントロールレジスタ
DACCODE1 : D/A コンバータ 1 コードレジスタ

図 21-1 D/A コンバータ回路の構成

<ご注意>
ML7456N では D/A コンバータ 0 のみ搭載しています。

○端子一覧

D/A コンバータの出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
DACOUT0	O	D/A コンバータ 0 出力

D/A コンバータで使用する汎用ポートおよび、レジスタ設定を表 21-2 に示します。

表 21-2 D/A コンバータ機能使用ポートおよびレジスタ設定

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値
0	DACOUT0	P01	1 次機能	P0MOD1	0000_0000

【注意】

- D/A コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n: ポート番号 0~9, A, B) の PnmIE ビットと PnmOE ビット (m: ビット番号 0~7) に“0”を書き込み、ハイインピーダンス (入力無効, 出力無効) に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。
- D/A コンバータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。

●電圧レベル監視機能

ML62Q1532 は、電圧レベル監視機能 (VLS: Voltage Level Supervisor) VLS0 を内蔵しています。
VLS0 は、V_{DDIO_MCU} の電圧レベルが設定した判定電圧より高いか低いかを判定します。

○特長

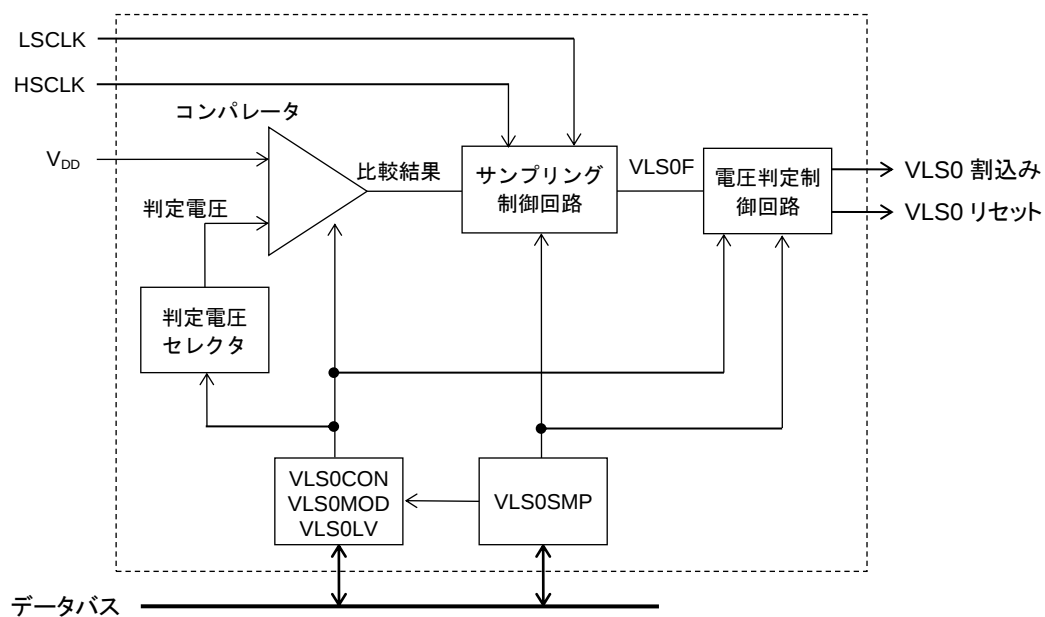
- 精度: ±4%
- 判定電圧: 12 値 (1.85V～4.00V) から選択可能
- 動作モード: スーパーバイザモード (常時判定), シングルモード (1 回判定) から選択可能

モード	説明
シングルモード 1	V _{DDIO_MCU} の電圧レベルを 1 回だけ判定します。 V _{DDIO_MCU} の電圧レベル判定後に判定完了を示す割込みが発生します。
シングルモード 2	V _{DDIO_MCU} の電圧レベルを 1 回だけ判定します。 V _{DDIO_MCU} の電圧レベルが判定電圧未満と判定した場合にのみ、低電圧状態を示す割込みが発生します。
スーパーバイザモード	V _{DDIO_MCU} の電圧レベルを常時判定します。 常時、V _{DDIO_MCU} の電圧レベルを判定し、低電圧検出時における割込み／リセットが発生可能です。 VLS0MOD レジスタの設定に応じて、割込みまたはリセットが発生します。 スーパーバイザモードを選択することで VLS0 によるリセット機能が使用可能となります。

- 電圧レベル監視リセット (VLS0 リセット) として使用可能
- 電圧レベル監視割込み (VLS0 割込み) として使用可能
- パワーオンリセットと端子リセットで初期化可能

○構成

VLS0 は、コンパレータ、サンプリング制御回路、および電圧判定制御回路から構成されています。図 22-1 に VLS0 の構成を示します。



VLS0CON	:	電圧レベル監視機能 0 コントロールレジスタ
VLS0MOD	:	電圧レベル監視機能 0 モードレジスタ
VLS0LV	:	電圧レベル監視機能 0 レベルレジスタ
VLS0SMP	:	電圧レベル監視機能 0 サンプリングレジスタ

図 22-1 電圧レベル監視機能回路の構成

●逐次比較型 AD コンバータ

ML62Q1532 は、アナログ入力信号をデジタル値に変換する逐次比較型 A/D コンバータ (SA-ADC : Successive Approximation type A/D Converter) を内蔵しています。

逐次比較型 A/D コンバータは製品により搭載するアナログ入力チャネルが異なります。

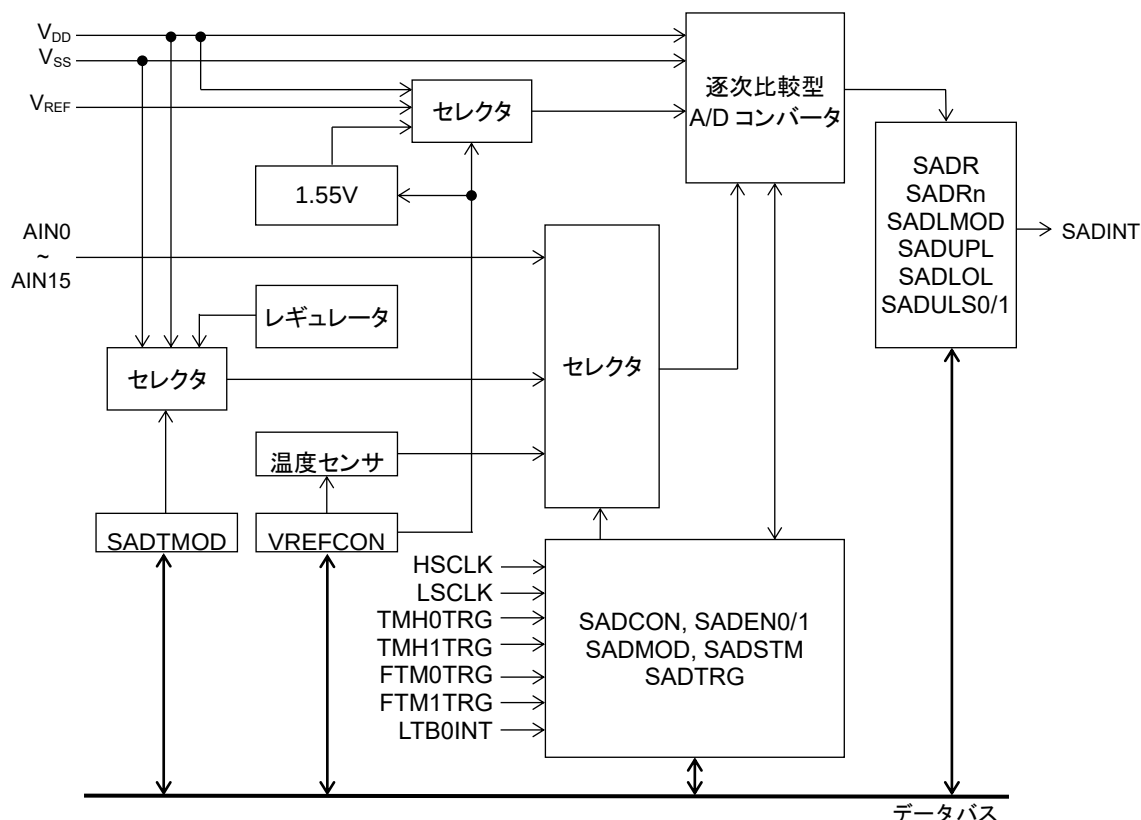
ML7456N では 5 チャネル使用可能です。(n=0,1,2,3,11)

○特長

- 分解能 : 10 ビット
- 変換時間 : 最短 2.25 μ s /1 チャネル (変換クロック 8MHz 時)
- 入力チャネル数 : 最大 5 チャネル
- 基準電圧選択可能
(V_{DD} 端子入力電圧／内蔵リファレンス電圧 (約 1.55V)／外部リファレンス電圧 (V_{REF} 端子))
- サンプル時間選択可能
- 選択したチャネルを連続変換する機能
- 連続変換後と次の連続変換開始との間隔を設定可能
- 変換結果のレジスタは各チャネルごとに搭載
- 変換結果の上限, 下限判定による割込み要求が可能
- 低速 RC 発振周波数補正用の温度センサ内蔵
- A/D コンバータのセルフテスト機能 (フルスケール, ゼロスケール, 内部基準電圧の A/D 変換機能)
- 変換トリガとして以下信号を選択可能
 - 16 ビットタイマ 0 トリガ (TMH0TRG)
 - 16 ビットタイマ 1 トリガ (TMH1TRG)
 - ファンクショナルタイマ 0 トリガ (FTM0TRG)
 - ファンクショナルタイマ 1 トリガ (FTM1TRG)
 - 低速タイムベースカウンタ 0 割込み (LTB0INT)

○構成

図 23-1 に逐次比較型 A/D コンバータの構成を示します。



SADCON	: SA-ADC コントロールレジスタ
SADEN0/1	: SA-ADC イネーブルレジスタ 0,1
SADMOD	: SA-ADC モードレジスタ
SADSTM	: SA-ADC 変換間隔レジスタ
SADR	: SA-ADC リザルトレジスタ
SADRn	: SA-ADC リザルトレジスタ n (n=0~16)
SADLMOD	: SA-ADC 上限下限モードレジスタ
SADUPL	: SA-ADC 上限値設定レジスタ
SADLOL	: SA-ADC 下限値設定レジスタ
SADULSn	: SA-ADC 上限下限ステータスレジスタ n (n=0, 1)
VREFCON	: 基準電圧コントロールレジスタ
SADTRG	: SA-ADC トリガレジスタ
SADTMOD	: SA-ADC テストモード
SADINT	: SA-ADC 割込み要求
	逐次比較型 A/D コンバータ DMA 要求
TMH0TRG, TMH1TRG	: 16 ビットタイマ 0,1 トリガ
FTM0TRG, FTM1TRG	: ファンクショナルタイマ 0,1 トリガ
LTB0INT	: 低速タイムベースカウンタ 0 割込み要求

図 23-1 逐次比較型 A/D コンバータの構成

○端子一覧

逐次比較型 A/D コンバータのアナログ入力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	説明
V _{DDIO_MCU}	—	逐次比較型 A/D コンバータ用プラス側電源
V _{SS}	—	逐次比較型 A/D コンバータ用マイナス側電源
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源
AIN0	I	逐次比較型 A/D コンバータ チャンネル 0 のアナログ入力
AIN1	I	逐次比較型 A/D コンバータ チャンネル 1 のアナログ入力
AIN2	I	逐次比較型 A/D コンバータ チャンネル 2 のアナログ入力
AIN3	I	逐次比較型 A/D コンバータ チャンネル 3 のアナログ入力
AIN11	I	逐次比較型 A/D コンバータ チャンネル 11 のアナログ入力

●レギュレータ

ML62Q1532 はレギュレータを内蔵しています。

図 24-1 にレギュレータの概要図を示します。

レギュレータは、低消費電力のため、アンプを用いて V_{DDIO_MCU} の変動 (2.6V~3.6V) に依存しない一定電圧の内部ロジック用電圧 (REG_CORE_MCU) を生成します。レギュレータより生成された REG_CORE_MCU は、内部ロジック回路、フラッシュ・メモリ、RAM、発振回路などの周辺回路に電圧を供給されます。

REG_CORE_MCU を安定させるため、REG_CORE_MCU 端子はコンデンサ (1 μ F) を介して V_{SS} に接続してください。

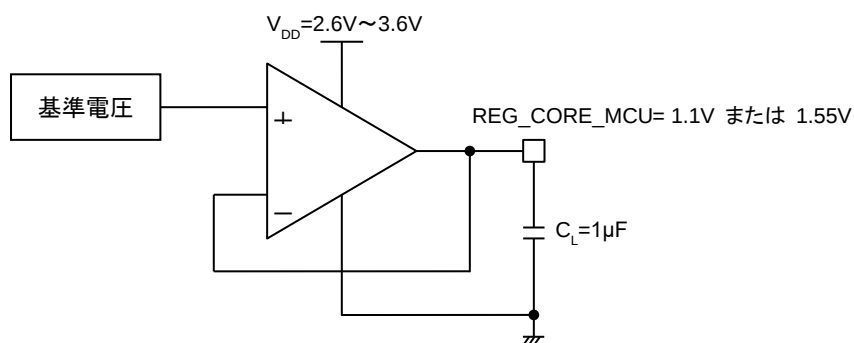


図 24-1 レギュレータの概要図

○特長

モード	REG_CORE_MCU の 電圧
STOP モード	1.55V
HALT モード	1.55V
HALT-H モード	1.55V
プログラム動作モード	1.55V
STOP-D モード (RAM および SFR の内容は保持可能)	1.1V

○構成

図 24-2 に内部電源の構成を示します。

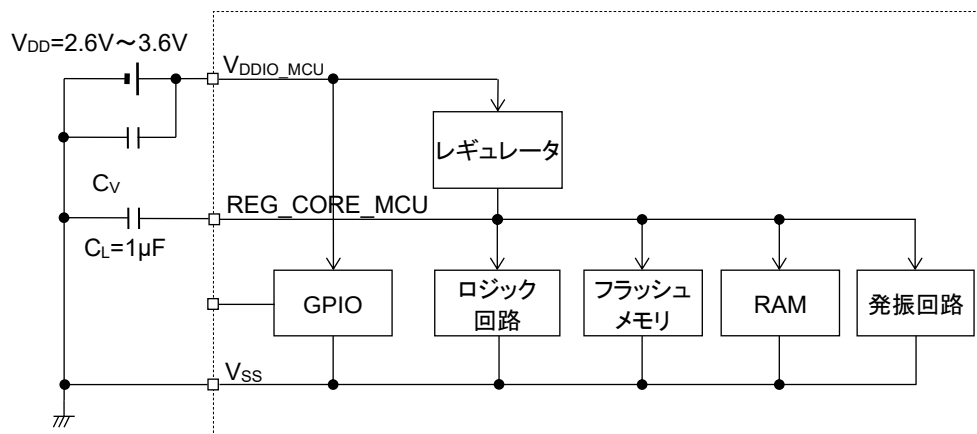


図 24-2 内部電源の構成

○端子一覧

REG_CORE_MCU を安定させるため、REG_CORE_MCU 端子はコンデンサ (1μF) を介して V_{SS} に接続してください。

端子名	入出力	機能
REG_CORE_MCU	—	内部ロジック用電源 (内部発生)
V _{REF0}	—	リファレンス電圧出力

【注意】

- 電源間バイパスコンデンサ (C_V) および内部ロジック用電圧 (REG_CORE_MCU) のコンデンサ (C_L: 1 μF) は、ノイズ耐性向上のため、ユーザ基板上では LSI の近くに配置し、ビアを経由せず極力配線を短くしてください。
- 内部ロジック用電圧 (REG_CORE_MCU) は外部デバイス用の電圧として使用できません。

●フラッシュメモリ

ML62Q1532 は、プログラム・メモリ空間およびデータ・フラッシュ領域にフラッシュ・メモリを内蔵しています。
プログラム・メモリ空間およびデータ・フラッシュ領域については、ML62Q1000 シリーズ ユーザーズマニュアル「第 2 章 CPU とメモリ空間」を参照してください。

フラッシュ・メモリは、以下の 3 つの方法で書き換えることができます。

- フラッシュ・メモリの書き換え方法

書き換え方法	書き換えに使用するツール／レジスタ／通信	参照箇所 (ML62Q1000 シリーズ ユーザーズマニュアル)
オンチップデバッグ機能によるプログラミング	オンチップデバッグエミュレータまたは専用のフラッシュライタ	第 28 章 オンチップデバッグ機能
特殊機能レジスタ(SFR)によるセルフ・プログラミング	フラッシュ・メモリを書き換える特殊機能レジスタ(SFR)	25.3 セルフ・プログラミング
In-System Programming (ISP) 機能によるプログラミング	外部デバイスとの UART 通信 3 rd パーティー製フラッシュライタ(*1)	25.4 In-System Programming 機能

*1:3rd パーティー製フラッシュライタについては、各フラッシュライタメーカーにお問い合わせください。

ML7456N に搭載するフラッシュ・メモリと機能概要を以下に示します。

- プログラム・メモリ空間とデータ・フラッシュ領域の概要

商品名	プログラム・メモリ空間		データ・フラッシュ領域	
	容量	アドレス	容量	アドレス
ML7456N(ML62Q1532)	64K バイト	0x0:0000～ 0x0:FFFF	4K バイト (128 バイト×32 セクタ)	0x1F:0000～ 0x1F:0FFF

- プログラム・メモリ空間とデータ・フラッシュ領域の機能概要

項目		プログラム・メモリ空間	データ・フラッシュ領域
消去・書き込み単位	チップ消去 (ISP モードのみ)	全領域	全領域
	ブロック消去	16K バイト	全領域
	セクタ消去	1K バイト	128 バイト
	書き込み	4 バイト(32 ビット)	1 バイト(8 ビット)
消去・書き込み時間	チップ消去 (ISP モードのみ)	最大約 50ms	最大約 50ms
	ブロック消去		
	セクタ消去		
	書き込み	最大約 80μs	最大約 40μs
書き換え回数		100 回	10,000 回
消去・書き換え周囲温度		0°C～+40°C	-40°C～+85°C
バックグラウンドオペレーション(BGO)機能		－	対応
消去／書き込み完了割込み		割込み出力機能なし	割込み出力機能あり

○端子一覧

ISP 機能によるプログラミングでは、以下の端子を使用します。

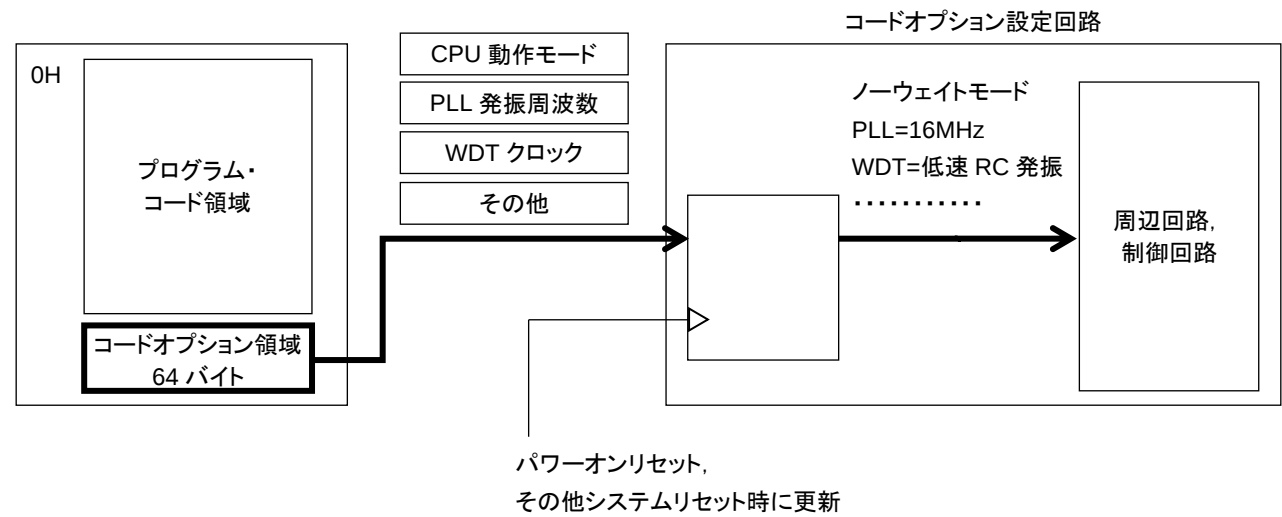
信号名	入出力	機能
RESET_N	I	ISP モードへの移行時の信号入力
TEST0	I/O	ISP モードへの移行時の信号入力および UART データ入出力

●コードオプション

コードオプションは、プログラム・メモリ空間のコードオプション領域に書き込んだ値によって、CPU の動作モード、PLL の基本周波数、ウォッチドッグタイマの動作クロック等を選択します。

以下のシステムリセットによるマイコン起動時に、ハードウェアが自動的にコードオプション領域のデータを参照し、選択された各機能を設定します。

- ・ パワーオンリセット
- ・ 電圧レベル監視リセット
- ・ RESET_N 端子リセット
- ・ ウォッチドッグタイマ (WDT) オーバフローリセット
- ・ ウォッチドッグタイマ (WDT) 不正クリアリセット
- ・ RAM パリティエラーリセット
- ・ ROM 未使用領域アクセスリセット



コードオプション領域は、オンチップデバッグ機能、フラッシュ・メモリのセルフ書き換え機能、および ISP 機能により消去・書き込みが可能です。

図 26-1 コードオプション 概要図

○機能一覧

- ・ ROM 未使用領域アクセスリセットの許可／禁止を選択可能
- ・ リマップ機能の動作許可／禁止を選択可能
- ・ ウォッチドッグタイマの動作クロック (低速発振 LSCLK／WDT 専用発振)を選択可能
- ・ ウォッチドッグタイマの動作許可／禁止を選択可能
- ・ PLL の基本周波数 (16MHz／24MHz)を選択可能
- ・ CPU の動作モード (ウェイトモード／ノーウェイトモード)を選択可能
- ・ リマップ機能 (ソフトウェアリマップ／ハードウェアリマップ)を選択可能

●オンチップデバッグ機能

オンチップデバッグ機能は、オンチップデバッグエミュレータ(以下、「オンチップエミュレータ」と呼びます)を介してホスト PC と LSI を接続して使用します。

ホスト PC にインストールしたプログラム開発支援ソフトウェア(デバッガ)を使用することで、オンボード状態でのプログラムのデバッグおよびプログラムの書き換えが可能です。

○特長

- オンチップエミュレータを接続してデバッガを使用することにより以下のデバッグ機能を実現可能
 - － エミュレーション機能
 - ・リアルタイム・エミュレーション
 - ・シングルステップ・エミュレーション
 - － ブレーク機能
 - ・ハードウェア・ブレークポイント・ブレーク(4 点)
 - ・RAM データマッチブレーク
 - ・シーケンシャルブレーク
 - ・トレースオーバフローブレーク
 - ・スタックオーバフローブレーク／アンダフローブレーク
 - ・ROM 未使用領域アクセスブレーク
 - ・RAM パリティエラーブレーク
 - － トレース機能
 - ・分岐トレース
 - － リアルタイムウォッチ機能
 - － CPU 資源の表示および変更機能
 - ・プログラム・メモリの参照／逆アセンブル
 - ・RAM および SFR の表示／変更
 - ・CPU 内レジスタの表示／変更
 - － プログラムダウンロード機能
 - ・フラッシュ・メモリへのプログラムのダウンロード／読み出し／消去
 - ・データ・フラッシュへのデータの書き込み／読み出し／消去
 - － ブレーク中の周辺回路動作の継続／停止制御
 - 対象周辺回路
 - ・外部割込み
 - ・低速タイムベースカウンタ
 - ・16 ビットタイマ
 - ・ファンクショナルタイマ
 - ・シリアル通信ユニット(同期式シリアポート／UART)
 - ・I²C バスマスタ
 - ・I²C バスユニット(マスタ／スレーブ)
 - ・DMA コントローラ
 - ・ブザー
 - ・アナログモジュール(アナログコンパレータ, 逐次比較型 A/D コンバータ, 電圧レベル監視機能(VLS))
- LSI とオンチップエミュレータを接続してフラッシュマルチライタを使用することにより以下のプログラムのダウンロード機能を実現可能
 - － プログラムダウンロード機能
 - ・プログラム・メモリ空間へのプログラムの書き込み／消去
 - ・データ・フラッシュ領域へのデータの書き込み／消去

構成

オンチップデバッグ機能を使用する場合、LSI への電源供給は以下の 2 つの方法があります。

- ・オンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA)を使用する
- ・ターゲットシステムの電源 ($V_{DDIO_MCU}=2.6V\sim3.6V$)を使用する

オンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA) を使用する場合

図 28-1 にオンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA)を使用する場合の接続例を示します。

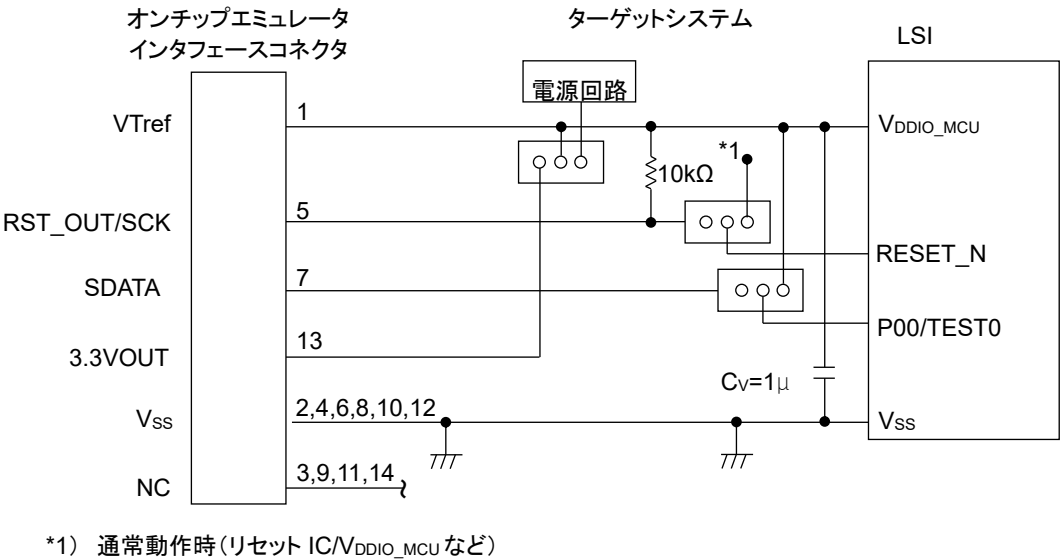


図 28-1 オンチップエミュレータの 3.3VOUT 電源を使用する場合の接続例

ターゲットシステムの電源 ($V_{DD}=2.6V\sim3.6V$) を使用する場合

図 28-2 にターゲットシステムの電源 ($V_{DDIO_MCU}=2.6V\sim3.6V$)を使用する場合の接続例を示します。

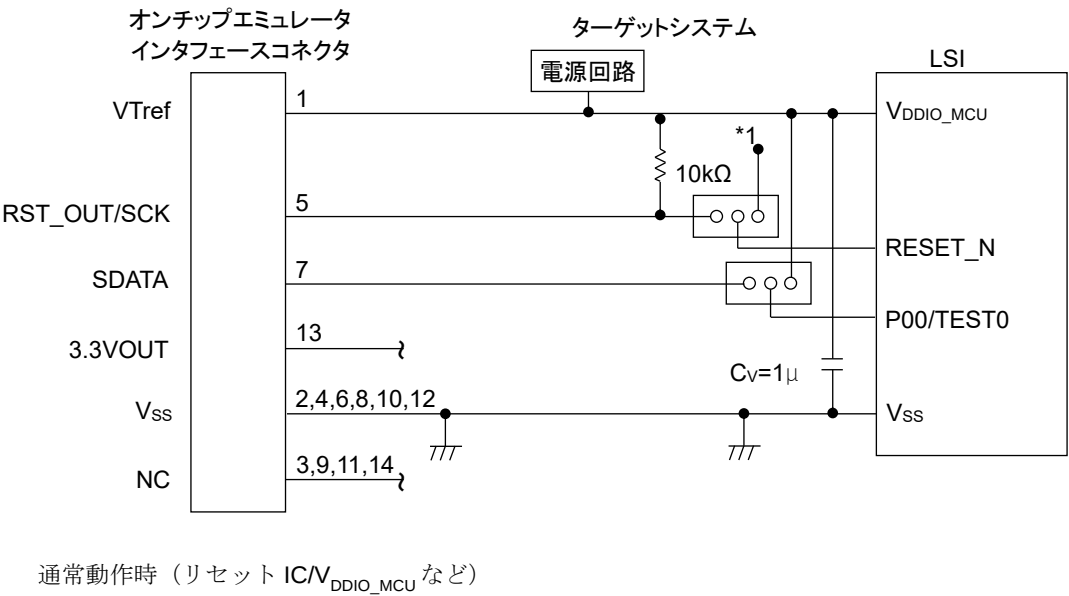


図 28-2 ターゲットシステムの電源を使用する場合の接続例

○端子一覧

オンチップデバッグ機能では、以下の端子を使用します。

信号名	入出力	機能
RESET_N	I	端子リセット入力
P00/TEST0	I/O	オンチップデバッグ機能用信号入出力

●安全機能

安全機能として IEC60730/60335 Class B に対応する機能を内蔵しています。

安全機能は、LSI で自己診断することで故障を検出し、LSI が安全に停止することを目的としています。

○特長

- 本 LSI の安全機能

名称	内容	SFR での制御
RAM ガード	指定した RAM 領域への書き込みを禁止する機能	可能
SFR ガード	指定した SFR への書き込みを禁止する機能	可能
逐次比較型 A/D コンバータのテスト	逐次比較型 A/D コンバータの自己テスト機能	可能
RAM パリティエラー検出	RAM のパリティエラー発生の確認とパリティエラー発生時に LSI のリセットを発生する機能 (SFR でリセット発生許可／禁止可能, リセットステータスフラグあり, パリティエラーフラグあり)	可能
ROM 未使用領域アクセスリセット	CPU のプログラムカウンタ(PC)を監視し, 不正な領域のプログラムを実行した場合にリセットを発生させる機能 (コードオプションでリセット発生許可／禁止可能, リセットステータスフラグあり)	—
クロック相互監視	高速クロック, 低速クロックが正常に発振しているか監視する機能	可能
CRC 演算	フラッシュ・メモリのデータ誤りや任意データの誤りを検出する機能	可能
通信機能の自己テスト (UART)	UART 自己テスト機能	可能
通信機能の自己テスト (SSIO)	SSIO (同期式シリアルポート) 自己テスト機能	可能
通信機能の自己テスト (I ² C)	I ² C 自己テスト機能	可能
WDT カウンタ読み出し	WDT カウンタ読み出し機能	可能
ポート出力レベルテスト機能	汎用ポート自己テスト機能	可能
クロックバックアップ機能とそのテスト機能	低速水晶発振が停止した場合, 低速 RC 発振に自動で切り替える機能とそのテスト機能	可能
マイコンステータス割込み	RAM のパリティエラー発生による割込み, 自動 CRC 演算完了による割込み, データ・フラッシュの消去・書き込み完了による割込みを制御する機能	可能

■RF

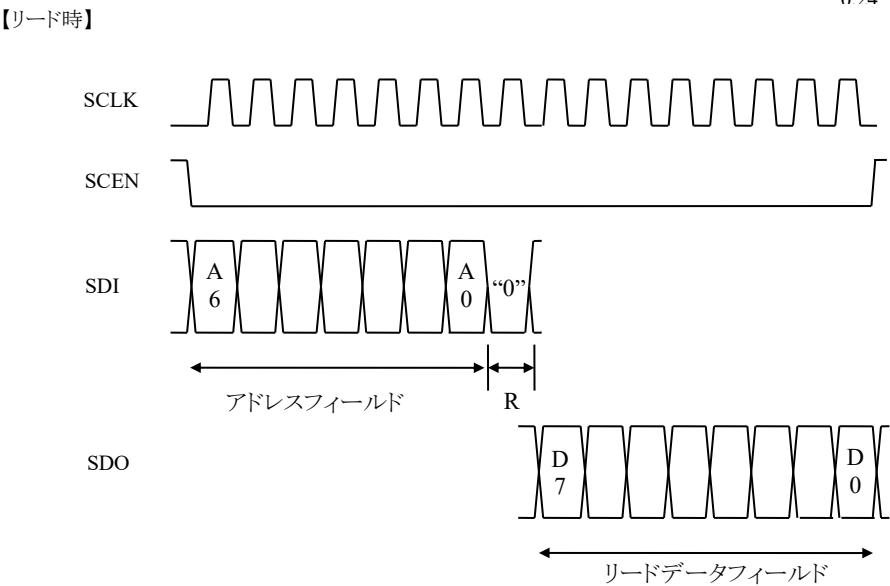
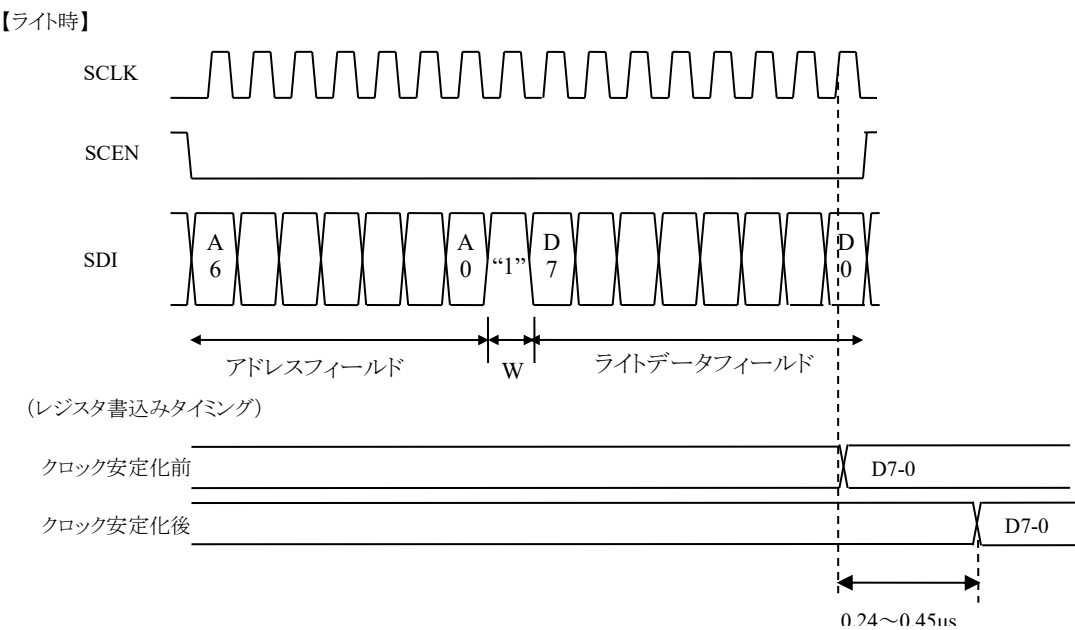
●ホストインタフェース

○Serial Peripheral Interface (SPI)

本 LSI はシリアルペリフェラルインタフェース(以下 SPI)を有しています。本 LSI の SPI はスレーブモードのみをサポートしており、ホスト MCU よりクロックを入力して本 LSI のレジスタと FIFO の読み書きを行います。またシングルアクセス、バーストアクセスに対応しています。

【シングルアクセス タイムチャート】

ライト時は、D0 を取り込むクロックの立ち上がりを検出して内部回路に書き込みます。SCEN を”H”にすると制御部はリセットされます。また、内部クロックの有無によりレジスタに書き込まれるタイミングが異なります。



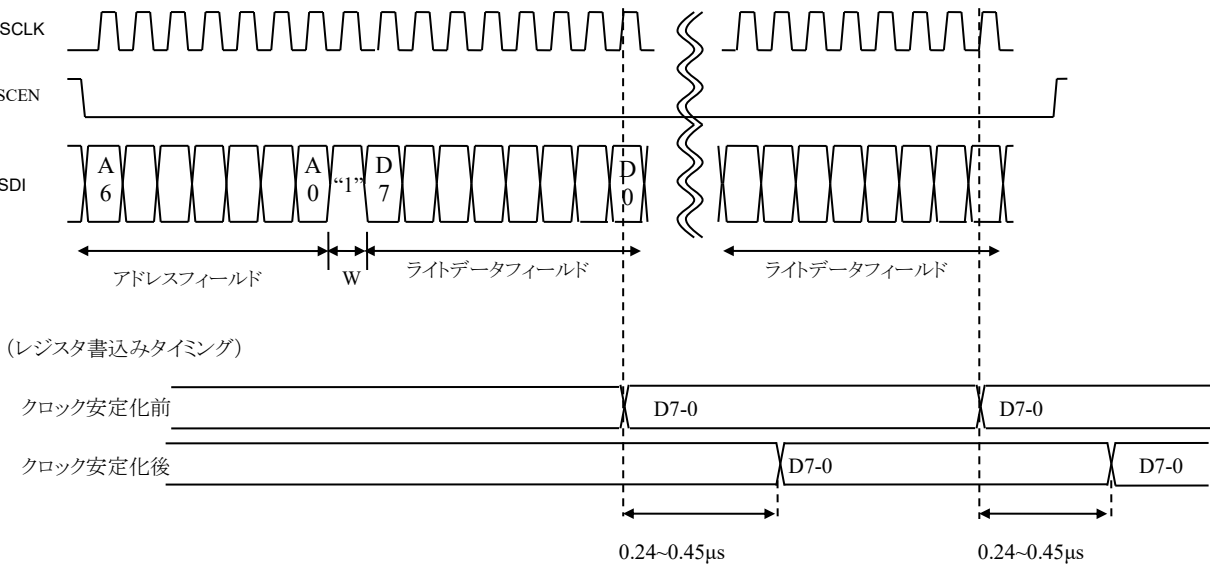
【バーストアクセス タイムチャート】

SCEN を”L”に維持することで、バーストモードに移行します。バーストモードの解除は SCEN を”H”にすることで行われます。バーストモードでは、アドレスの自動インクリメントが実行され、必要なデータ分 SCLK を入力することで連続して読み書きができます。D0 を取り込むクロックが入力される前に SCEN を”H”にした場合、当該データは破棄されます。

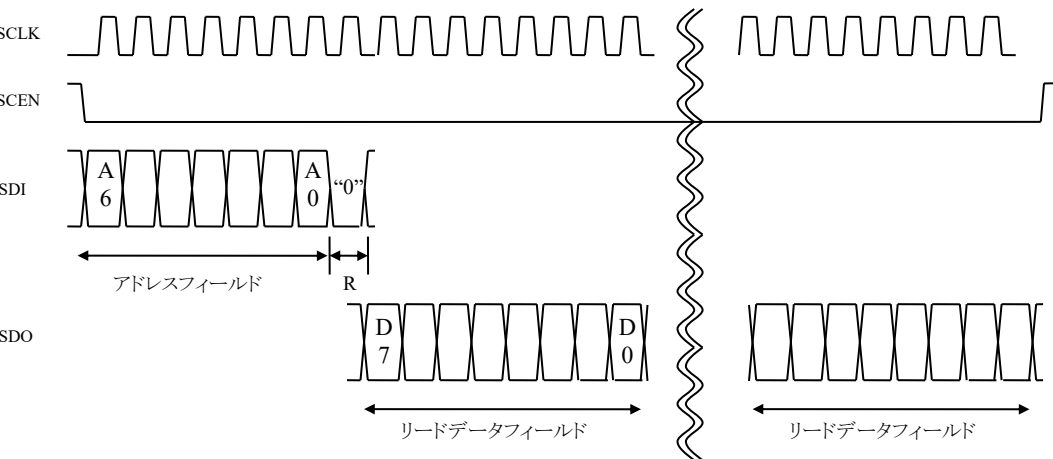
【ご注意】

アクセス先が[WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F]の場合、アドレスのインクリメントが行われず連続して当該 FIFO の読み書きができます。

【ライト時】



【リード時】



●LSI 状態制御

本 LSI は以下のレジスタで LSI 状態を変更することができます。

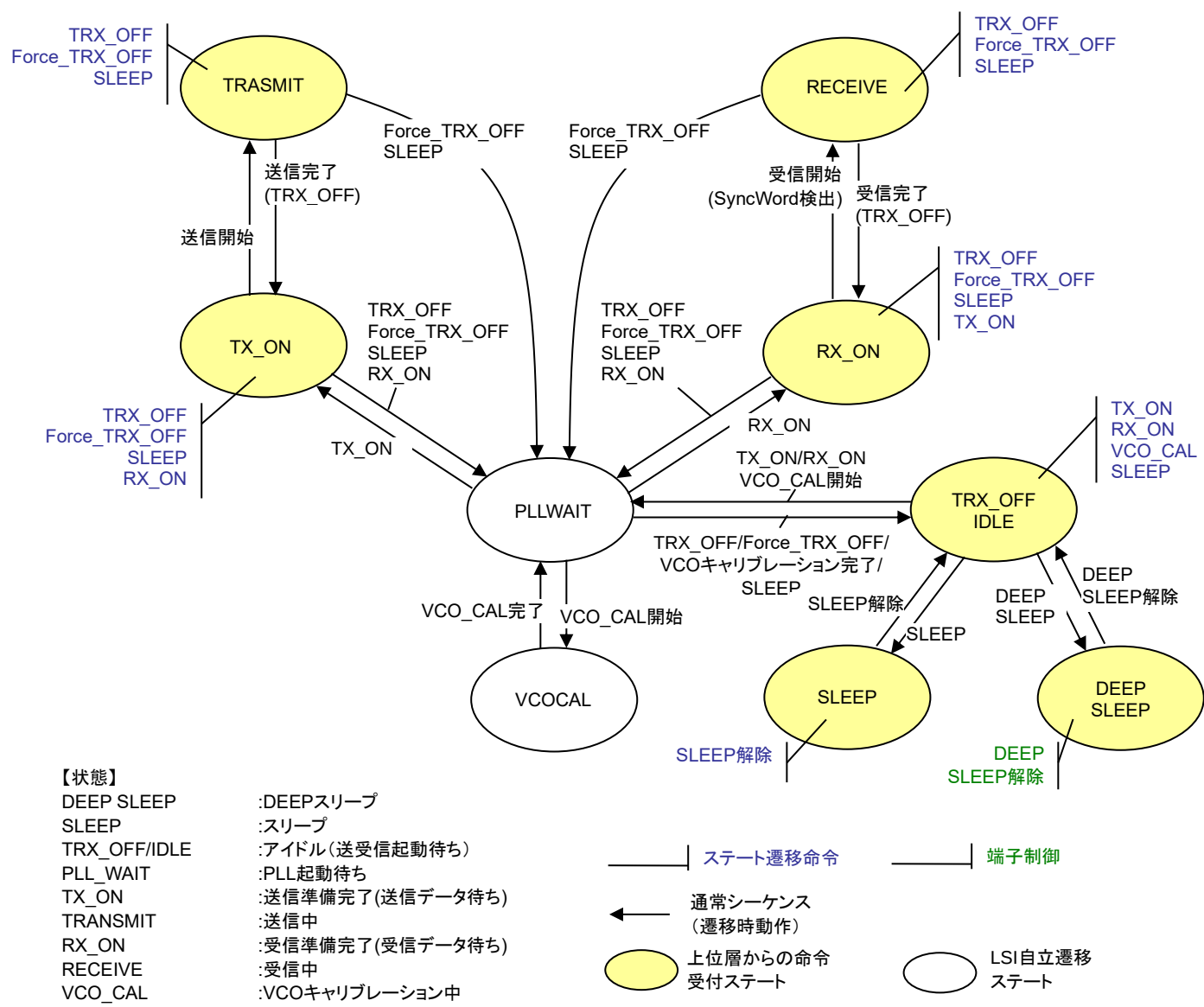
状態遷移命令	レジスタ設定
TX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x9
RX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x6
TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x8
Force_TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x3
SLEEP	SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)]) = 0b1
VCO_CAL	VCO_CAL_START([VCO_CAL_START: B0 0x6F(0)])= 0b1

また、本 LSI は自立的に LSI の状態を変更する機能があります(下表を参照してください)。それぞれの機能により LSI 状態変更条件を満たした場合、上表のレジスタを LSI が自動で書き換え、状態を変更します。

機能	レジスタ
FIFO ライト完了後自動 TXON	AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])
FIFO ライト途中での自動 TXON	FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])
送信完了時の RF 状態遷移設定	TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])
受信完了時の RF 状態遷移設定	RXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(3-2)])
ウェイクアップタイマ機能動作による自動 RXON/TXON	[SLEEP/WU_SET:B0 0x2D]
SLEEP 復帰後の自動 VCO キャリブレーション	AUTO_VCO_CAL_EN([VCO_CAL_START: B0 0x6F(4)])
動作継続タイマ動作による自動 SLEEP	[SLEEP/WU_SET: B0 0x2D]
高速電波チェックモードによる自動 SLEEP	FAST_DET_MODE_EN ([CCA_CTRL:B0 0x39(3)])
高速電波チェックモードによる自動 TX_ON	CCADONE_MODE([ED_CTRL:B0 0x41(6)])
送信中の PLL ロック外れ検出時自動 Force_TRX_OFF	PLL_LD_EN([PLL_LOCK_DETECT: B1 0x0B(7)])

それぞれの LSI 状態遷移制御は以下の状態遷移図に従います。

OLSI 状態遷移図



LSI 状態遷移図

○SLEEP 設定

DEEP_SLEEP 状態は IO 端子以外の全回路の電源が OFF した状態となります。
SLEEP 状態はメインレギュレータと 36MHz 発振回路が OFF し、サブレギュレータが ON している状態となります。
また、SLEEP 中の状態は以下のレジスタで設定できます。

機能	レジスタ
電源制御	PDN_EN([SLEEP/WU_SET: B0 0x2D(1)])
ウェイクアップ設定	WAKEUP_EN([SLEEP/WU_SET: B0 0x2D(4)])
ウェイクアップタイマ用クロックソース設定	WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])
内蔵 RC 発振回路制御	RC32K_EN ([CLK_SET2: B0 0x03(3)])

DEEP_SLEEP および代表的な SLEEP モードへの設定方法と、内部状態の対応関係は以下の通りとなります。

スリープ モード	設定方法	メイン レギュレータ	サブ レギュレータ	36MHz 発振回路	RC 発振回路	低速タイマ	送信 FIFO
DEEP SLEEP	RESETN 端子="L" REGPDIN 端子="H"	OFF	OFF	OFF	OFF	OFF	OFF
SLEEP1	[SLEEP/WU_SET: B0 0x2D(5-0)] = 0b00_0111 [CLK_SET2: B0 0x03(3)] = 0b0	OFF	ON	OFF	OFF	OFF	OFF
SLEEP2	[SLEEP/WU_SET: B0 0x2D(5-0)] = 0b11_0111 [CLK_SET2: B0 0x03(3)] = 0b1	OFF	ON	OFF	ON	ON	OFF

DEEP_SLEEP ではレジスタ値を保持しません。一方、SLEEP 1 または SLEEP2 ではレジスタ値を保持します。ただし、SLEEP1 と SLEEP2 では送信 FIFO の電源が OFF されるため、送信 FIFO に格納したデータは保持されません。

○RF 状態設定に関する注意事項

本 LSI はレジスタ設定による RF 状態遷移命令以外に、LSI が自立的に RF 状態遷移命令を発行し、RF 状態変更を行う機能があります(「LSI 状態制御」参照)。このとき、レジスタ設定による RF 状態遷移命令と LSI 自立動作による RF 状態変更のタイミングが重なった場合、意図しない RF 状態となります。LSI 自立動作による RF 状態変更は以下のタイミングで行われます。レジスタ設定による RF 状態遷移命令タイミングと重ならないようにご注意ください。

機能	RF 状態変更 (変更前⇒変更後)	LSI 自立動作による RF 状態変更タイミング	推奨処理方法
自動送信	TRX_OFF/RX_ON⇒ TX_ON	送信データ受付完了割り込み発生後、 {[TX_RATE_H/L:B1 0x02/03]}設定値 * 2 / 36}[μs]区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。
FAST_TX モード		FIFO ライト量がトリガレベル+1 以上となった後、 {[RX_RATE1_H/L:B1 0x04/05]}設定値 * 5 / 36}[μs]区間	
送信完了後の RF 状態設定	TX_ON⇒TRX_OFF	データ送信完了割り込み発生後、 {[TX_RATE_H/L:B1 0x02/03]}設定値 * 2 / 36}[μs]区間	
	TX_ON⇒RX_ON		
	TX_ON⇒SLEEP		
受信完了後の RF 状態設定	RX_ON⇒TRX_OFF	データ受信完了割り込み発生後、 {[RX_RATE1_H/L:B1 0x04/05]}設定値 * 2 / 36}[μs]区間	
	RX_ON⇒TX_ON		
	RX_ON⇒SLEEP		
ウェイクアップタイマ	SLEEP⇒TX_ON	ウェイクアップタイマ満了後、ウェイクアップタイ マ用低速クロック 1 周期区間	VCO キャリブレーション完了割 込み発生後、[RF_STATUS:B0 0x0B]および BANK2 にアクセス を行う
	SLEEP⇒RX_ON		
	SLEEP⇒VCO_CAL⇒ TX_ON	ウェイクアップタイマ満了後、 VCO キャリブレーション完了割り込みまで	
	SLEEP⇒VCO_CAL⇒ RX_ON		
動作継続タイマ	TX_ON⇒SLEEP	動作継続タイマ満了後、ウェイクアップタイマ用 低速クロック 1 周期区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。
	RX_ON⇒SLEEP		
高速電波チェック	RX_ON⇒SLEEP	CCA 完了割り込み発生後、6.3[μs]区間	
	RX_ON⇒TX_ON		
PLL ロック外れ検出	TX_ON⇒TRX_OFF	PLL ロック外れ検出割り込み発生後、24[μs](*) 区間	

(*) ランプダウン時間設定に依存します。

●パケットハンドリング機能

○パケットフォーマット

本 LSI は下記に示すパケットフォーマット(FormatA/B/C/D)をサポートします。FIFO 使用モードまたは DIO モードにおいて以下の通りパケットハンドリングを行います。

- ・プリアンプル・SyncWord の自動付加(送信時)・・・DIO/FIFO モード共通
- ・プリアンプル・SyncWord の自動検出(受信時)・・・DIO/FIFO モード共通
- ・プリアンプル・SyncWord の自動削除(受信時)・・・DIO/FIFO モード共通
- ・CRC データ付加・・・FIFO モードのみ
- ・CRC チェック、エラー通知・・・DIO/FIFO モード共通

パケットフォーマットに関するレジスタは以下の通りです。

機能	レジスタ
パケットフォーマット設定	PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])
受信時パケット拡張モードオフ設定	RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])
データ領域送出順設定	DAT_LF_EN([PKT_CTRL1: B0 0x04(4)])
L-field 送出順設定	LEN_LF_EN([PKT_CTRL1: B0 0x04(5)])
パケット拡張モード設定	EXT_PKT_MODE([PKT_CTRL1: B0 0x04(7-6)]) EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])
Length フィールド長設定	LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])

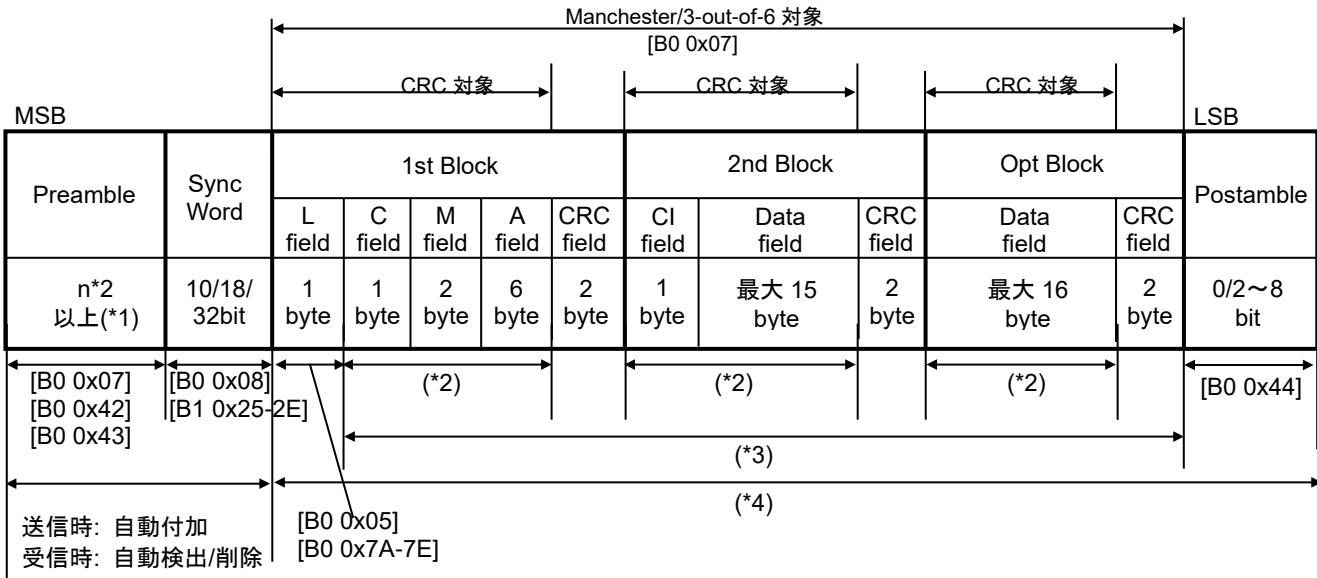
本 LSI がサポートするパケットフォーマットを示します。

(1) Format A(Wireless M-Bus 対応)

Format A を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b00 を設定してください。

Format A は、1st Block および 2nd Block または Optional Block から構成されます。各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降の CRC、Postamble を除くデータのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降の 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



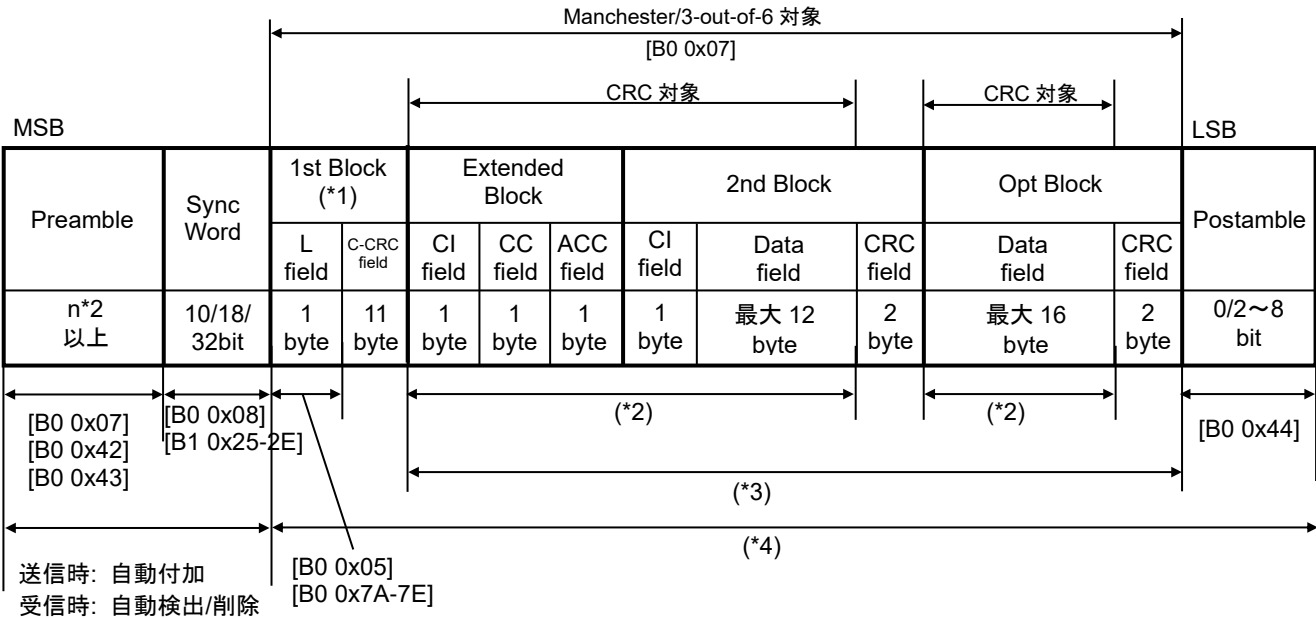
*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8F の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

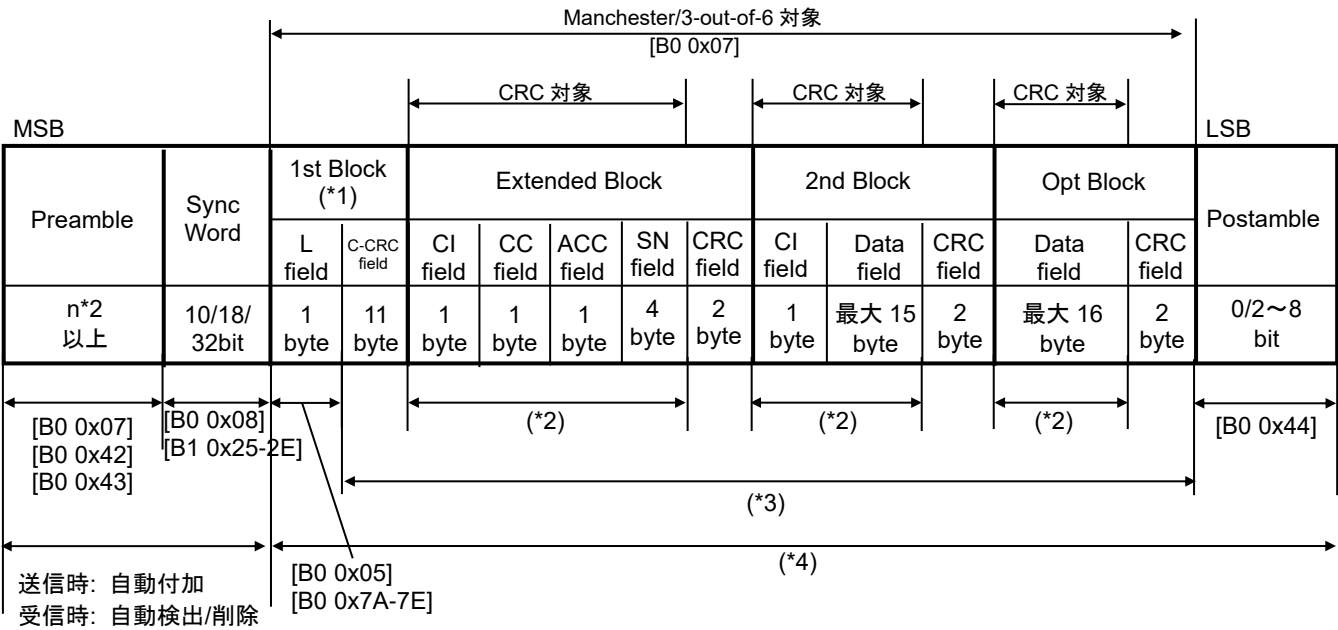
①CI-field = 0x8C の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



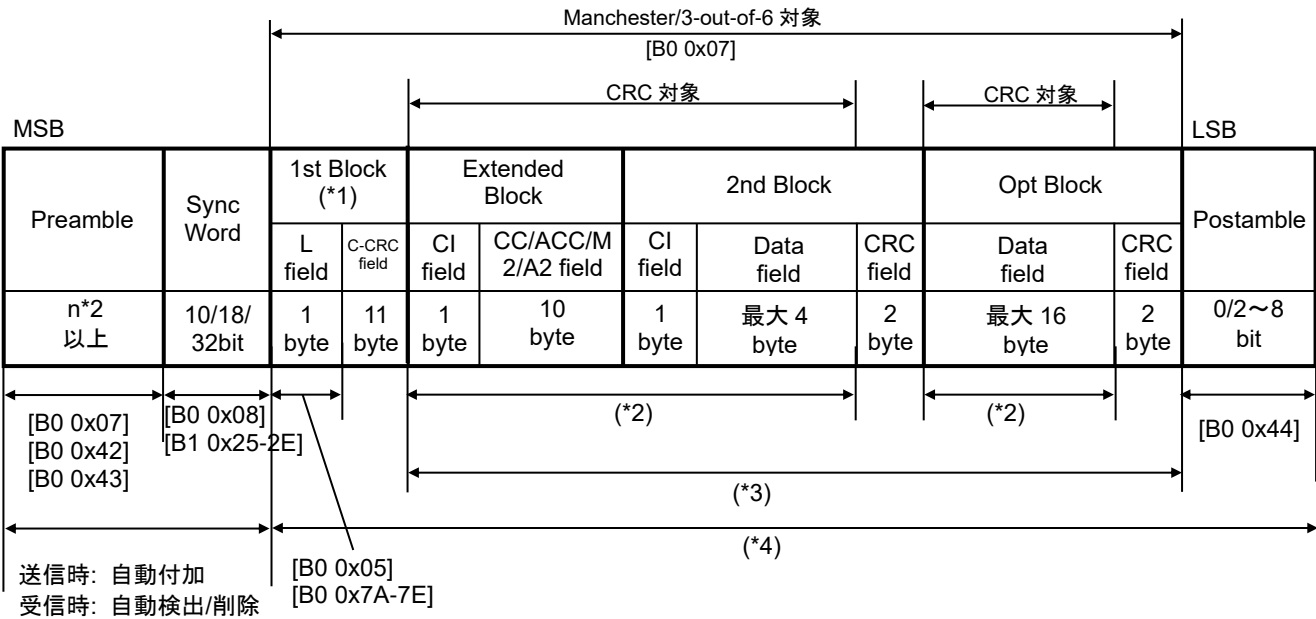
*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



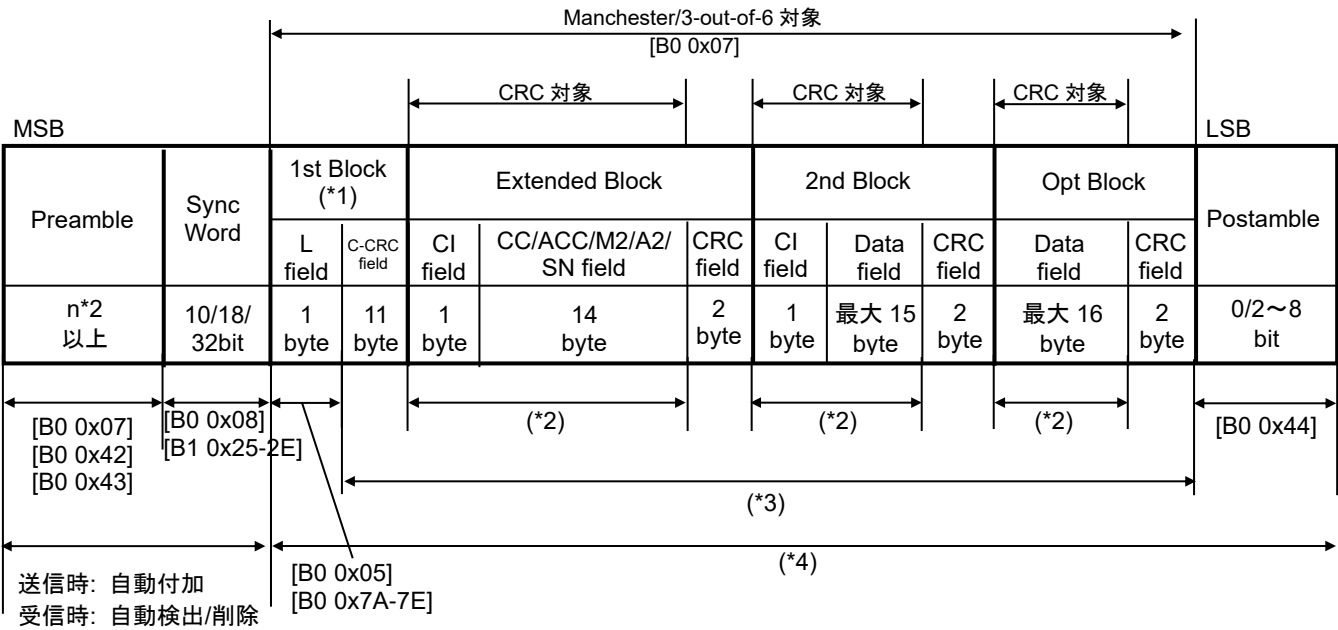
*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

③CI-field = 0x8E の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

④CI-field = 0x8F の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



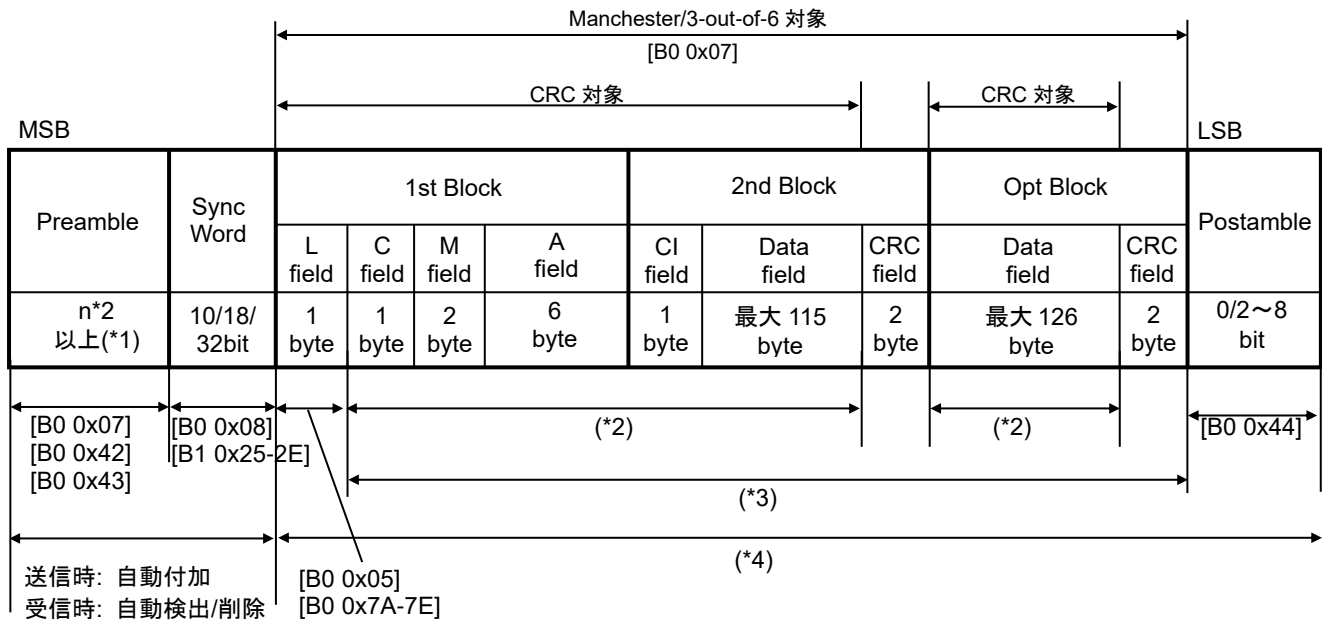
*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

(2) Format B(Wireless M-Bus 対応)

Format B を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b01 を設定してください。

Format B は、1st Block および 2nd Block または Optional Block から構成されます。2nd Block 以降の各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降に 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。

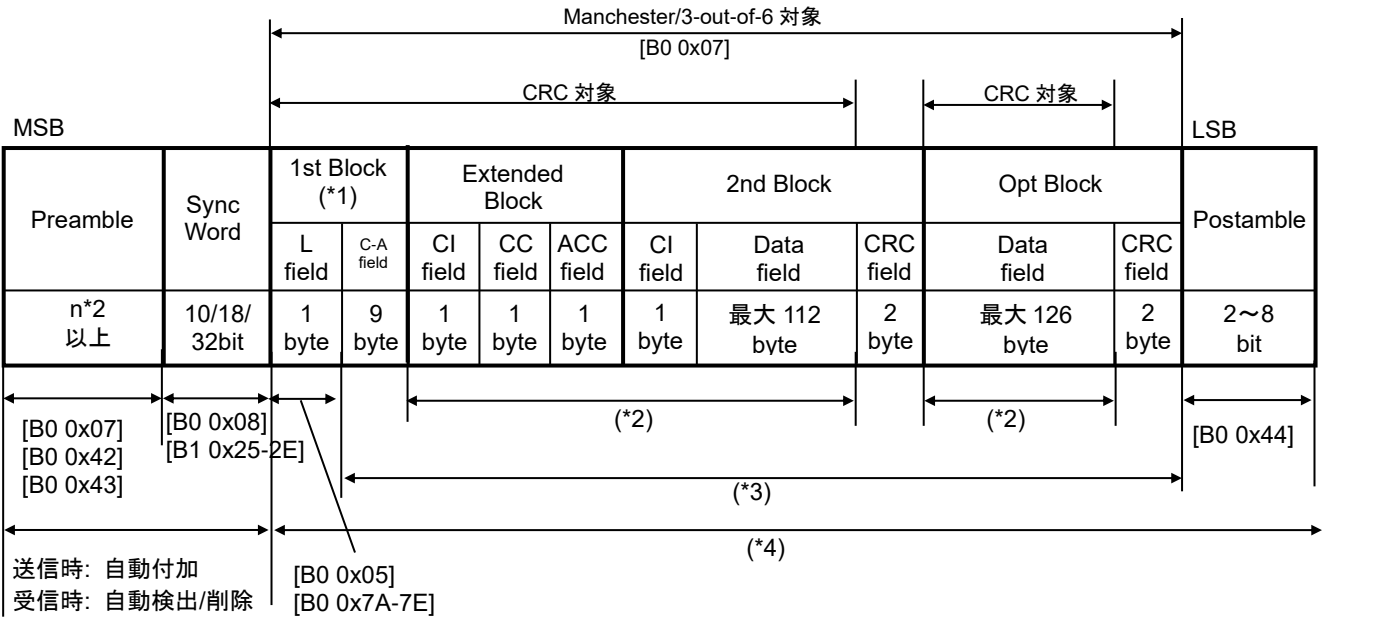
*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

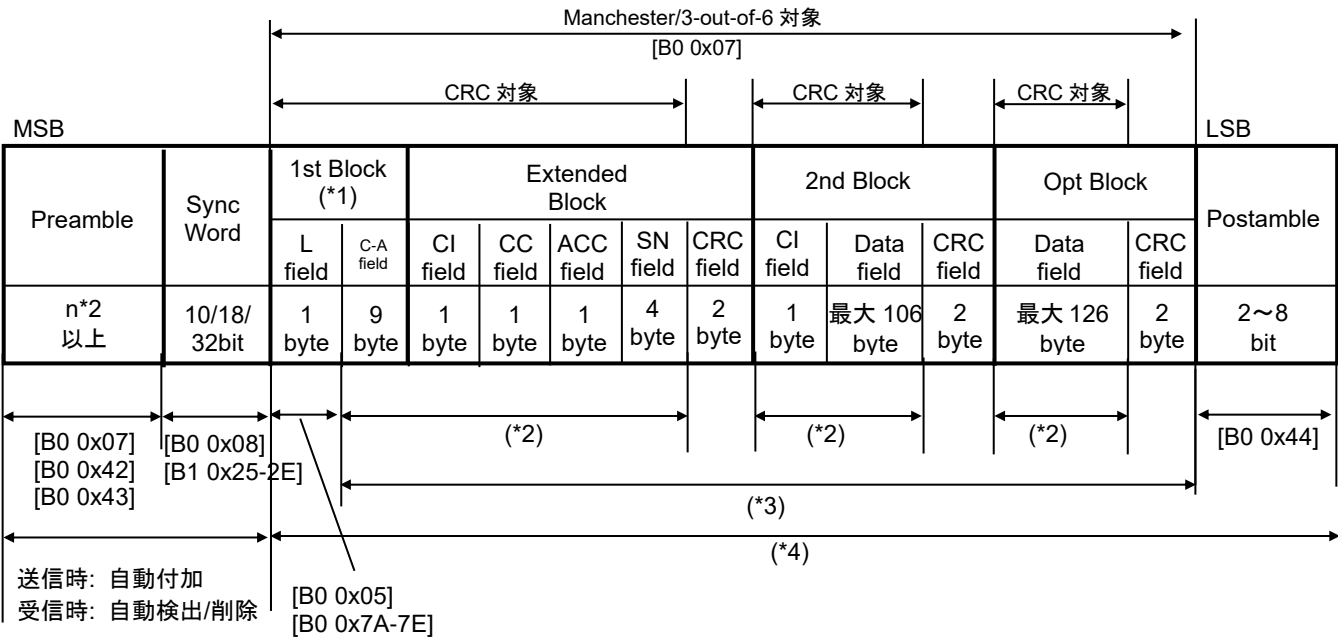
Extended Link Layer フォーマットについて
2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8 の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

- ①CI-field = 0x8C の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



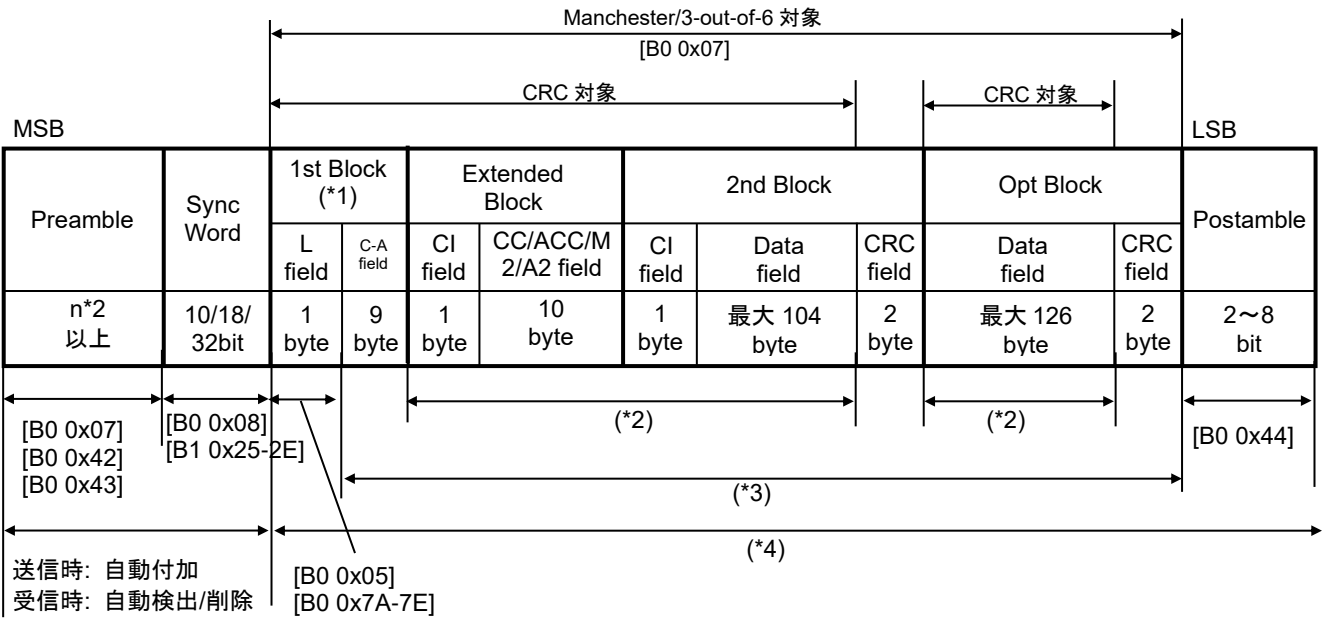
*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。

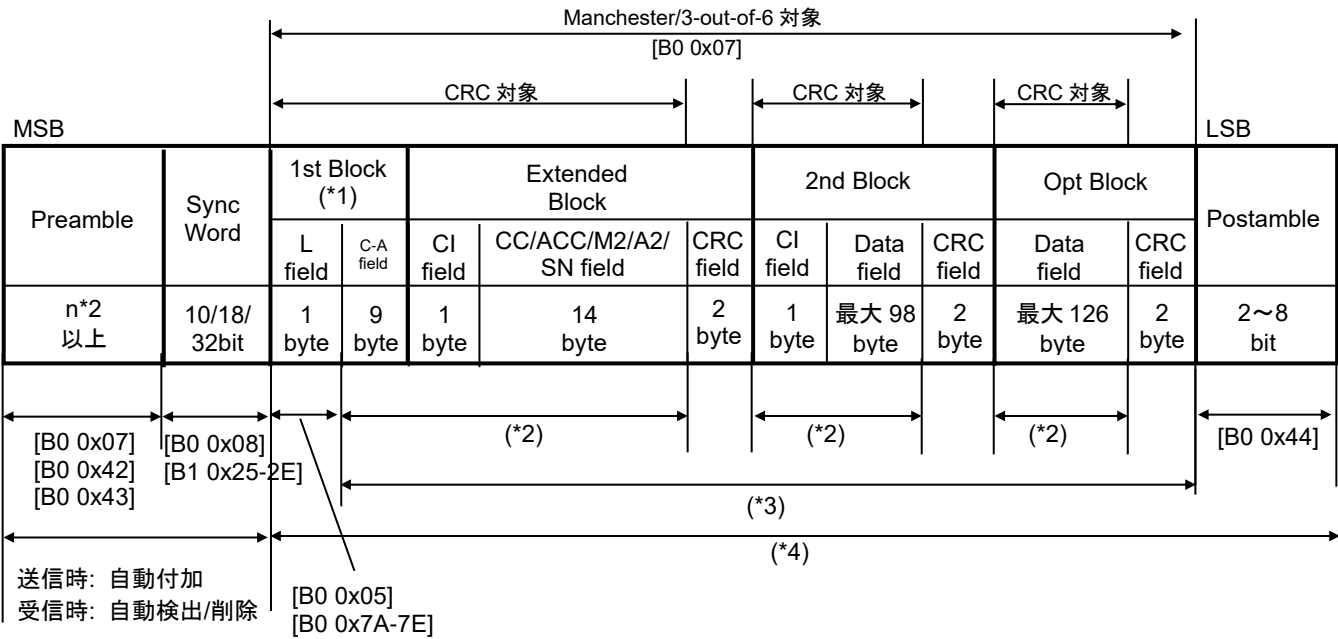


*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

③CI-field = 0x8E の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



④CI-field = 0x8F の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および
EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1:
B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



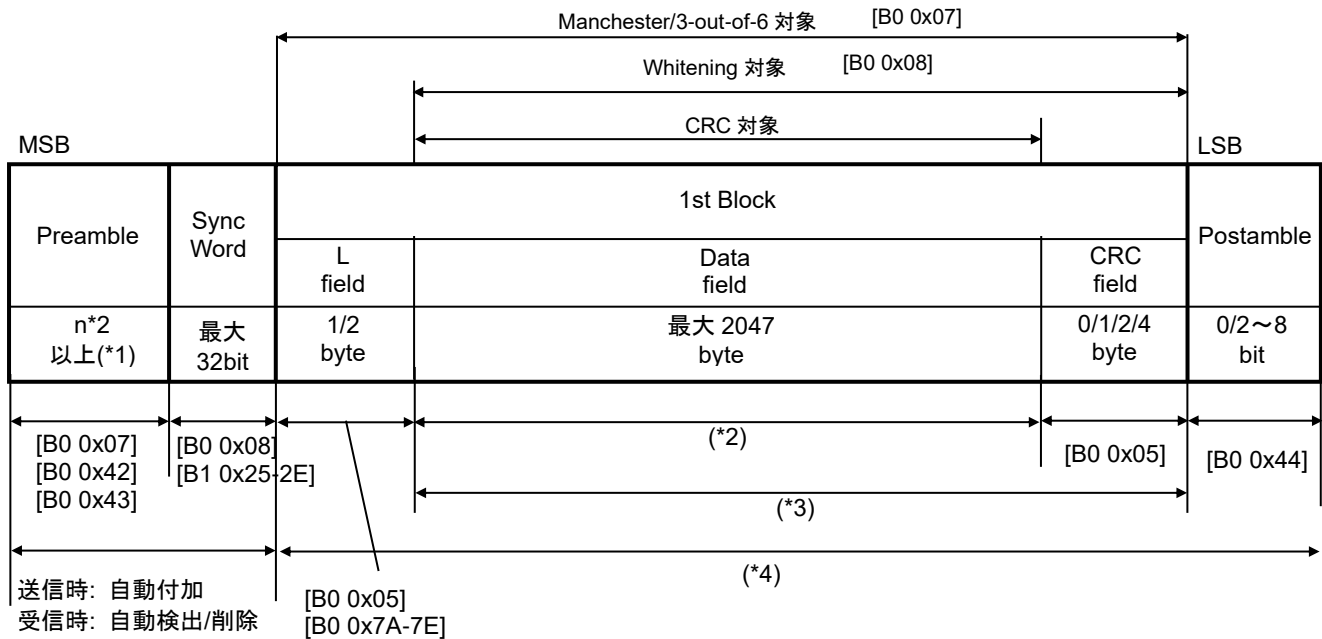
*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

(3) Format C(汎用フォーマット)

Format C を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10 を設定してください。

Format C は、1st Block のみから構成され、Data-field の後に CRC-field(0/1/2 バイト選択可)が付加されます。1st Block の先頭 1 または 2 バイト(L-field)がパケットの Length 値を示し、Length 値は Data-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Whitening 機能をサポートします。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 プリアンブル長(n)は任意の値を設定可能です。

*2 送信時の送信データ FIFO 格納領域を示します。

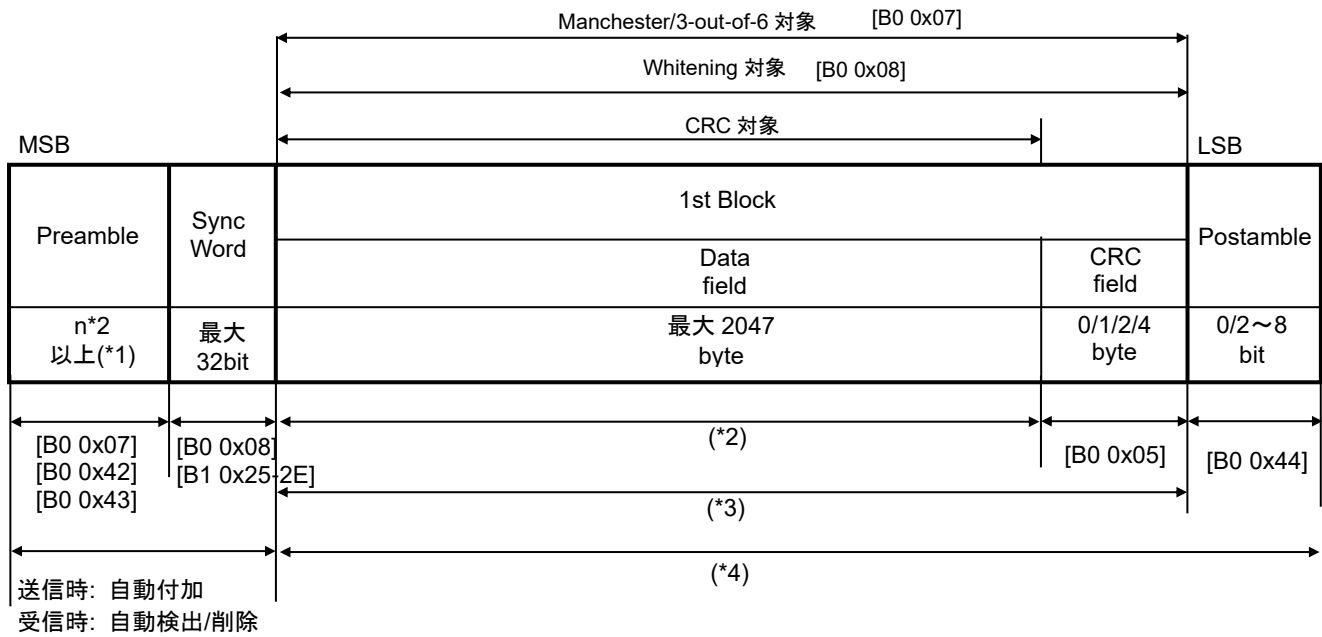
*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

(4) Format D(汎用フォーマット)

Format Dを使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b11 を設定してください。
Format Dは1st Blockのみから構成されます。1st Blockの先頭はData-fieldから始まり、Data-fieldの後にCRC-field(0/1/2 バイト選択可)が付加されます。Length値はData-field以降から最終CRCデータまでのトータルバイト数を示し、[TX_PKT_LENGTH: B0 0x7A/0x7B]または[RX_PKT_LENGTH: B0 0x7D/0x7E]で設定します。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 プリアンブル長(n)は任意の値を設定可能です。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

○CRC 機能

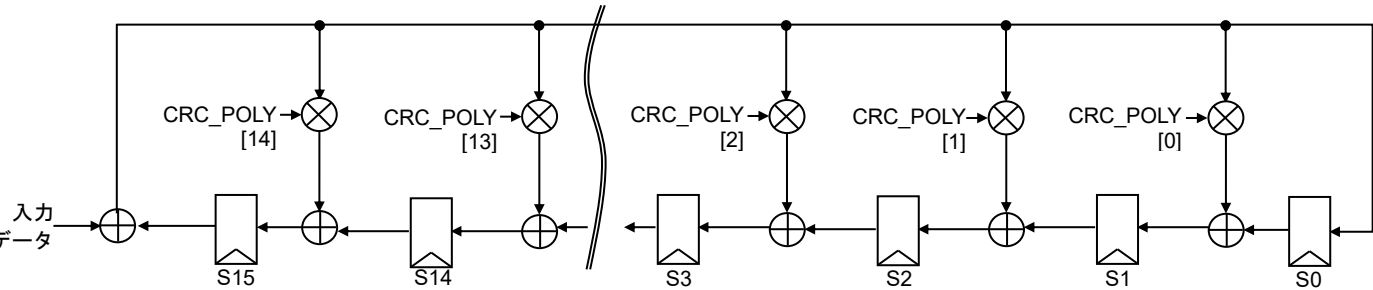
本 LSI は CRC32/CRC16/CRC8 をサポートし、送受信時に CRC 自動付加(送信時)、CRC 自動チェック(受信時)を行います。自動付加および CRC 自動チェックは以下のモードで行います。また、下表に示すレジスタにより設定することができます。

- FIFO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b00
- DIO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b11

機能	レジスタ
送信 CRC 設定	TX_CRC_EN([PKT_CTRL2: B0 0x05(2)])
受信 CRC 設定	RX_CRC_EN([PKT_CTRL2: B0 0x05(3)])
CRC 長設定	CRC_LEN([PKT_CTRL2: B0 0x05(5-4)])
CRC 補数出力 OFF 設定	CRC_COMP_OFF([PKT_CTRL2: B0 0x05(6)])
CRC 生成多項式設定	[CRC_POLY3/2/1/0: B1 0x16/17/18/19]
CRC エラー表示	[CRC_ERR_H/M/L: B0 0x13/14/15]
CRC 長設定 2 イネーブル	CRC_LEN2_EN([CRC_ERR_H: B0 0x13(7)])
CRC 長設定 2	CRC_LEN2([CRC_ERR_H: B0 0x13(6-5)])

CRC の生成多項式は任意に設定可能です。初期設定は下式の通りです。
CRC16 生成多項式 = $x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ (初期設定)
※最終 CRC データは反転されます。

CRC データは以下回路によって生成され、[CRC_POLY3/2/1/0]を設定することで任意の CRC 生成多項式に対応します。生成されたデータは左側(S15)のビットから送出されます。CRC 長に満たないデータに対して CRC 機能を使用する場合(CRC32 の 3 バイトデータのみ)は、データ”0”を追加して CRC 演算を行います。CRC チェック結果は[CRC_ERR_H/M/L]に表示します。FormatA/B は FormatC と異なり 1 パケット内に複数の CRC-field を持つ構成です。複数の CRC-field に対しては、L-field に最も近い CRC チェック結果が CRC_ERR[0]に表示され、以降 CRC_ERR の MSB 側に順に表示します。



※ ⊕ : 排他的論理和を示します。

CRC16 生成回路例

一般的な生成多項式と[CRC_POLY3/2/1/0]レジスタ設定との対応関係は以下の通りです。CRC 長については CRC_LEN にて設定してください。

CRC 生成多項式		[CRC_POLY3/2/1/0]			
		(B1 0x16)	(B1 0x17)	(B1 0x18)	(B1 0x19)
CRC8	$x^8 + x^2 + x + 1$	0x00	0x00	0x00	0x03
CRC16	$x^{16} + x^{12} + x^5 + 1$	0x00	0x00	0x08	0x10
	$x^{16} + x^{15} + x^2 + 1$	0x00	0x00	0x40	0x02
	$x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$	0x00	0x00	0x1E	0xB2
CRC32	$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$	0x02	0x60	0x8E	0xDB

また、本 LSI は CRC 演算時の CRC 長とパケットに付加(送信時)またはチェック(受信時)する時の CRC 長を個別に設定することができます。この場合、CRC_LEN2_EN、CRC_LEN2 および CRC_LEN にて設定してください。

CRC 演算時の CRC 長	CRC 付加または チェック時の CRC 長	CRC_LEN2_EN (B0 0x13)	CRC_LEN2 (B0 0x13)	CRC_LEN (B0 0x05)
CRC8	CRC8	0	-	0b00
CRC16	CRC8	1	0b01	0b00
	CRC16	0	-	0b01
CRC32	CRC8	1	0b10	0b00
	CRC16	1	0b10	0b01
	CRC32	0	-	0b10

ただし、CRC 演算時の CRC 長とパケットに付加(送信時)またはチェック(受信時)する時の CRC 長を変える場合、「CRC 演算時の CRC 長」≧「パケットに付加(送信時)またはチェック(受信時)する時の CRC 長」になるよう設定する必要があります。

○DataWhitening 機能

本 LSI は DataWhitening 機能をサポートします。パケットフォーマット A/B では C-field 以降、パケットフォーマット C では Data-field 以降が Whitening 対象領域であり、下記 9 ビットの擬似ランダム雑音系列(PN9)生成回路にて生成されたデータを送信直前の送信データ(3-out-of-6 符号化後データ)と XOR 処理を行い、送信します。PN9 生成回路のシフトレジスタ初期値は[WHT_INIT_H/L: B1 0x64/65]にて設定可能です。また、PN9 の生成多項式は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。

- DataWhiteing 設定イネーブル

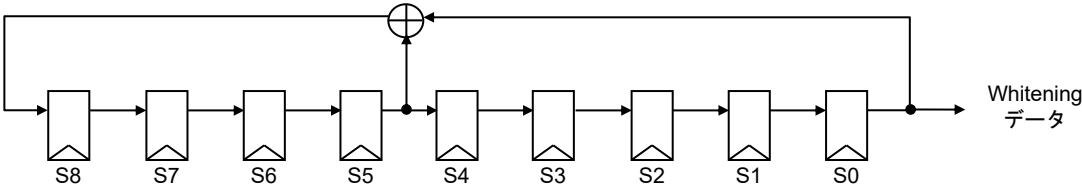
•DataWhiteing 初期値

•Whitening 生成多項式
- …WHT_SET ([DATA_SET2: B0 0x08(0)])

…[WHT_INIT_H/L: B1 0x64/65]

…[WHT_CFG: B1 0x66]

生成多項式設定機能は、[WHT_CFG: B1 0x66(0)]が 0b1 設定されている場合、シフトレジスタ S1 出力を XOR にフィードバックします。同様に[WHT_CFG: B1 0x66(1)] が 0b1 設定されている場合、シフトレジスタ S2 出力を XOR にフィードバックし、[WHT_CFG: B1 0x66(7-2)]も同様の機能をもっています。また、WHT_CFG に複数ビット 0b1 を設定することも可能であり、任意の生成多項式を設定することができます。



※ ⊕ :排他的論理和を示します。

Whitening データ生成回路例
(生成多項式: $x^9 + x^5 + 1$)

代表的な PN9 生成多項式と[WHT_CFG]設定との対応関係例は以下に示します。

PN9 生成多項式	[WHT_CFG: B1 0x66]
$x^9 + x^4 + 1$	0x08
$x^9 + x^5 + 1$	0x10

○SyncWord 検出機能

本 LSI は SyncWord パターンの検出機能を持っています。2 面の SyncWord パターン格納エリアを持つことにより、Wireless M-Bus で規定される二つのパケットフォーマット(Format A/B)を自動判定可能です(詳細は Wireless M-Bus 規格書を参照してください)。パケットフォーマットの検出結果を、SW_DET_RSLT([STM_STATE:B0 0x77(5)])で表示します。また、Format C/D にて SyncWord2 面待ち設定をした場合、2 つの SyncWord の待ち受けが可能です。ただし、検出結果は表示しません。

1) 送信時

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)])にて設定された SyncWord パターンが選択されます。送信する SyncWord 長は SYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)])を設定することで、各 SyncWord パターンの上位ビットから設定する SyncWord 長を送信します。

SYNCWORD_SEL	送信される SyncWord パターン
0	SYNCWORD1_SET[31:0] ([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A])
1	SYNCWORD2_SET[31:0] ([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E])

例) SyncWord パターンと SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]の 18 ビットが上位ビットから順に送信されます。
[SYNC_WORD_LEN: B1 0x25]=0x12
SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b0

以下レジスタ設定をした場合、SYNCWORD2_SET[23:0]の 24 ビットが上位ビットから順に送信されます。
[SYNC_WORD_LEN: B1 0x25]=0x18
SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b1

2) 受信時

SYNCWORD_SEL、2SW_DET_EN ([DATA_SET2: B0 0x08(5)])の設定により下表の通り 1 面待ちと 2 面待ち動作を切り替えます。パケットフォーマットの自動判定機能は 2SW_DET_EN=0b1 設定かつ FormatA/B 設定時のみ有効です。2 面待ち時のパケットフォーマット自動判定結果は SW_DET_RSLT[STM_STATE: B0 0x77(5)]に表示します。

2SW_DET_EN	SYNCWORD_SEL	検出時に参照する SyncWord パターン	SyncWord 検出動作	パケットフォーマットの自動判定	SyncWord 以降のデータ処理
0	0	SYNCWORD_SET1[31:0]	1 面待ち	なし	各 Format 設定に従って処理します
0	1	SYNCWORD_SET2[31:0]	1 面待ち	なし	各 Format 設定に従って処理します
1	-	SYNCWORD_SET1[31:0] SYNCWORD_SET2[31:0]	2 面待ち	あり	【FormatA または FormatB 設定】 SYNCWORD1_SET と一致した場合は Format A、SYNCWORD2_SET と一致した場合は Format B にて処理します 【FormatC 設定】 FormatC にて処理します

検出時に参照する SyncWord パターンの SyncWord 長は SYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)])により変更可能です。このとき、SYNCWORD1_SET または SYNCWORD2_SET の下位側から SyncWord 長分の SyncWord パターンが参照するパターンとなります。

例) SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]または SYNCWORD2_SET[17:0]の 18 ビットが SyncWord 検出時の参照パターンとなります。このとき、上位ビット(bit31-18)は検出対象となりません。

[SYNC_WORD_LEN: B1 0x25]=0x12

[SYNC_WORD_EN: B1 0x26]=0x0F

また、SyncWord パターンに対し、8 ビット毎に検出時の参照ビットとするか否かのイネーブル制御が可能です。イネーブル制御と SyncWord 検出時に参照する SyncWord パターンとの関係は以下の通りとなります。ただし、SyncWord 長設定がイネーブル制御を行うビットの範囲外である場合、期待する SyncWord 検出はできませんのでご注意ください。

[SYNC_WORD_EN] レジスタ (B1 0x26)	SYNCWORD*_SET				SyncWord 検出動作
	[31:24]	[23:16]	[15:8]	[7:0]	
0000					設定禁止
0001	D.C.(※1)			ON	[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0010	D.C.		ON	D.C.	[15:8] のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0011	D.C.		ON	ON	[15:0] のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0100	D.C.	ON	D.C.		[23:16]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0101	D.C.	ON	D.C.	ON	[23:16]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0110	D.C.	ON	ON	D.C.	[23:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0111	D.C.	ON	ON	ON	[23:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1000	ON	D.C.			[31:24]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1001	ON	D.C.		ON	[31:24]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1010	ON	D.C.	ON	D.C.	[31:24]と[15:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1011	ON	D.C.	ON	ON	[31:24]と[15:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1100	ON	ON	D.C.		[31:16]が有効です。 [7:0]検出後 SyncWord 検出となります。
1101	ON	ON	D.C.	ON	[31:16]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1110	ON	ON	ON	D.C.	[31:8]が有効です。 [7:0]検出後 SyncWord 検出となります。
1111	ON	ON	ON	ON	[31:0]が有効です。 [7:0]検出後 SyncWord 検出となります。

※1 表中の D.C.は Don't Care を意味します。

※2 SyncWord 検出条件として、SyncWord パターン以外に SyncWord と連続するプリアンプルパターンを含めることができます。プリアンプルパターンを含める場合は、RXPR_LEN([SYNC_CONDITION1: B0 0x45(5:0)])を設定してください。

○Field チェック機能

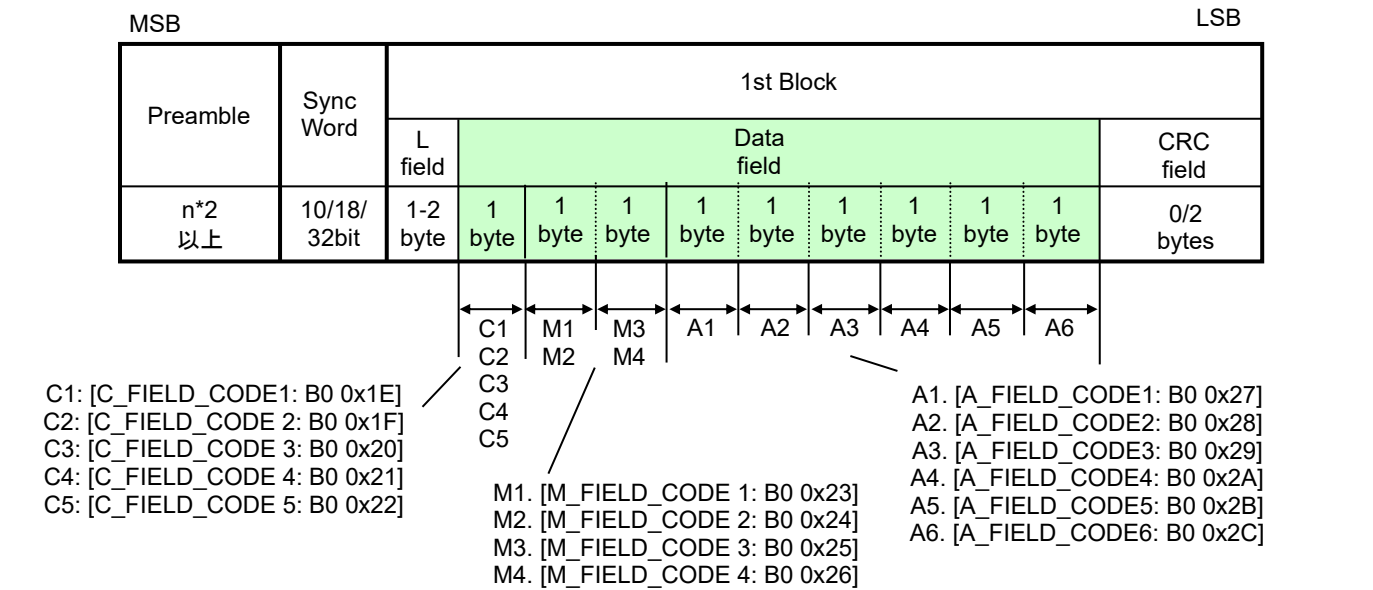
本 LSI は受信パケットの C-field 以降 9 バイト(Format A/B)、または Data-field 以降 9 バイト(Format C)を比較し、一致または不一致時に割込みにて通知する機能(Field チェック機能)を持っています。Field チェック設定は以下レジスタにて設定可能です。Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

機能	レジスタ
Field チェック不一致時の受信データ処理設定	[C_CHECK_CTRL: B0 0x1B(7)]
Field チェック割込み設定	[C_CHECK_CTRL: B0 0x1B(6)]
C-field 検出イネーブル設定	[C_CHECK_CTRL: B0 0x1B(4-0)]
M-field 検出イネーブル設定	[M_CHECK_CTRL: B0 0x1C(3-0)]
A-field 検出イネーブル設定	[A_CHECK_CTRL: B0 0x1D(5-0)]
C-field コード設定	[C_FIELD_CODE1: B0 0x1E] [C_FIELD_CODE2: B0 0x1F] [C_FIELD_CODE3: B0 0x20] [C_FIELD_CODE4: B0 0x21] [C_FIELD_CODE5: B0 0x22]
M-field コード設定	[M_FIELD_CODE1: B0 0x23] [M_FIELD_CODE2: B0 0x24] [M_FIELD_CODE3: B0 0x25] [M_FIELD_CODE4: B0 0x26]
A-field コード設定	[A_FIELD_CODE1: B0 0x27] [A_FIELD_CODE2: B0 0x28] [A_FIELD_CODE3: B0 0x29] [A_FIELD_CODE4: B0 0x2A] [A_FIELD_CODE5: B0 0x2B] [A_FIELD_CODE6: B0 0x2C]

受信データと比較するリファレンスパターンの関係を以下に示します。

【Format A/B(Wireless M-Bus 対応)の場合】

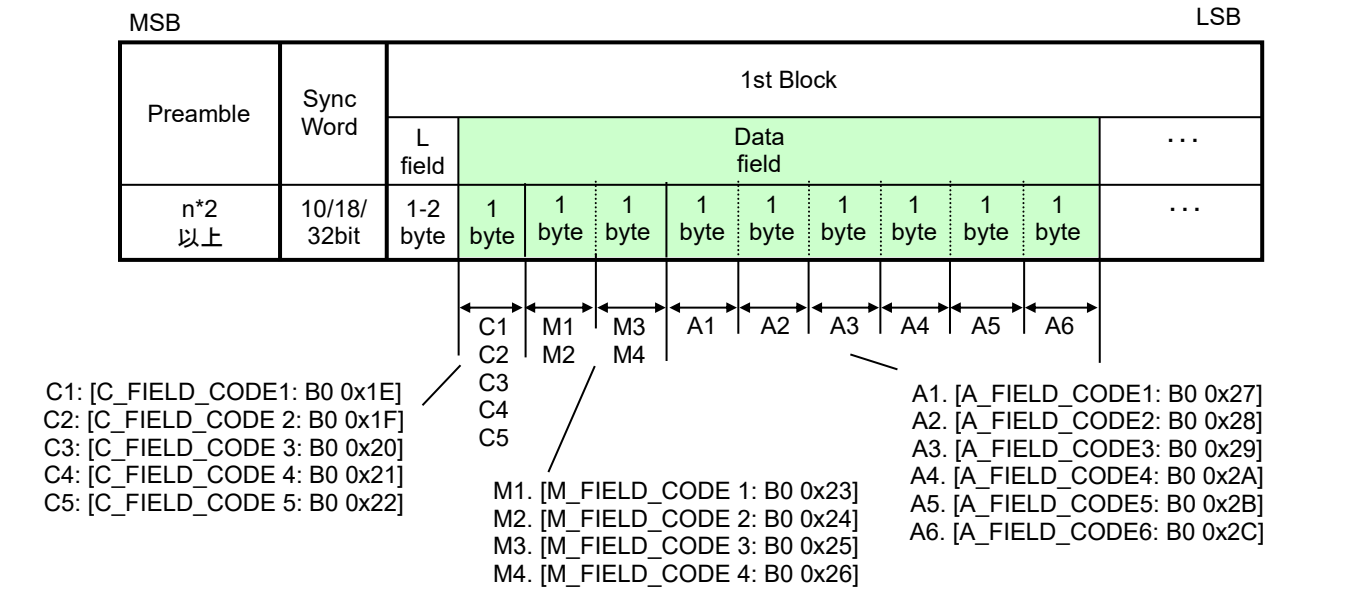
Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Field データ(C-field/M-field/A-field)が下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、C-field データと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(M-field/A-field)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



チェック Field	リファレンスパターン	一致の条件
C-field	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
M-field 1 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
M-field 2 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
A-field	A_FIELD_CODE1/2/3/4/5/6	リファレンスパターンと一致した場合、一致となる。

【Format C の場合】

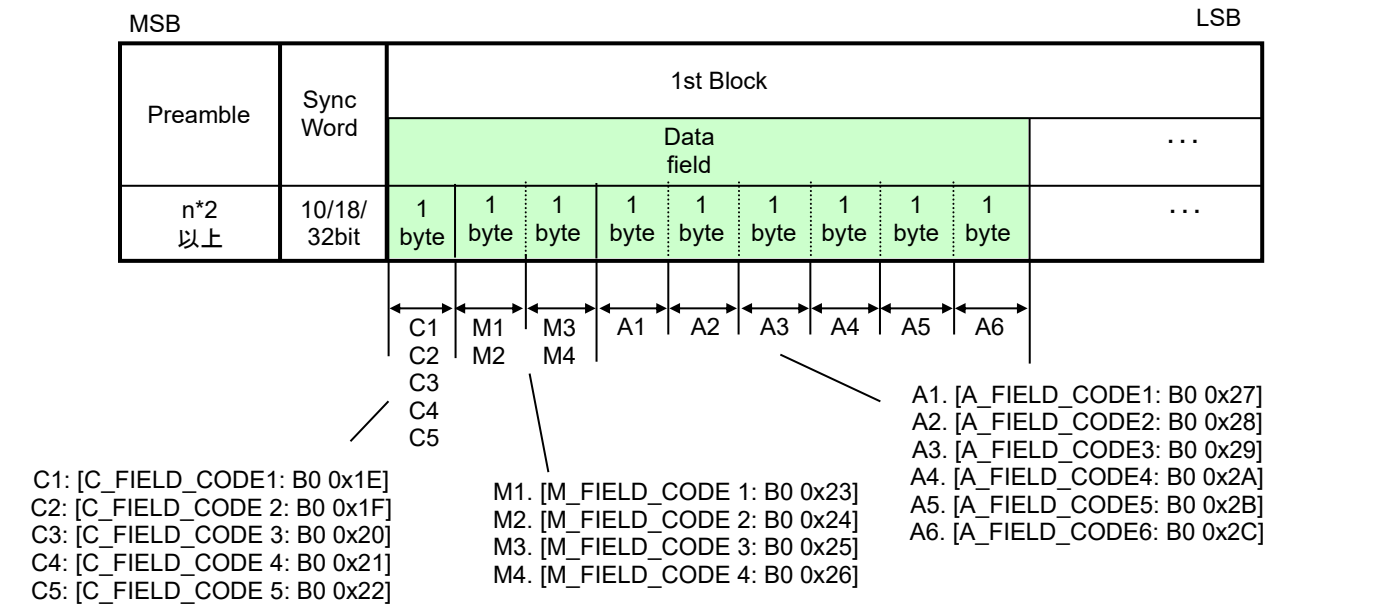
Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field2 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field3 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field4 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。

【Format D の場合】

Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field2 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field3 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field4 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。

- Field チェック結果によるパケット処理方法
- CA_RXD_CLR ([C_CHECK_CTRL: B0 0x1B(7)])=0b1 に設定することにより、Field チェックにより不一致が生じたデータパケットを直ちに破棄し、次パケット受信待ち状態とすることが可能です。
- 不一致パケット数表示
- 不一致を検出したパケット総数は、最大 2047 個までカウントし、結果を[ADDR_CHK_CTR_H: B1 0x62]および [ADDR_CHK_CTR_L: B1 0x63]に表示します。このカウント値は STATE_CLR4([STATE_CLR: B0 0x16(4)])にてクリアできません。

○FIFO 制御機能

本 LSI は送信用 FIFO64Byte、受信用 FIFO64Byte を各 1 面ずつ搭載しています。ただし、送受信 FIFO は複数パケットのデータ格納はサポートしていませんので、必ず 1 パケットずつ処理してください。受信 FIFO に受信パケットがある状態で次のパケットを受信した場合は上書きされます。送信 FIFO も同様です。

受信時は受信データをバイト単位で格納し、SPI 経由でホスト MCU より読み出します。送信時はホスト MCU より入力したデータをバイト単位で格納して送信します。

FIFO への書き込み、読み出しは SPI からのバーストアクセスにて行います。送信時は[WR_TX_FIFO: B0 0x7C]へ書き込み、受信時は [RD_FIFO: B0 0x7F]から読み出しを連続して行うことで FIFO 内部カウンタが自動インクリメントし、データを保存、出力します。書き込み、読み出し途中で FIFO アクセスを中断した場合、パケットの処理が完了するまでアドレスは保持されます。従いまして、FIFO アクセス再開時は FIFO アクセス中断時の次データからデータの書き込み、読み出しが可能です。

FIFO 制御に関するレジスタは以下の通りです。

機能	レジスタ
送信 FIFO の Full レベル設定	[TXFIFO_THRH: B0 0x17]
送信 FIFO の Empty レベル設定	[TXFIFO_THRL: B0 0x18]
受信 FIFO の Full レベル設定	[RXFIFO_THRH: B0 0x19]
受信 FIFO の Empty レベル設定	[RXFIFO_THRL: B0 0x1A]
FIFO リード面選択設定	[FIFO_SET: B0 0x78]
受信 FIFO の使用量表示	[RX_FIFO_LAST: B0 0x79]
送信パケット Length 設定	[TX_PKT_LEN_H/L: B0 0x7A/7B]
受信パケット Length 設定	[RX_PKT_LEN_H/L: B0 0x7D/7E]
送信 FIFO	[WR_TX_FIFO: B0 0x7C]
FIFO リード	[RD_FIFO: B0 0x7F]

FIFO を使用して送受信する場合の手順は以下となります。

【送信時】

- ①送信する L-field の値を[TX_PKT_LEN_H: B0 0x7A]、[TX_PKT_LEN_L: B0 0x7B]に設定します。Length 長が 1 バイト設定時は[TX_PKT_LEN_L]レジスタ値が送信されます。
Length 長設定は LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])で設定することができます。
- ②送信データを FIFO に書き込みます。

【ご注意】

- 送信データの書き込みを途中で止めた場合、必ず送信 FIFO クリア([STATE_CLR: B0 0x16)を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われなためです。
想定される条件としては、送信 FIFO アクセスエラーの割り込み通知 ([INT_SOURCE_GRP3: B0 0x0F(4)])を受けて止める場合があります。なお、この割り込み通知は FIFO のオーバーラン(例えば、FIFO に空きがない状態で送信 FIFO にライトした場合)、またはアンダーラン(例えば、FIFO が空きの状態で送信しようとした場合)に発生します。
- 1 パケットのデータを格納した状態で次の書き込み動作を行うと FIFO は上書きされます。
- 送信時に設定する Length 値は、パケットフォーマット設定により異なります。
Format A: Length および CRC 領域を除くデータ長を Length 値として設定します。
Format B: Length 領域を除くデータ長を Length 値として設定します。
Format C: Length 領域を除くデータ長を Length 値として設定します。
Format D: Data-field から CRC-field までのデータ長を Length 値として設定します。

【受信時】

(1) Format A/B/C の場合

- ①L-field の値(Length)を[RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E]から読み出します。
- ②受信データを FIFO から読み出します。
受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)])を 0b0 に設定してください。
FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。
また、受信 FIFO のデータ使用量は[RX_FIFO_LAST: B0 0x79]に表示します。

(2) Format D の場合

- ①データ長(Length 値)を[RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E]に設定します。
- ②受信データを FIFO から読み出します。
受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)])を 0b0 に設定してください。
FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。
また、受信 FIFO のデータ使用量は[RX_FIFO_LAST: B0 0x79]に表示します。

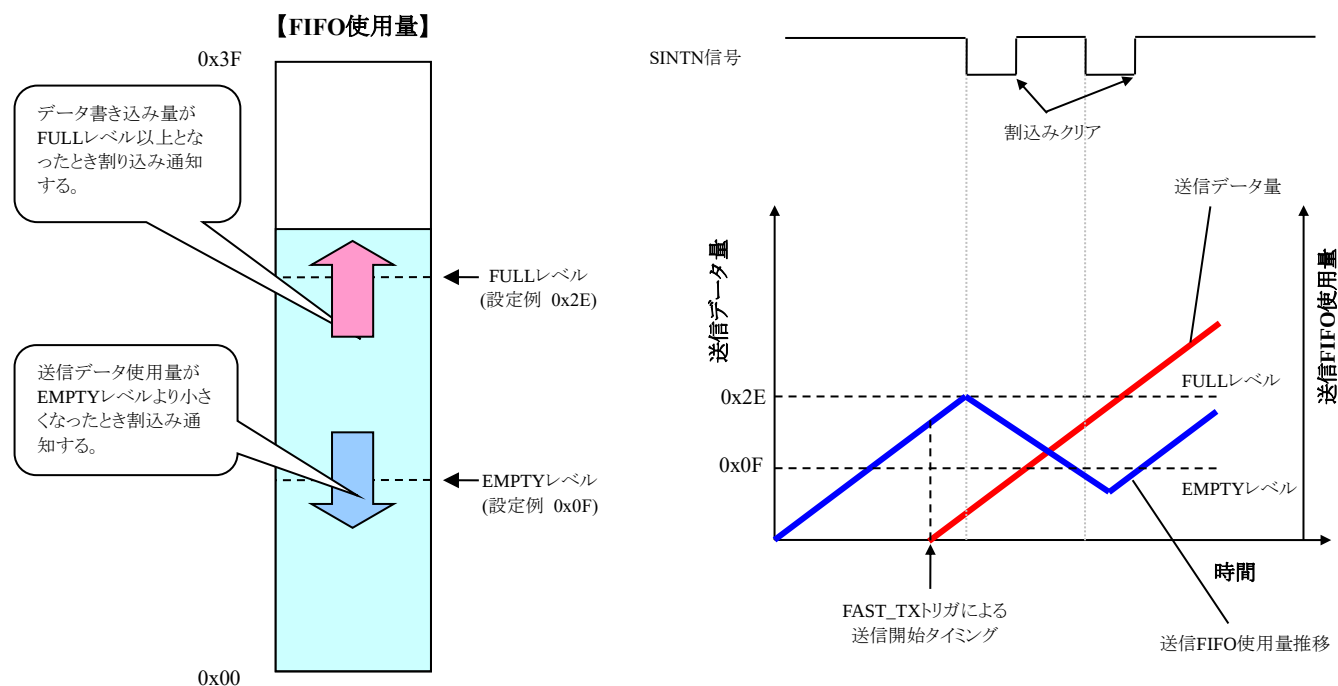
【ご注意】

1. 受信データの読み出しを途中で止めた場合、必ず受信 FIFO クリア([STATE_CLR: B0 0x16])を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われな
いためです。
2. 1 パケットのデータが格納された状態で次のパケットを受信すると FIFO は上書きされます。必要な受信データは次の
パケットを受信する前に全て読み出してください。なお、全てのデータを読み出していないにも関わらず次のパケット受
信したことを検出する場合、SyncWord 検出割込み(INT[13](INT_SOURCE_GRP2: B0 0x0E(5)))を用いて判断するこ
とができます。
3. FIFO のオーバーランまたはアンダーランが発生しないように FIFO 制御を行ってください。
FIFO のオーバーランまたはアンダーランが発生しないように FIFO を制御するためには、以下の方法があります。
①受信 FIFO 使用量([RX_FIFO_LAST: B0 0x79])をリードし、使用量分のデータ量を FIFO から読み出します。
②受信 FIFO の Full レベル([RX_FIFO_THRH: B0 0x19])を設定し、FIFO-Full 割込み
(INT[5](INT_SOURCE_GRP1: B0 0x0D(5)))発生後、受信 FIFO の Full レベル相当のデータ量を FIFO から読み
出します。

FIFO サイズを超えるパケット長の送受信を行う場合、FIFO の FULL トリガ、EMPTY トリガを使用することで FIFO へのライトまたはリード制御が容易に行うことができます。

(1) 送信 FIFO の使用量告知機能の使用方法

本機能は、送信 FIFO の未送信データ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。送信 FIFO の使用量(未送信分)が、[TXFIFO_THRH: B0 0x17]で設定した閾値(FULL レベル)以上となったときに割込みにて通知します。また本 LSI がデータを送信し、送信 FIFO の使用量が[TXFIFO_THRL: B0 0x18]で設定した閾値(EMPTY レベル)より小さくなった時に割込みにて通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。

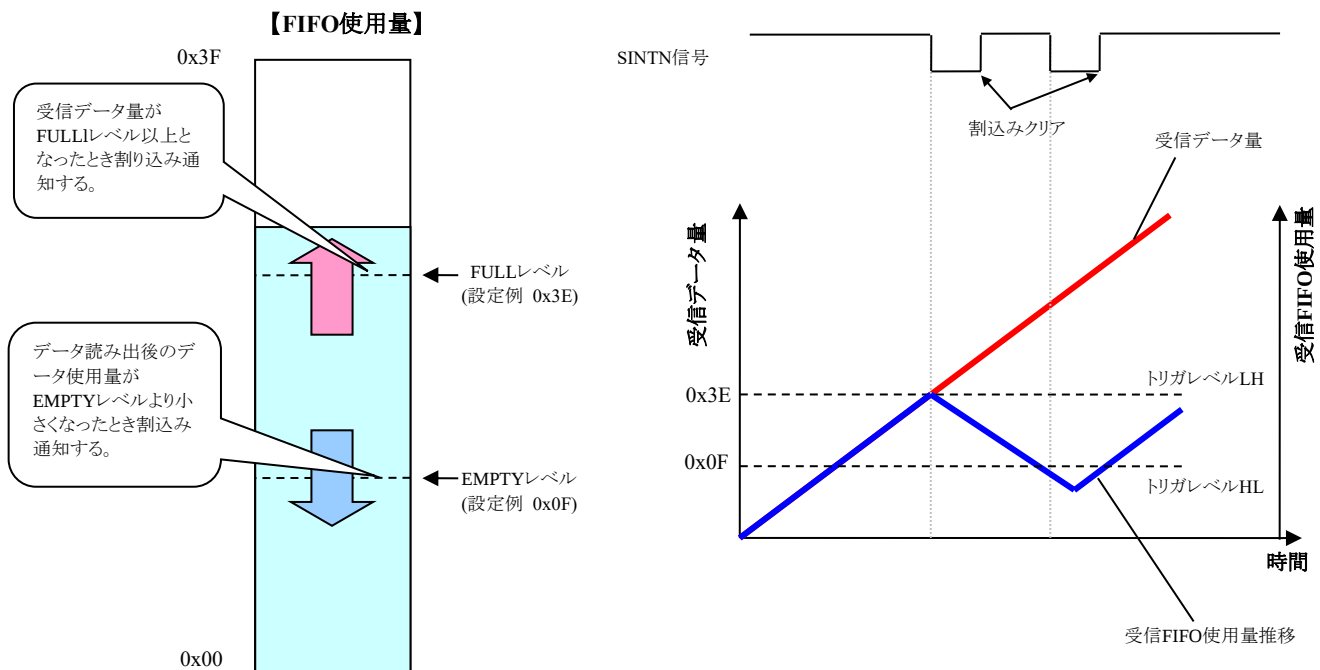


【ご注意】

1. [TXFIFO_THRH]と[TXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず [TXFIFO_THRH] > [TXFIFO_THRL]となるよう設定してください。
2. LSI 内部の Full 検出状態は Full トリガ([TXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。
3. LSI 内部の Empty 検出状態は FIFO 使用量 ≥ Empty トリガ([TXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。

(2) 受信 FIFO の使用量告知機能の使用方式

本機能は、送信 FIFO の未読み出しデータ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。受信 FIFO の使用量(未読分)が、[RXFIFO_THRH: B0 0x19]で設定した閾値(FULL レベル)以上となったとき割込みにて通知します。また MCU から受信データの読み出しが行われ、受信 FIFO の未読み出しデータ量(FIFO 使用量)が[RXFIFO_THRL: B0 0x1A]で設定した閾値(EMPTY レベル)より小さくなった時に割込みにて通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。



【ご注意】

1. [RXFIFO_THRH]と[RXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず [RXFIFO_THRH] > [RXFIFO_THRL]となるよう設定してください。
2. 内部の Full 検出状態は Full トリガ([RXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
3. 内部の Empty 検出状態は FIFO 使用量 $\geq$ Empty トリガ([RXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
4. 本機能はデータ受信時のみ有効です。受信完了後は FIFO-Empty 割込みは通知されません。

○DIO 機能

本 LSI は GPIO0～3、EXT_CLK 端子または SDI/SDO 端子より送受信データを入出力することが可能です。出力端子の制御は[GPIO*_CTRL: B0 0x4E/0x4F/0x50/0x51]、[EXTCLK_CTRL: B0 0x52]および[SPI/EXT_PA_CTRL: B0 0x53]によって行います。送信または受信時に入力または出力するデータは以下の通りです。

- 送信時・・・(NRZ またはマンチェスタ/3-out-of-6 符号化後の)送信データを入力します。
- 受信時・・・復号化前の受信データ、または復号化後の受信データを出力します。([DIO_SET: B0 0x0C]にて選択可)

DIO 機能に関するレジスタは以下の通りです。

機能	レジスタ
DIO 受信データ出力開始設定	[DIO_SET: B0 0x0C(0)]
DIO 受信完了設定	[DIO_SET: B0 0x0C(2)]
送信 DIO モード設定	[DIO_SET: B0 0x0C(5-4)]
受信 DIO モード設定	[DIO_SET: B0 0x0C(7-6)]

(1) GPIO*/EXT_CLK 端子使用時

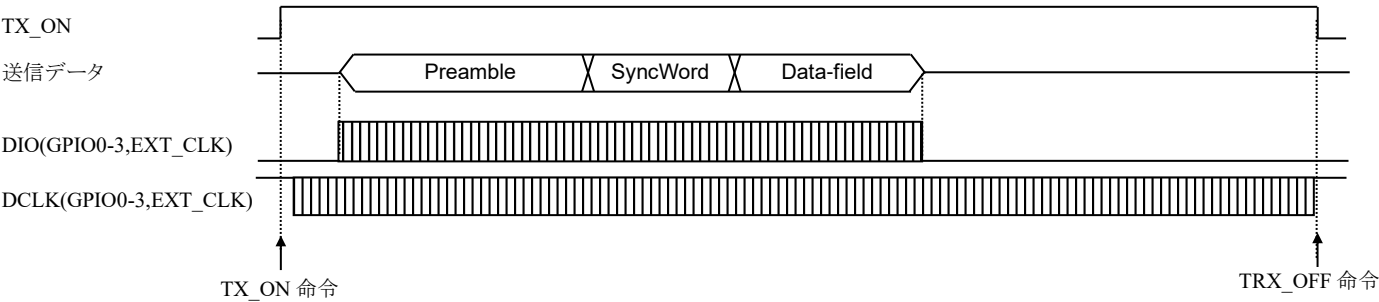
GPIO0～3 端子を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。)

【送信時】

① 常時入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。

TX_ON 後送信クロックを出力します。送信クロックの立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。

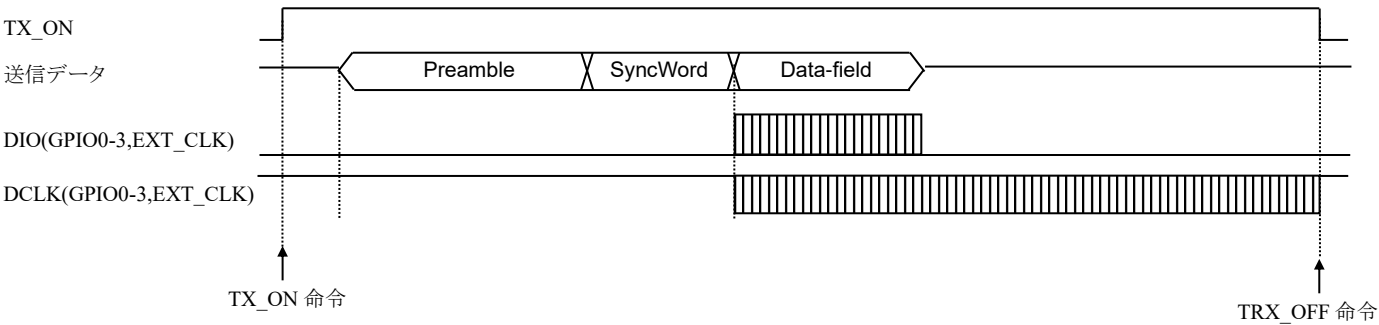


※詳細なタイミングは「送信時タイムチャート」を参照してください。

② データ入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b10 に設定してください。

TX_ON 後 SyncWord 以降のデータ入力タイミングから送信クロックを出力します。送信クロックの立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。プリアンプルおよび SyncWord はそれぞれのレジスタ設定に従い、LSI が自動生成し送信します。



プリアンプルは PB_PAT([DATA_SET1: B0 0x07(7)]、TXPR_LEN([TXPR_LEN_H/L: B0 0x42/43])にて設定できます。また、SyncWord は SYNCWORD_SEL([DATA_SET2: B0 0x08(4)]、SYNCWORD_LEN([SYNC_WORD_LEN: B1 0x25)、

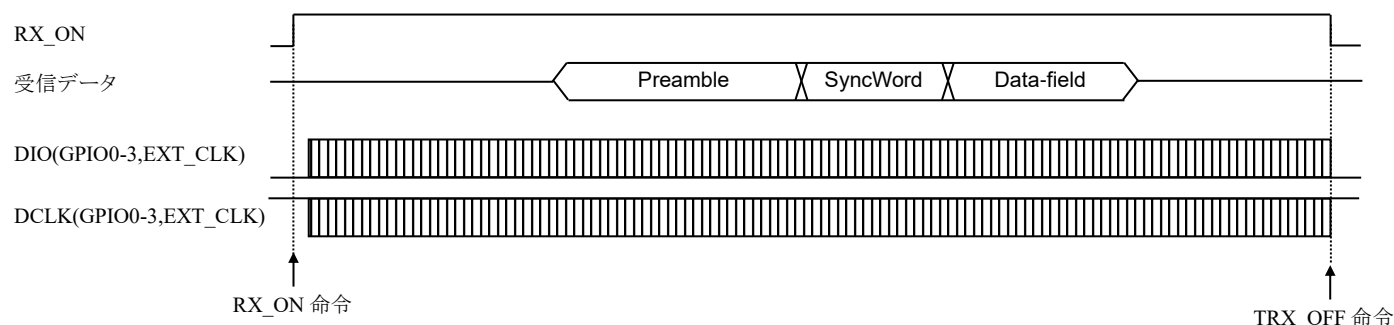
SYNC_WORD_EN*([SYNC_WORD_EN: B1 0x26)、SYNCWORD1_SET([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A)、
SYNCWORD2_SET([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E)にて設定できます。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 に設定してください。

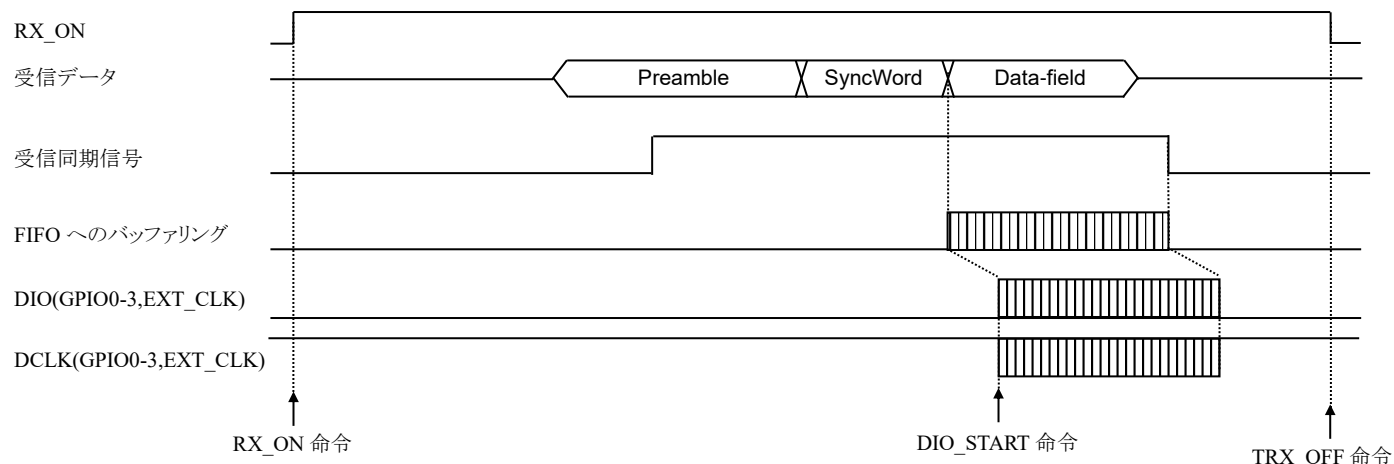
RX_ON 後常時受信クロックが出力されます。受信クロックの立下りに同期して受信データ(復調データ)を DIO 出力設定端子から出力します。FIFO による受信データのバッファリングは行いません。



② データ出力モード 1

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10 に設定してください。

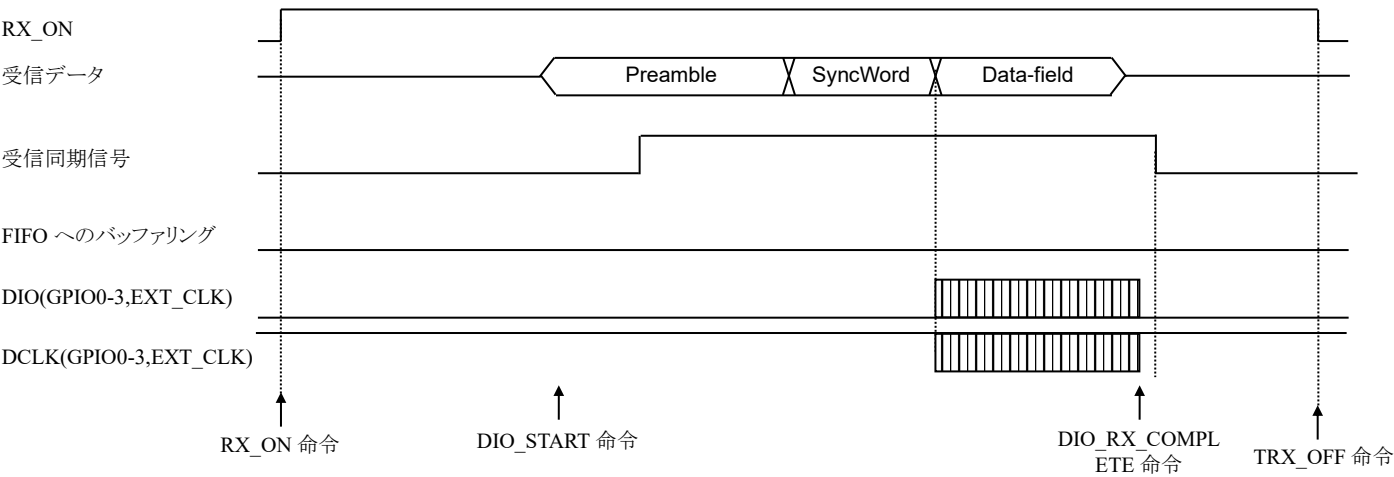
SyncWord 検出後、受信データを FIFO へバッファリング開始し、受信データのバッファリングは受信同期信号(SYNC)が“L”となるまで継続します。受信データ出力設定 DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます(受信データは受信クロックの立下りに同期して出力されます)。ただし、64 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。SYNC が“L”となるタイミングまでバッファリングされたデータを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。



【ご注意】

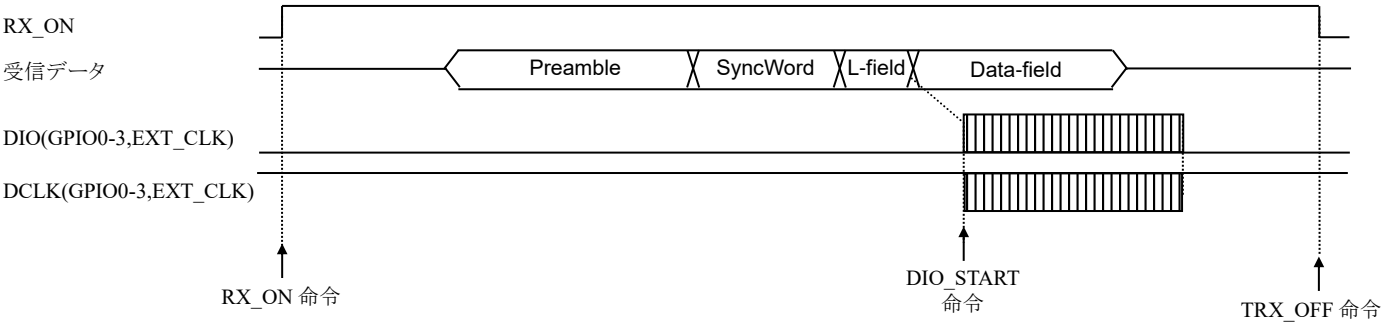
1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から 1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。
2. 本モードは L-field を LSI 内部で判断しないモードであり、Field チェック機能は使用できません。

本設定において、SyncWord 検出以前に DIO_START 命令を発行した場合、FIFO でのデータバッファリングはせず、SyncWord 検出以降の受信データ・クロックを出力します。SYNC が”L”となる前に受信を完了する場合、DIO 受信完了設定 (DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])を設定することで受信完了とすることができます。この場合、DIO_RX_COMPLETE 設定後、本 LSI は次パケット受信待ち状態へ移行します。



③ データ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b11 に設定してください。
Data-field のみ受信データを FIFO へバッファリングします。FIFO へのバッファリングは L-field が示す Length 分の受信データをバッファリングします。受信データ出力設定(DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データからDIO インタフェース(DIO/DCLK)経由で出力されます。ただし、64 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。L-field が示す Length 分の受信データを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。受信した Length 情報は[RX_PKT_LEN_H/L: B0 0x7D/7E]に表示します。本モードは FIFO モード同様にパケット構成を考慮した動作を行いますので、Field チェック機能を使用することができます。



【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から L-field 長(レジスタ設定値)+1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。

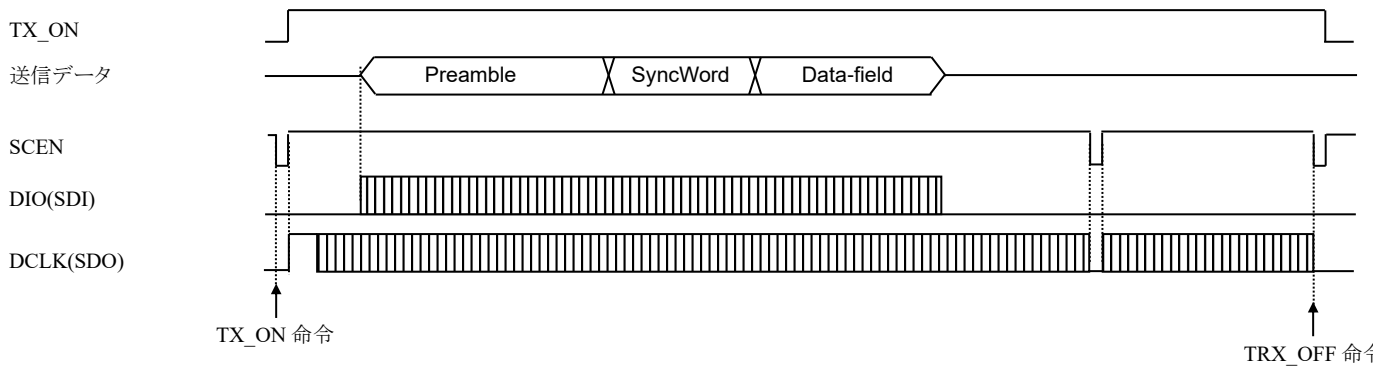
(2) SDI/SDO 端子使用時

SPI インタフェース(SDI/SDO)を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。) 各 DIO モードの動作については前章”(1) GPIO*/EXT_CLK 端子使用時”をご参照ください。

【送信時】

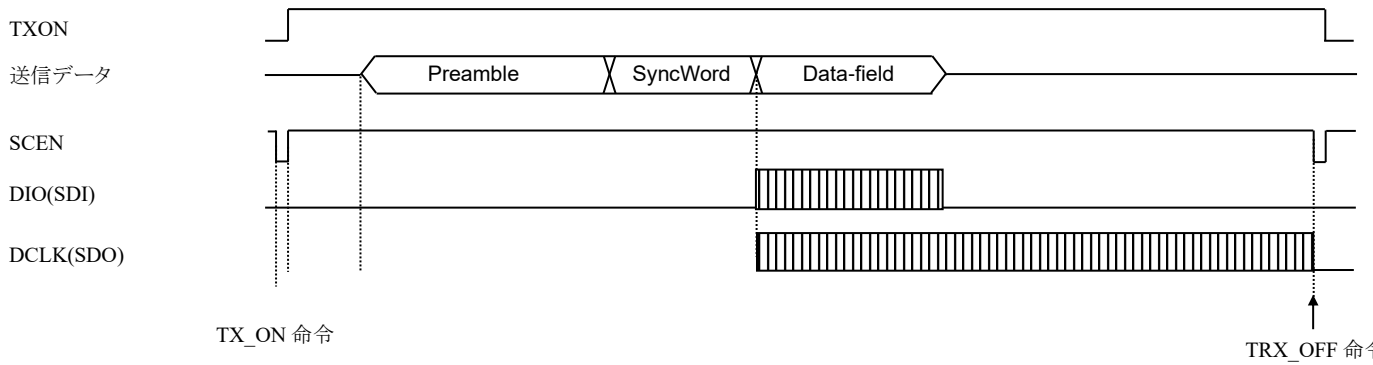
① 常時入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。
TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データの入力してください。TRX_OFF([RF_STATUS: B0 0x0B(3-0)]=0x8)命令発行後は送信データ/クロックの入出力は無効になります。また、DCLK 出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



② データ入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b10 に設定してください。
TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データの入力してください。TRX_OFF 命令発行後は送信データ/クロックの入出力は無効になります。また、送信クロック出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



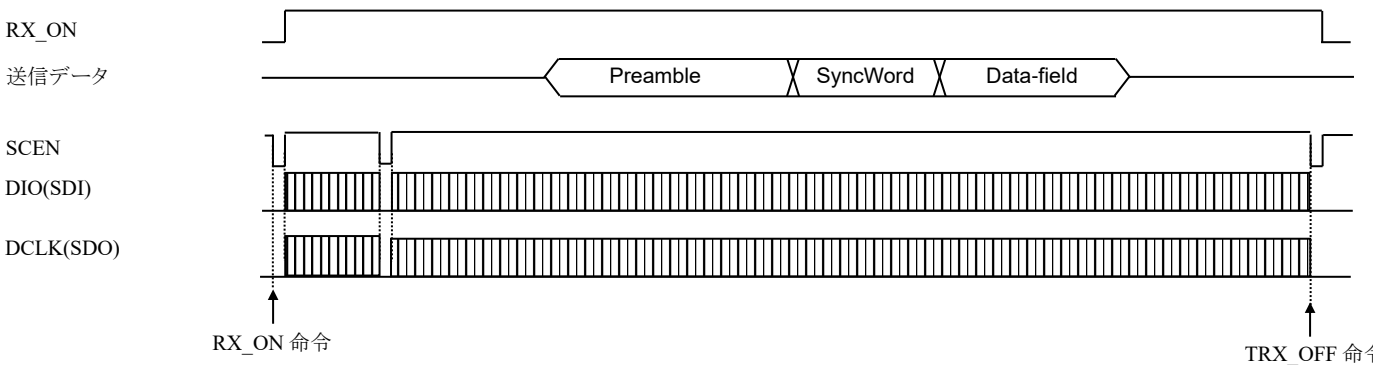
【ご注意】

パケット送信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、送信処理は継続します。このとき、送信データのビット抜けが発生しますので、送信完了まで SPI アクセスしないでください。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 設定時
RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が”H”区間において SDO 端子から受信クロック、SDI 端子から受信データを出力します。TRX_OFF 命令発行後は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN が L となった場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。

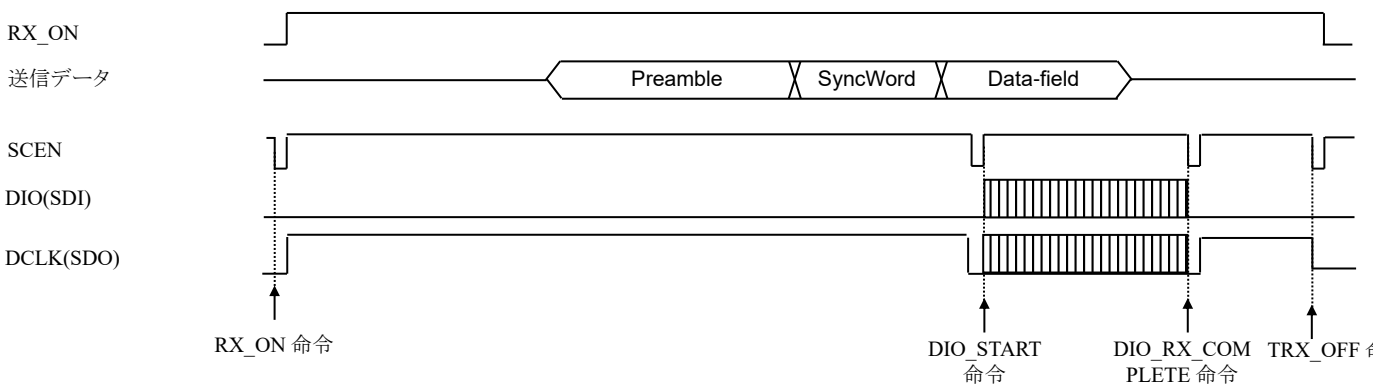


【ご注意】

パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

② データ出力モード 1 またはデータ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10/11 設定にしてください。
RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が”H”区間において SDO 端子から受信クロック、SDI 端子から受信データを出力します。TRX_OFF 命令発行後は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN が L となった場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】

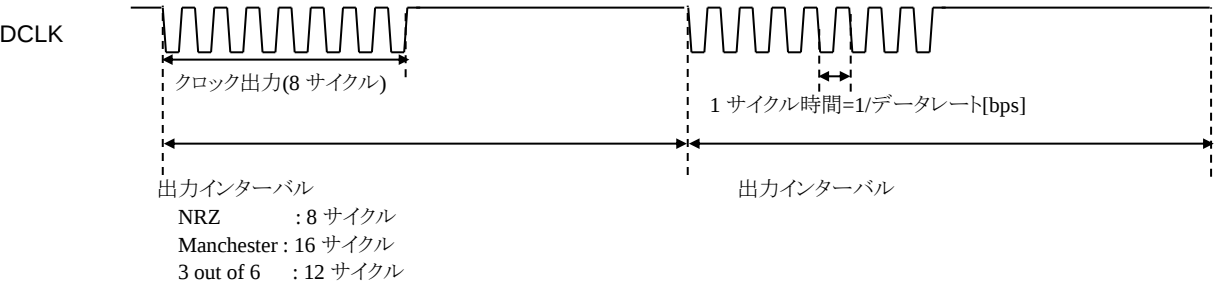
パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

(3) DCLK 出力方法

DIO モード設定により DCLK の出力方法が異なります。

①データ出力モード 2(RXDIO_CTRL([DIO_SET: 0x0C(7-6)])=0b11 設定時)

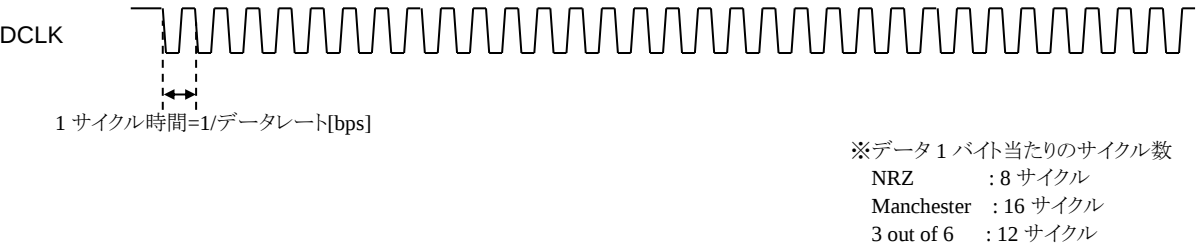
本モードではマンチェスタ、3-out-of-6 復号化後のデータを出力するため、クロック出力インターバルに対するクロック出力区間は符号化方式により異なります。クロック出力区間は以下の通りとなります。



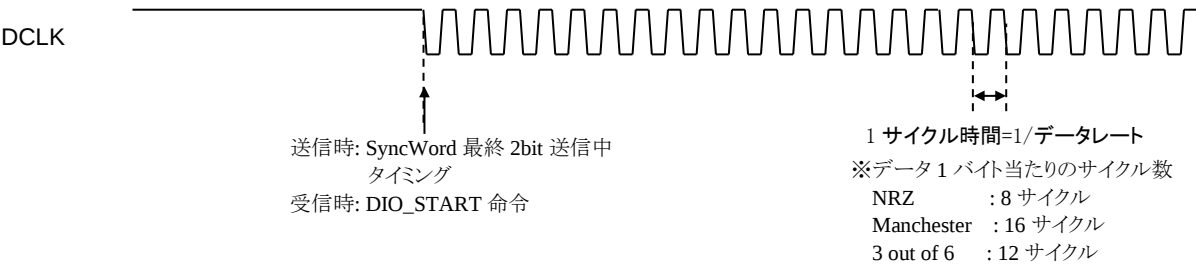
②①以外のモード(受信常時出力モード/データ出力モード 1、送信常時入力モード/データ入力モード)

本モードでは復号前の DIO を入出力するため、符号化方式によらず DCLK が連続して出力されます。

送信常時入力モードまたは受信常時出力モード



送信データ入力モードまたは受信データ出力モード 1



○FEC(Forward Error Correction)機能

本 LSI は IEEE802.15.4g に準拠した FEC およびインターリーブを搭載しています。

FEC に関するレジスタは以下の通りです。

機能	レジスタ
FEC 設定	FEC_EN([FEC_CTRL: B6 0x02(0)])
FEC 方式設定	FEC_SCHEME([FEC_CTRL: B6 0x02(1)])
インターリーブ設定	INTLV_EN([FEC_CTRL: B6 0x02(2)])

【ご注意】

- 1. FEC 機能を使用する場合、以下の設定でご使用ください。
 - ①送信符号モード設定(TX_DEC_SCHEME([DATA_SET1: B0 0x07(1-0)]))および受信符号化モード設定(RX_DEC_SCHEME([DATA_SET1: B0 0x07(3-2)]))は NRZ としてください。
 - ②パケットフォーマットは Format C(PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10)をご使用ください。
 - ③Length フィールド長設定は 2 バイトモード(LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])=0b01)としてください。
- 2. Whitening されたデータを受信する場合、予め Whitening 設定を有効(WHT_SET([DATA_SET2: B0 0x08(0)])=0b1)にして受信してください。

●タイマ機能

○ウェイクアップタイマ

本 LSI はウェイクアップタイマによる自動ウェイクアップ機能をサポートしております。ウェイクアップタイマを用いることで下記に示す動作が可能となります。

- ・タイマ満了後、SLEEP 状態から自動ウェイクアップします。ウェイクアップ後の動作は WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])で RX_ON 状態または TX_ON 状態のいずれかへの状態変更が選択可能です。
- ・WUT_1SHOT_MODE([SLEEP/WU_SET: B0 0x2D(7)])でウェイクアップ動作を繰り返し行う(インターバル動作)か、または 1 回のみ(1 ショット動作)行うかの選択が可能です。
- ・インターバル動作設定時にウェイクアップタイマにより TX_ON/RX_ON へ状態遷移したとき、動作継続タイマが動作します。
- ・ウェイクアップにより RX_ON へ状態遷移後、動作継続タイマ満了時には、自動的に SLEEP 状態へ移行します。ただし、動作継続タイマ動作中に SyncWord を検出した場合、RX_ON 状態を継続します。このとき自動で SLEEP 状態へは遷移しませんので、SLEEP 設定(SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。ただし、RXDONE_MODE[1:0]([RF_STATUS_CTRL: B0 0x0A(3-2)])=0b11 に設定している場合は、受信完了した場合に自動で SLEEP 状態へ遷移します。
動作継続タイマ満了時の受信継続判断を RCV_CONT_SEL([M_CHECK_CTRL: B0 0x1C(5:4)])により SyncWord 検出時、Field チェック検出、同期検出時から選択できます。
- ・ウェイクアップにより TX_ON へ状態遷移後、動作継続タイマ動作が満了した場合であっても、自動的に SLEEP に戻りません。送信処理完了後、SLEEP 状態に遷移させる場合、SLEEP 設定(SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。
- ・高速電波チェックモードとの組み合わせにてウェイクアップ後、CCA を自動発行し、IDLE を検出した場合、即座に SLEEP に移行することが可能です。詳細は(3) 高速電波チェックモードとの組合せを参照してください。
- ・ウェイクアップタイマ用のクロックソースは、WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])で EXT_CLK 端子からの入力、もしくは内蔵 RC 発振回路を選択することが可能です。

ウェイクアップ間隔、ウェイクアップタイマ間隔および動作継続タイマの動作時間は下式の通り設定可能です。

ウェイクアップ間隔[s] = ウェイクアップタイマ間隔[s] + 動作継続タイマ稼働時間[s]

ウェイクアップタイマ間隔[s] = ウェイクアップタイマ用クロック周期 *
分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) *
(ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30]) + 1)

動作継続タイマ稼働時間[s] = ウェイクアップタイマ用クロック周期 *
分周設定([WUT_CLK_SET: B0 0x2E(7-4)]) *
(動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31]) - 1)

【ご注意】

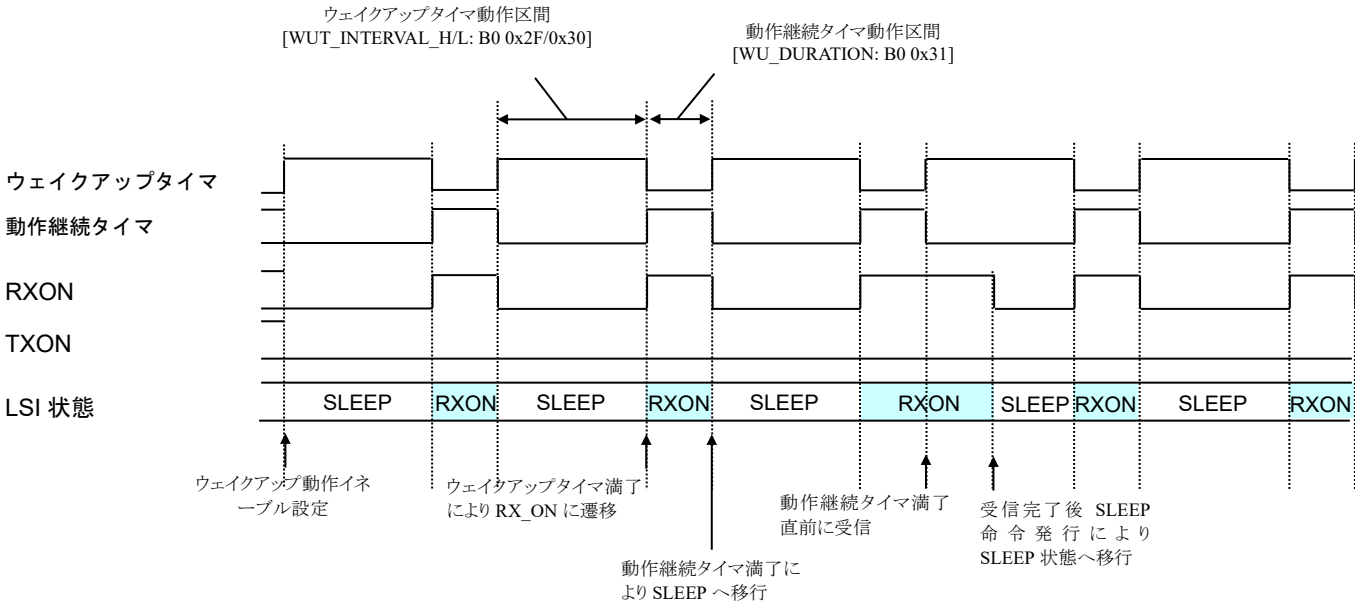
1. ウェイクアップ後 TX_ON へ遷移させる設定時、動作継続タイマ満了時に送信中であった場合には送信中と判断し、送信を継続します。送信完了後は TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])設定に従い、RF 状態遷移を行います。
2. 分周設定の WUDT_CLK_SET([WUT_CLK_SET: B0 0x2E(7-4)])と WUT_CLK_SET([WUT_CLK_SET: B0 0x2E(3-0)])は独立して設定可能です。ただし、動作継続タイマを使用する場合は、WUDT_CLK_SET と WUT_CLK_SET は同じ設定にしてください。
3. ウェイクアップタイマ設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])の最小設定は 0x02 となります。また動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31])の最小設定は 0x01 となります。ただし、動作継続タイマ稼働時間設定はウェイクアップによるクロック安定化割込み(INT[0]([INT_SOURCE_GRP1: B0 0x0D(0)]))が通知された後、タイマ満了になるようタイマ値を設定してください。
4. RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b01 に設定した DIO モードの受信では SyncWord 検出を行わないため、動作継続タイマ満了後 SLEEP 状態へ強制的に移行してしまいます。ご注意ください。
5. タイマ動作により本 LSI が自律的に SLEEP 状態に遷移しますが、SLEEP 遷移タイミングと SPI アクセスが重なった場合、SPI アクセスは無効になります。SLEEP 遷移タイミングと SPI アクセスが重ならないよう制御してください。

(1) インターバル動作

① 受信時

ウェイクアップ後、RX_ON 状態とします。SyncWord 検出前に動作継続タイマが満了した場合、自動で SLEEP に戻ります。SyncWord を検出した場合は、RX_ON を継続します。受信完了後は、RXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(3-2)])に従って動作します。また、SLEEP_EN(SLLEP/WU_SET:B0 0x2D(0))=0b1 を設定して SLEEP 状態へ遷移させることができます。

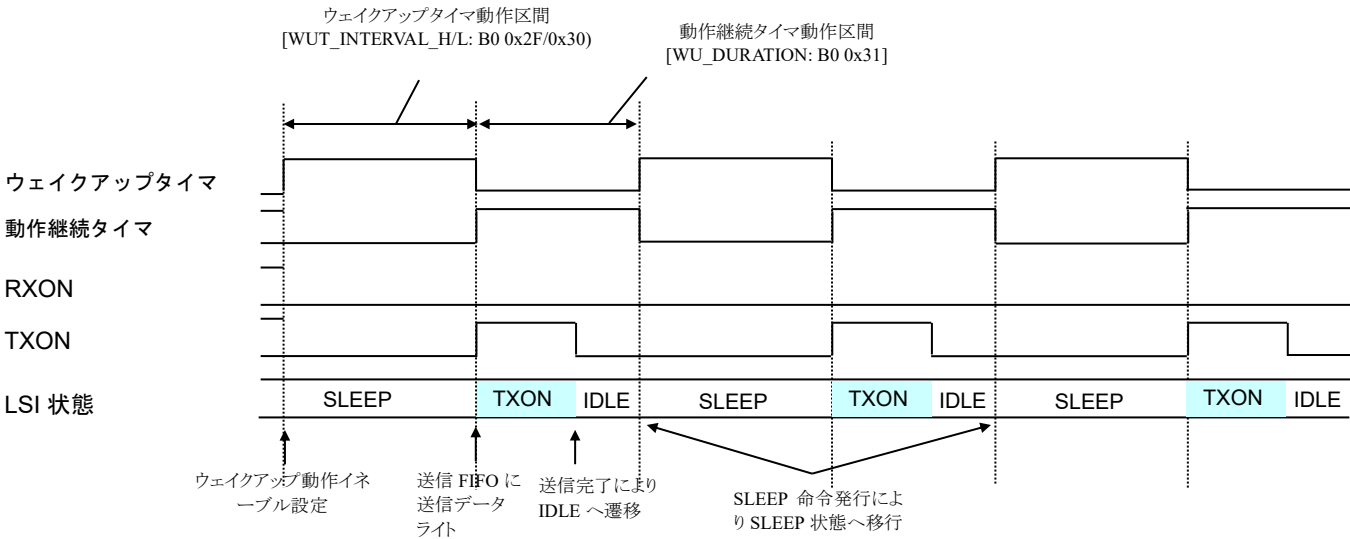
[SLEEPWU_SET: B0 0x2D(6-4)]=0b011 設定時



② 送信時

ウェイクアップ後、TX_ON 状態とします。送信完了後、TXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(1-0)])に従って動作します。動作継続タイマが満了した場合であっても、SLEEP に戻りません。従いまして、送信処理完了後、SLEEP_EN(SLLEP/WU_SET:B0 0x2D(0))=0b1 を設定して SLEEP 状態へ遷移させてください。

[SLEEPWU_SET: B0 0x2D(6-4)]=0b111 設定時

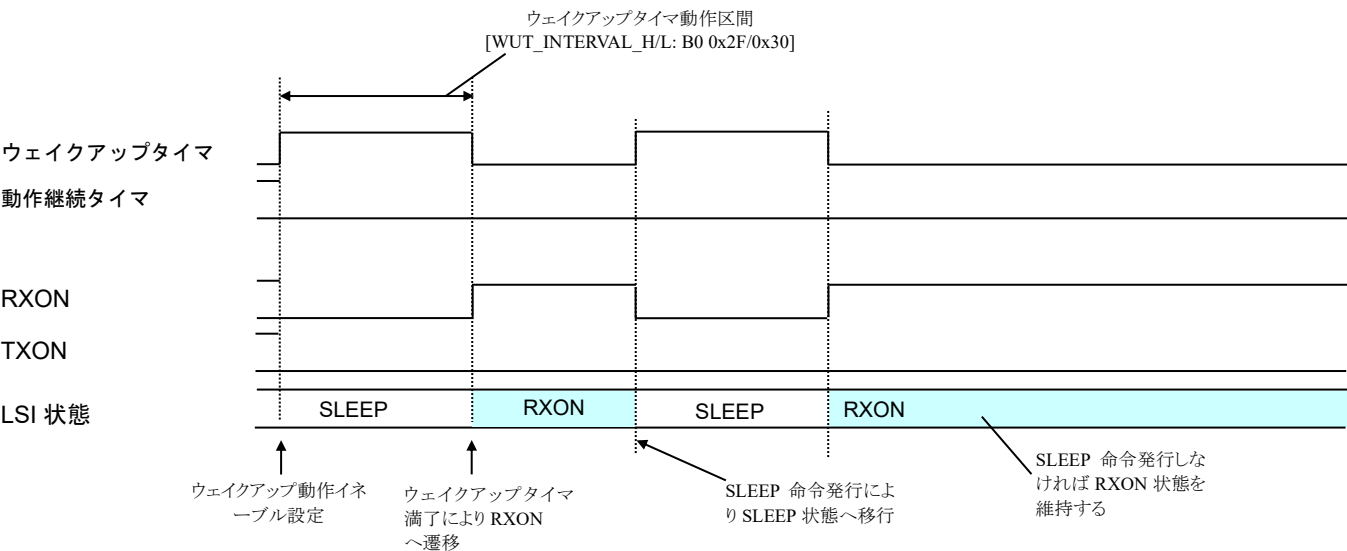


(2) 1 ショット動作

①受信時

ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、RX_ON を継続します。SLEEP 命令発行により SLEEP 状態へ移行します。ウェイクアップタイム設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])は維持されますので SLEEP 命令発行後、1 ショット動作が再起動いたします。SLEEP 状態へ移行する前には、ウェイクアップ割込み([INT_SOURCE_GRP1: B0 0x0D(6)])をクリアしてください。RX_ON 中に受信完了すると RXDONE_MODE[1:0] ([RF_STATUAS_CTRL:B0 0x0A (3-2)])に従って遷移します。送信時も同様の動作となります。

[SLEEP/WU_SET: B0 0x2D(7-4)]=0b1001 設定時



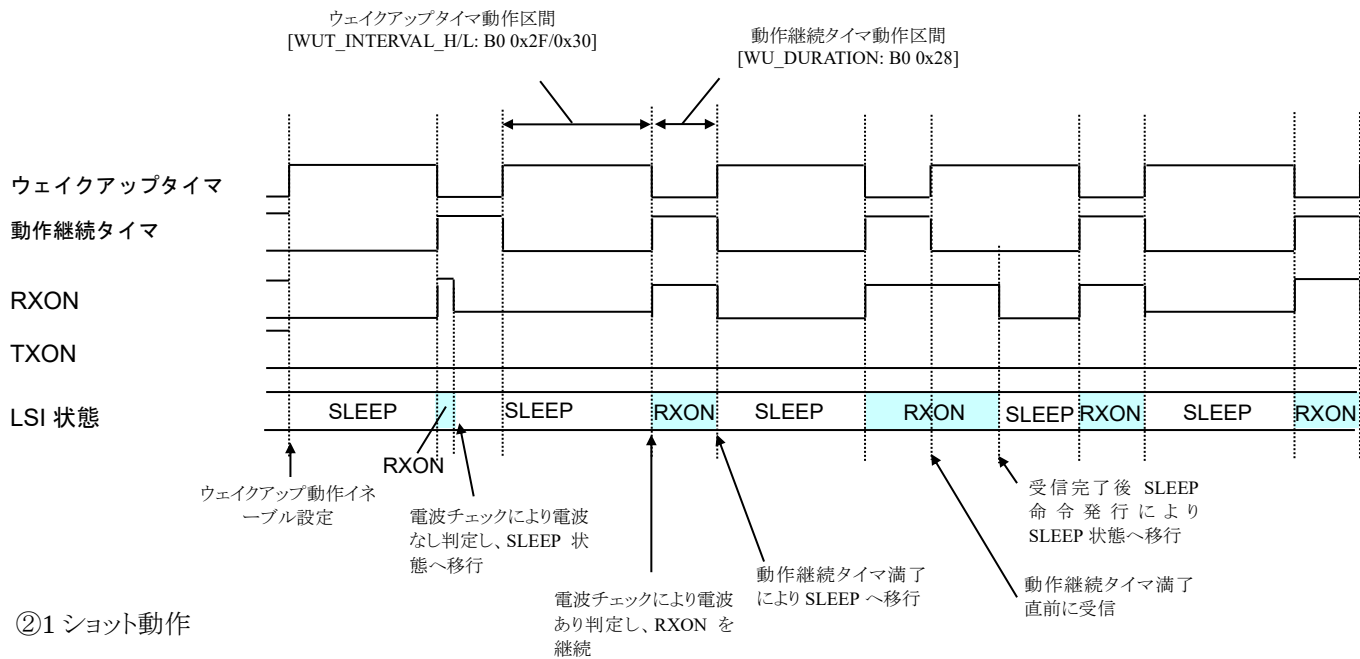
(3) 高速電波チェックモードとの組合せ

①インターバル動作

ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で移行します。電波ありと判定した場合は受信状態を継続し、SyncWord 検出を実施します。SyncWord 検出前に動作継続タイムが満了した場合、自動で SLEEP に戻りますが、SyncWord を検出した場合は、RX_ON を継続します。

[SLEEP/WU_SET: B0 0x2D(7-4)]=0b0011

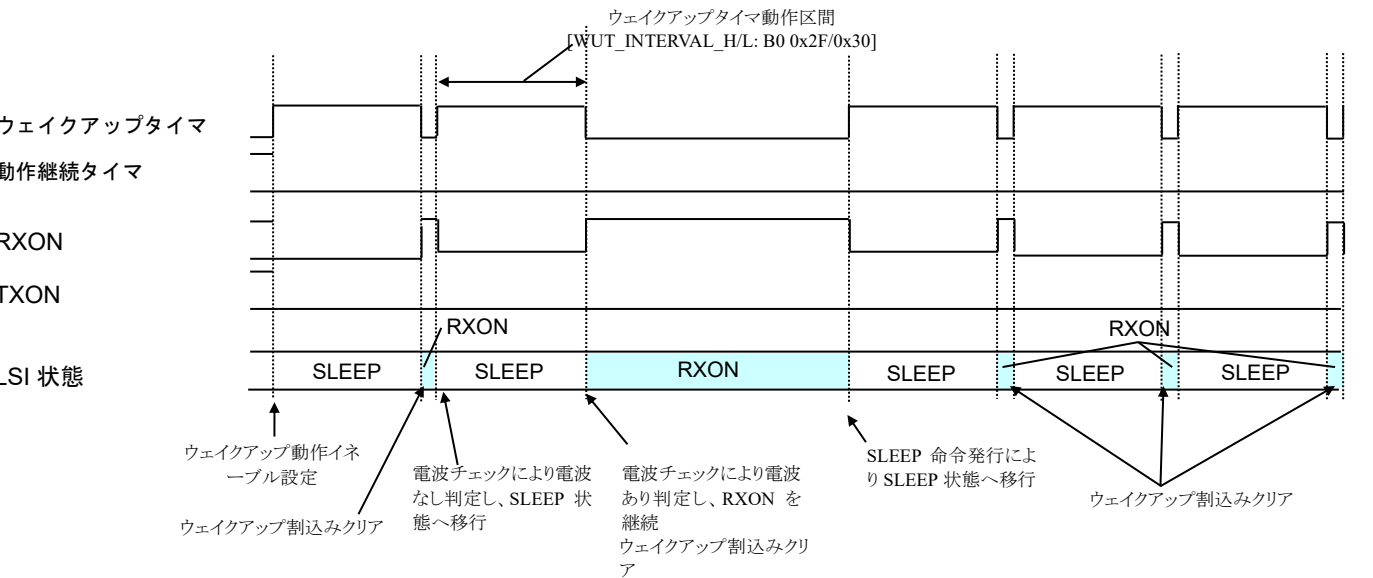
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



②1 ショット動作

ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で移行します。電波なしと判定した場合にウェイクアップタイマ間隔で SLEEP から復帰させる場合、SLEEP へ移行する前にウェイクアップ割込み([INT_SOURCE_GRP1: B0 0x0D(6)])をクリアしてください。電波ありと判定した場合は受信状態を継続します。再度 SLEEP 状態とする場合は、SLEEP 設定を行います。

```
[SLEEPWU_SET: B0 0x2D(7-4)]=0b1001
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時
```



○汎用タイマ

本 LSI は汎用タイマ機能をサポートします。2 系統のタイマを用意し、タイマに使用するクロックソースの選択、タイマ設定が可能です。また、本タイマは 1 ショット動作し、タイマ満了後割込み(INT[22]または INT[23];割り込みグループ 3)にて通知します。

汎用タイマのタイマ間隔は下式の通り設定可能です。

汎用タイマ間隔[sec] = 汎用タイマ用クロック周期 * 分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT1_TIMER: B0 0x34]または[GT2_TIMER: B0 0x35])

汎用タイマ用クロックは、GT2/1_CLK_SOURCE [GT_SET: B0 0x32(5,1)]でウェイクアップタイマ用クロック、2MHz から選択可能です。

●周波数設定機能

○チャンネル周波数の設定

CH#0 から CH#255 までの最大 256 個のチャンネル周波数を設定することができます。送受信周波数に関する設定は以下のレジスタにより設定可能です。

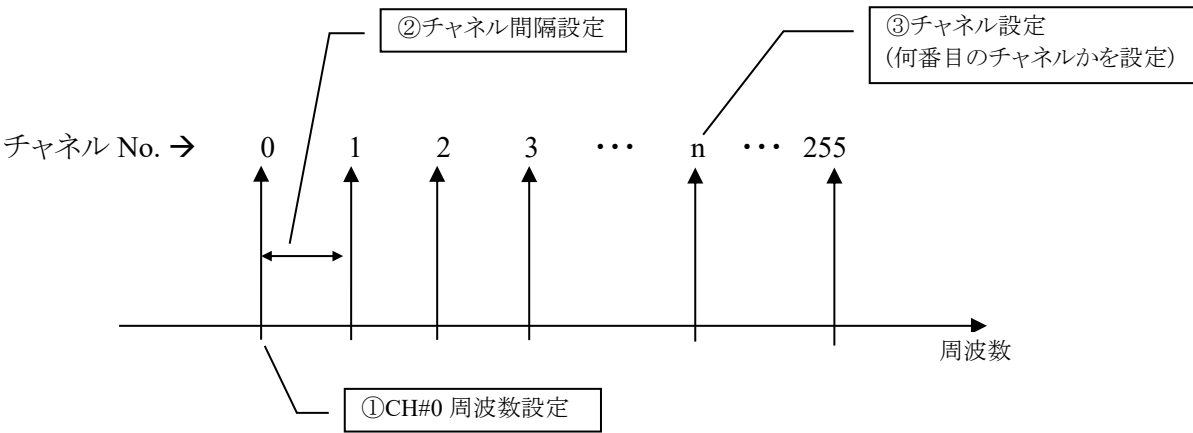
設定周波数		レジスタ
CH#0 周波数	送信用	[TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および [TXFREQ_FL: B1 0x1E]
	受信用	[RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]および [RXFREQ_FL: B1 0x22]
チャンネル間隔		[CH_SPACE_H: B1 0x23]および[CH_SPACE_L: B1 0x24]
チャンネル設定		[CH_SET: B0 0x09]
PLL 分周設定		[PLL_DIV_SET: B1 0x1A]

【チャンネル周波数設定】

上記レジスタ設定より、チャンネル周波数は下式により決定されます。

$$\text{チャンネル周波数} = \text{CH\#0 周波数} + \text{チャンネル間隔} * \text{チャンネル設定}$$

【チャンネル周波数設定のイメージ】



RF 周波数(各周波数帯毎)に応じて PLL 分周設定を以下の通り設定して下さい。

PLL 分周設定 [PLL_DIV_SET: B1 0x1A]	
315～510MHz 帯	900MHz 帯
0x02 (2 分周)	0x00 (1 分周)

【ご注意】

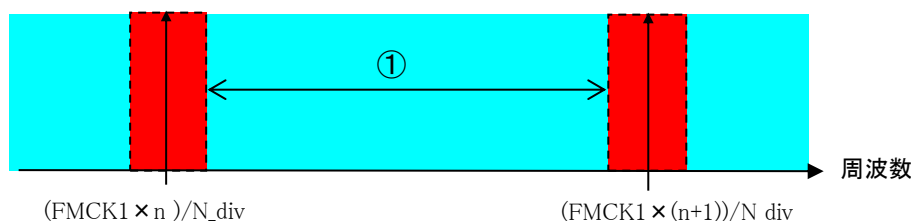
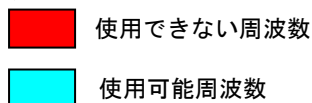
- (1) 使用するチャンネル周波数は以下の条件を満足しなければなりません。次式を満足しない場合はチャンネル#0 周波数設定を変更するか、または他のチャンネルを使用してください。なお、上式を満足しない状態では期待するチャンネル周波数とならない、または PLL がロックせず正常動作しませんのでご注意ください。

FMCK1: マスタークロック周波数

$N_{div} = 1, 2$

$$(FMCK1 \times n + 1MHz) / N_{div} \leq \text{使用チャンネル周波数} \leq (FMCK1 \times (n+1) - 1MHz) / N_{div} \quad ※n=\text{整数}$$

イメージ図



(上記①の範囲の計算例)

1 分周モード($N_{div}=1$)、マスタークロック 36MHz、 $n=25$ の場合

$$(36MHz \times 25 + 1)MHz \leq \text{使用チャンネル周波数} \leq (36MHz \times (25+1) - 1)$$

$$\Rightarrow 901MHz \leq \text{使用チャンネル周波数} \leq 935MHz$$

となります。

- (2) CH#0 周波数およびチャンネル間隔設定はそれぞれ誤差を含むため、チャンネル周波数は次式で示す周波数誤差を生じます。

$$\text{チャンネル周波数誤差[Hz]} = \text{CH\#0 周波数誤差[Hz]} + \text{チャンネル間隔設定誤差[Hz]} * \text{チャンネル設定}$$

CH#0 周波数を変更せずチャンネル設定のみを大きくした場合、チャンネル周波数誤差が大きくなります。チャンネル周波数誤差が大きくなった場合、CH#0 周波数を変更してください。

- (3) チャンネル周波数(=CH#0 周波数+チャンネル間隔×チャンネル設定)設定値が、整数部および小数部(「チャンネル#0 周波数の設定」参照)からなる計 26bit が、最大値 0x3FF_FFFF を超えた場合、期待するチャンネル周波数は得られません。最大値を考慮し、チャンネル#0 周波数、チャンネル間隔、チャンネル設定の値を決定してください。

(1) チャンネル#0 周波数の設定

[TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および[TXFREQ_FL: B1 0x1E]にて送信周波数周波数を、[RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]および[RXFREQ_FL: B1 0x22]にて受信周波数を設定することができます。

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

チャンネル#0 周波数設定は次式にて求められます。

$$I = \frac{f_{rf}}{f_{ref} / N_{div}} \text{ の整数部分}$$

$$F = \left\{ \frac{f_{rf}}{f_{ref} / N_{div}} - I \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで、

f_{rf}	: チャンネル#0 周波数
f_{ref}	: PLL リファレンス周波数 (= マスタークロック周波数: FMCK1)
I	: 整数部周波数設定
F	: 小数部周波数設定
N_{div}	: 分周設定 (1 or 2)

I を 16 進に変換した値を[TXFREQ_I: B1 0x1B]、[RXFREQ_I: B1 0x1F]に設定します。また、 F を 16 進に変換した値を次のようにレジスタに設定します。

送信では MSB から[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]、[TXFREQ_FL: B1 0x1E]の順で設定します。

受信では MSB から[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]、[RXFREQ_FL: B1 0x22]の順で設定します。

周波数誤差 f_{err} は下式で求められます。

$$f_{err} = \left\{ I + \frac{F}{2^{20}} \right\} \cdot (f_{ref} / N_{div}) - f_{rf}$$

例) CH#0 送信周波数 f_{rf} = 920MHz を設定する場合 (マスタークロック 36MHz、 N_{div} =1 時)、以下のようになります。

$$I = \frac{920MHz}{(36MHz / 1)} \text{ の整数部 } = 25(0x19)$$

$$F = \left\{ \frac{920MHz}{(36MHz / 1)} - 25 \right\} \cdot 2^{20} \text{ の整数部 } = 582542(0x8E38E)$$

[TXFREQ_I: B1 0x1B] =	0x19
[TXFREQ_FH: B1 0x1C] =	0x08
[TXFREQ_FM: B1 0x1D] =	0xE3
[TXFREQ_FL: B1 0x1E] =	0x8E

となります。

周波数誤差 f_{err} は次のようになります。

$$f_{err} = \left\{ 25 + \frac{582542}{2^{20}} \right\} \cdot (36MHz / 1) - 920MHz = 0Hz$$

(2) チャンネル間隔の設定

[CH_SPACE_H: B1 0x23]と[CH_SPACE_L: B1 0x24]を使用してチャンネル間隔を設定することができます。以下の式で計算されるチャンネル間隔を 16 進に変換し MSB から[CH_SPACE_H: B1 0x23]、[CH_SPACE_L: B1 0x24]の順で設定します。

チャンネル間隔とは、あるチャンネルの中心周波数とそのチャンネルと隣接するチャンネルの中心周波数の間隔です。

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

[CH_SPACE_H: B1 0x23]、[CH_SPACE_L: B1 0x24]の設定値は、下記の式で求められます。

$$CH_SPACE = \left\lfloor \frac{f_{sp}}{f_{ref} / N_{div}} \right\rfloor \cdot 2^{20} \text{ の整数部分}$$

ここで

CH_SPACE : チャンネルスペース設定

f_{sp} : チャンネルスペース[MHz]

f_{ref} : PLL リファレンス周波数 (=マスタークロック周波数: FMCK1)

N_{div} : 分周設定(1 or 2)

例) CH 間隔 400kHz の設定の場合 (マスタークロック 36MHz、N_{div}=1 時)、以下のようになります。

$$CH_SPACE = \left\lfloor \frac{0.4MHz}{36MHz / 1} \right\rfloor \cdot 2^{20} \text{ の整数部分} = 11650(0x2D82)$$

[CH_SPACE_H: B1 0x23] = 0x2D
[CH_SPACE_L: B1 0x24] = 0x82
となります。

○IF 周波数の設定

IF 周波数は[IF_FREQ: B0 0x61]にて設定します。IF 周波数設定値と IF 周波数との関係は下表の通りとなります。
なお、通常受信時と CCA 時で個別に設定可能です。

IF_FREQ([IF_FREQ: B0 0x61(2-0)] IF_FREQ_CCA([IF_FREQ: B0 0x61(6-4)])	IF 周波数(*1)
0b000	225kHz
0b001	150kHz
0b010	設定禁止
0b011	112.5kHz
0b100	設定禁止
0b101	75kHz
0b110	180kHz
0b111	0kHz

(*1) IF 周波数はマスタークロック 36MHz 使用時の値です。36MHz 以外のマスタークロック使用時は、36MHz からの周波数変化量に応じて IF 周波数が変わります。

●変調機能

○FSK 変調

FSK 変調を使用する場合、MOD_TYPE([MOD_CTRL: B6 0x01(1-0)])=0b00 に設定してください。

(1) GFSK 変調の設定

GFSK モードを使用する場合は、GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 を設定してください。GFSK 変調では周波数偏位を[GFSK_DEV_H: B1 0x30]と[GFSK_DEV_L: B1 0x31]レジスタで、またガウシアンフィルタのフィルタ係数を[FSK_DEV0_H/ GFIL0: B1 0x32]から[FSK_DEV3_H: B1 0x38]のレジスタを使用して設定することができます。2 値FSK/4 値FSK は FSK_SEL[DATA_SET2: B0 0x08(5)]により選択可能です。

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

① GFSK 周波数偏位の設定

F_DEV の設定値は、下記の式で求められます。

$$F_DEV = \left\{ \frac{f_{dev}}{f_{ref} / N_{div}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

- f_{dev} : 周波数偏位 [Hz]
- f_{ref} : PLL リファレンス周波数 (=マスタークロック周波数: FMCK1)
- N_{div} : 分周設定(1 or 2)

4 値 GFSK の場合は、最大周波数偏位の値を設定してください。

例) 周波数偏位=50kHz を設定する場合、f_{REF} = 36MHz、N_{div}=1 時の設定値は以下のようになります。

F_DEV = {0.05MHz ÷ (36MHz/1)} × 2²⁰ の整数部分 = 1456(0x05B0)
この場合、[GFSK_FDEV_H/L: B1 0x30/31]には以下のように設定してください。
[GFSK_DEV_H: B1 0x30] = 0x05
[GFSK_DEV_L: B1 0x31] = 0xB0

② ガウシアンフィルタの設定

GFSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 にて設定することができます。
ガウシアンフィルタの BT 値は以下レジスタにて設定可能です。

BT 値とレジスタ設定と関係を以下に示します。

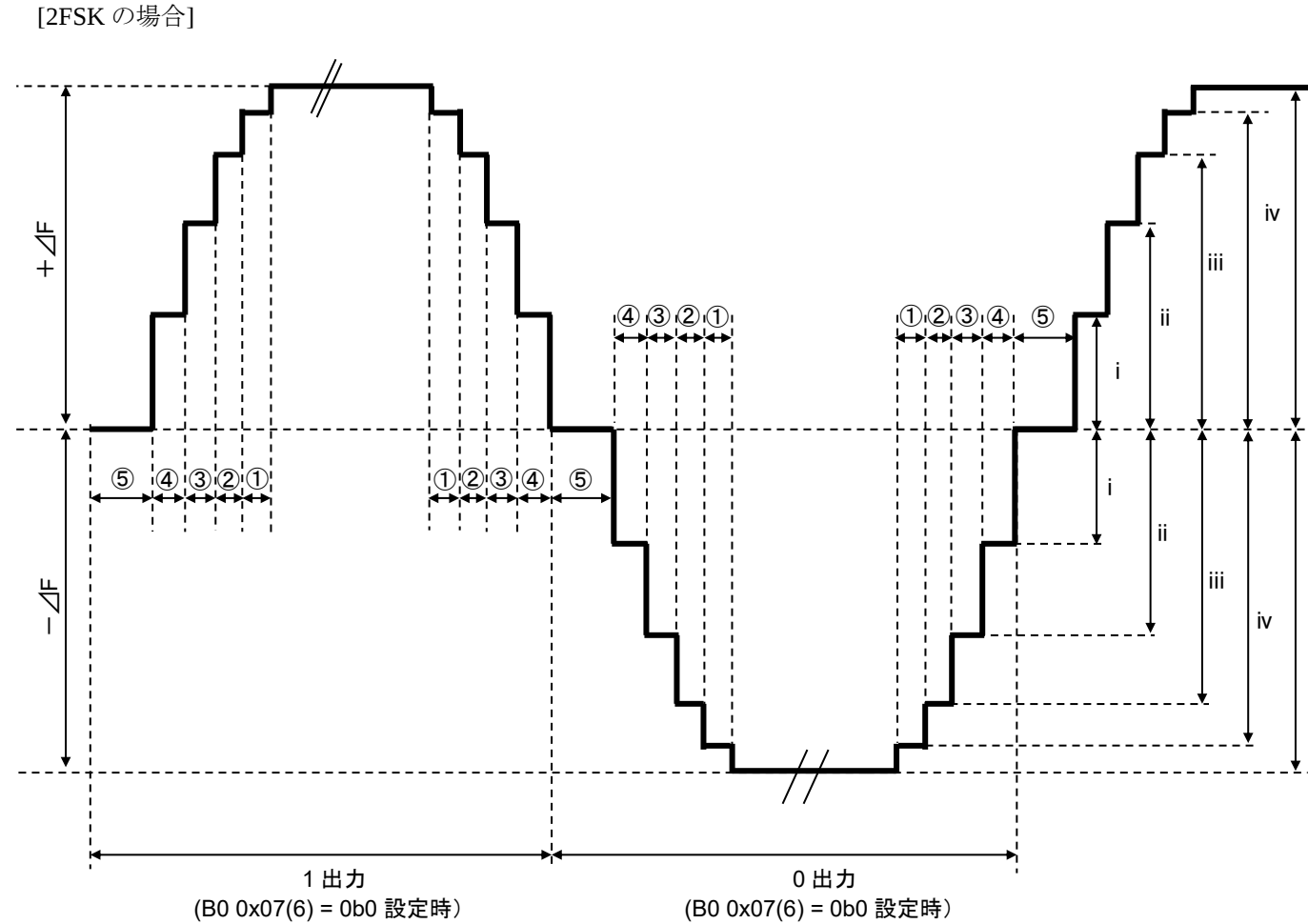
レジスタ	BT 値	
	0.5	1.0
[FSK_DEV0_H/GFIL0: B1 0x32]	0x24	0x00
[FSK_DEV0_L/GFIL1: B1 0x33]	0xD6	0x00
[FSK_DEV1_H/GFIL2: B1 0x34]	0x19	0x02
[FSK_DEV1_L/GFIL3: B1 0x35]	0x29	0x0C
[FSK_DEV2_H/GFIL4: B1 0x36]	0x3A	0x31
[FSK_DEV2_L/GFIL5: B1 0x37]	0x48	0x74
[FSK_DEV3_H/GFIL6: B1 0x38]	0x4C	0x9A

【ご注意】

GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

(2) FSK 変調の設定

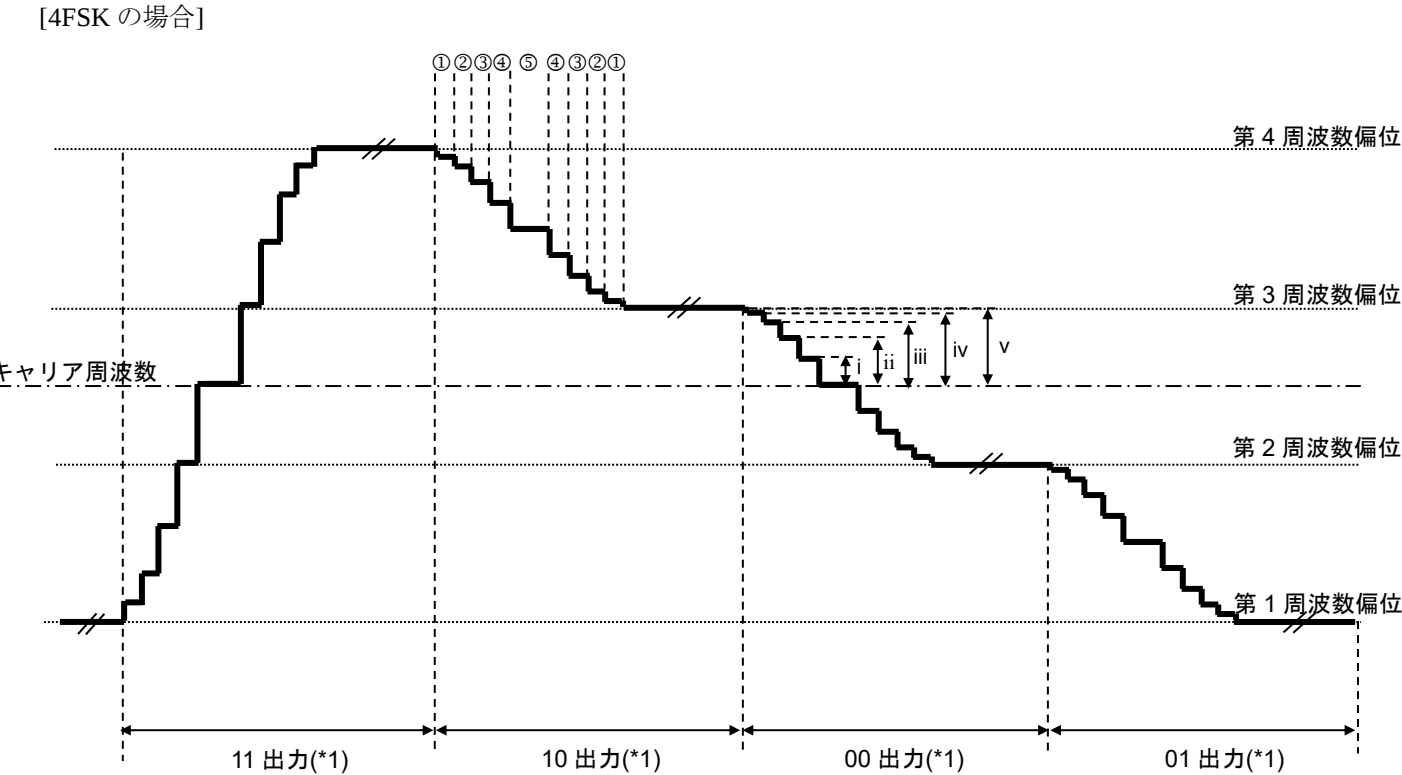
FSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b0 により設定することが可能です。また、[FSK_DEV0_H/GFIL0: B1 0x32]から[FSK_DEV4_L: B1 0x3B]を設定することで詳細な周波数偏位量を設定できます。また、[FSK_TIM_ADJ4: B1 0x3C]から[FSK_TIM_ADJ0: B1 0x40]の設定値を変えることで、FSK の時間方向の詳細なタイミングを設定できます。2 値 FSK/4 値 FSK は FSK_SEL[DATA_SET2: B0 0x08(5)]により選択可能です。



周波数偏位設定				時間設定			
記号	レジスタ名	アドレス	機能	記号	レジスタ名	アドレス	機能
i	FSK_FDEV0_H/GFIL0 FSK_FDEV0_L/GFIL1	B1 0x32/33	周波数偏位 約 34(Hz)	①	FSK_TIM_ADJ4	B1 0x3C	変調タイミング 4MHz/12MHz カ ウンタ値 (*1)
ii	FSK_FDEV1_H/GFIL2 FSK_FDEV1_L/GFIL3	B1 0x34/35		②	FSK_TIM_ADJ3	B1 0x3D	
iii	FSK_FDEV2_H/GFIL4 FSK_FDEV2_L/GFIL5	B1 0x36/37		③	FSK_TIM_ADJ2	B1 0x3E	
iv	FSK_FDEV3_H/GFIL6 FSK_FDEV3_L	B1 0x38/39		④	FSK_TIM_ADJ1	B1 0x3F	
v	FSK_FDEV4_H FSK_FDEV4_L	B1 0x3A/3B		⑤	FSK_TIM_ADJ0	B1 0x40	

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】
GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。



- (*1) 各周波数偏位(第 1～第 4)に対するデータ(00/01/10/11)のマッピングは、[4FSK_DATA_MAP: B1 0x40]により変更できます。
- (*2) 第 1 周波数偏位から第 3 周波数偏位などへ 2 段階周波数が変化する場合、各周波数変化量は i～v の 2 倍となります。
第 1 周波数偏位から第 4 周波数偏位などへ 3 段階周波数が変化する場合、各周波数変化量は i～v の 3 倍となります。

周波数偏位の設定を表に示します。算出式のパラメータはレジスタのビット名です。

周波数偏位設定			
記号	算出式	アドレス	機能
i	FSK_FDEV4 - FSK_FDEV3	B1 0x3A/3B, B1 0x38/39	周波数偏位 約 34(Hz)
ii	FSK_FDEV4 - FSK_FDEV2	B1 0x3A/3B, B1 0x36/37	
iii	FSK_FDEV4 - FSK_FDEV1	B1 0x3A/3B, B1 0x34/35	
iv	FSK_FDEV4 - FSK_FDEV0	B1 0x3A/3B, B1 0x32/33	
v	FSK_FDEV4	B1 0x3A/3B	

時間設定			
記号	レジスタ名	アドレス	機能
①	FSK_TIM_ADJ4	B1 0x3C	変調タイミング 4MHz/12MHz カウンタ値 (*1)
②	FSK_TIM_ADJ3	B1 0x3D	
③	FSK_TIM_ADJ2	B1 0x3E	
④	FSK_TIM_ADJ1	B1 0x3F	
⑤	FSK_TIM_ADJ0	B1 0x40	

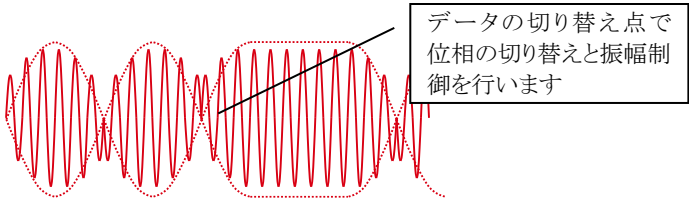
- (*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】
GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

OBPSK 変調

本 LSI は BPSK 変調において以下の 2 方式を備えています。

- 位相切替方式
送信データに応じてキャリア信号の位相を 0° /180° を切り替えます。
- 周波数制御方式
送信データに応じてキャリア信号の周波数を制御し、位相を切り替えます。



BPSK 変調波形 (PA 出力イメージ)
位相の切り替えと PA 制御 (振幅制御)にて変調を行います

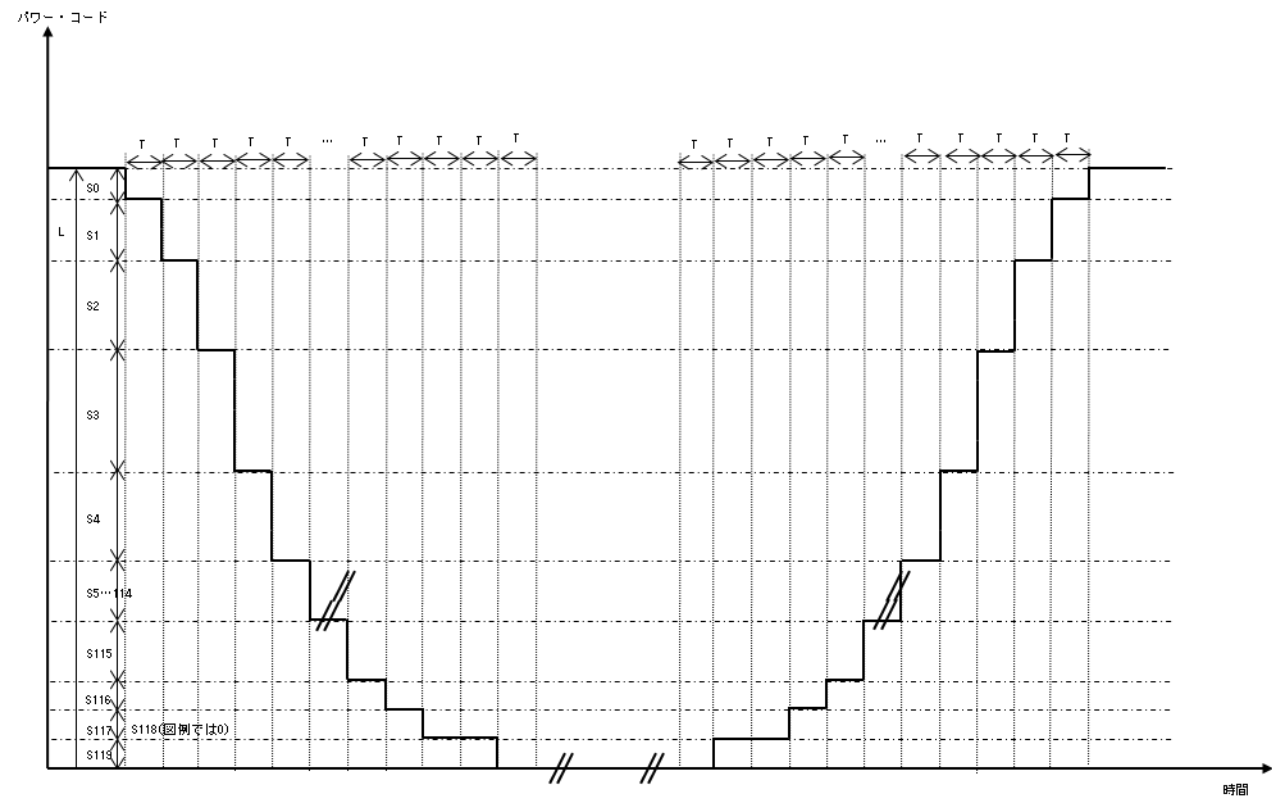
BPSK 方式/PA 制御設定において下記レジスタの設定が必要となります。設定値は「初期設定レジスタ」に示す値を設定してください。

ビット名	アドレス	BPSK 方式	
		位相切替	周波数制御
MOD_TYPE[1:0]	[MOD_CTRL: B6 0x01(1-0)]	✓(0b01)	✓(0b01)
BPSK_PLL_CTRL	[BPSK_PLL_CTRL: B0 0x7B(0)]	✓(0b0)	✓(0b1)
GFSK_EN	[DATA_SET1: B0 0x07(4)]	✓(0b1)	✓(0b1)
BPSK_P_CLKEL	[BPSK_PLL_CTRL: B6 0x7B(1)]	-	✓
BPSK_P_START[10:0]	[BPSK_P_START_H/L: B6 0x7C(2-0)/7D(7-0)]	-	✓
BPSK_P_HOLD[11:0]	[BPSK_P_HOLD_H/L: B6 0x7E(3-0)/7F(7-0)]	-	✓
BPSK_STEP_EN	[BPSK_STEP_CTRL:B10 0x01(4)]	✓(0b1)	✓(0b1)
BPSK_STEP_SEL	[BPSK_STEP_CTRL:B10 0x01(5)]	✓	✓
BPSK_CLK_SEL	[BPSK_STEP_CTRL:B10 0x01(6)]	✓	✓
BPSK_CLK_SET[8:0]	[BPSK_STEP_CTRL:B10 0x01(0)] [BPSK_STEP_CLK_SET:B10 0x02(7-0)]	✓	✓
STEP0[3:0]-STEP119[3:0]	[BPSK_STEP_SET0:B10 0x04(3-0)] [BPSK_STEP_SET0:B10 0x04(7-4)] ... [BPSK_STEP_SET59:B10 0x3F(3-0)] [BPSK_STEP_SET59:B10 0x3F(7-4)]	✓	✓

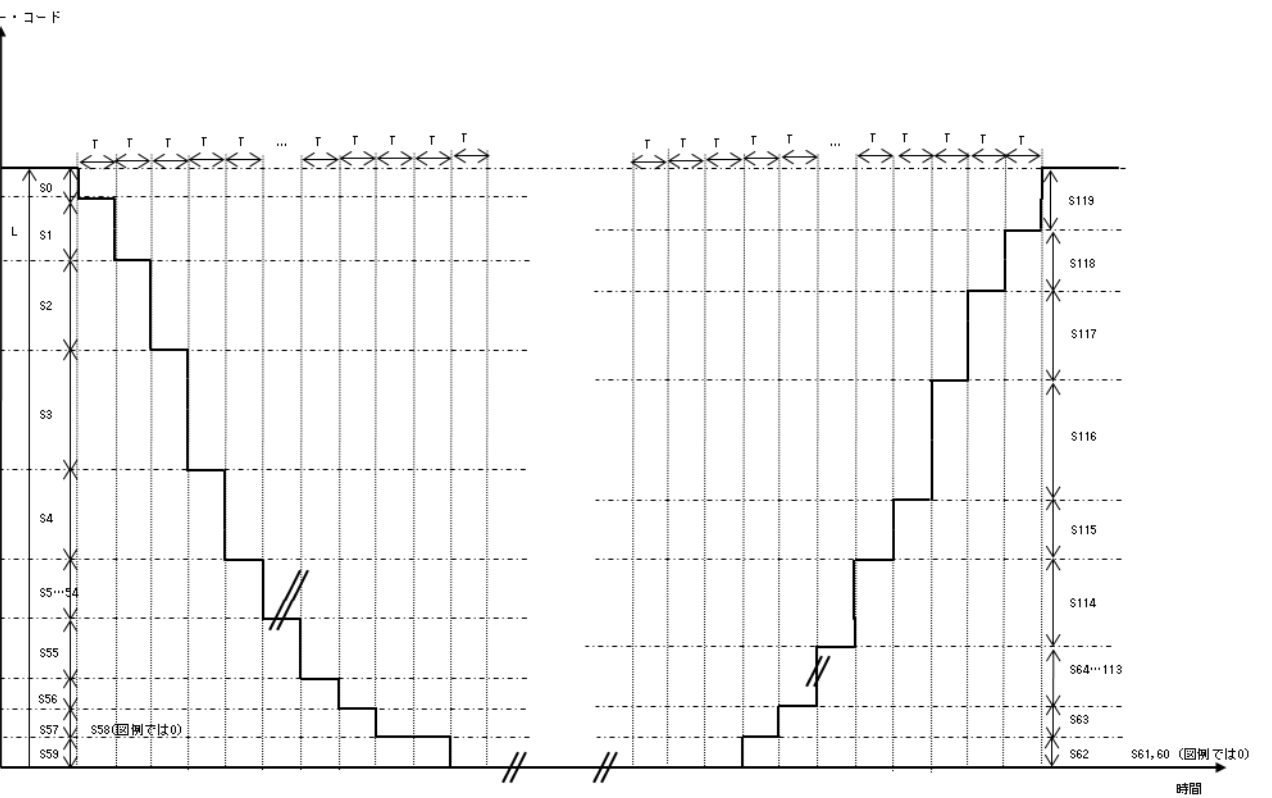
また、位相切替時または周波数切替時に生じる高周波スプリアスを抑制するため、位相切替または周波数切替前後で PA による送信出力パワー制御を行います。この PA 制御は上記 2 方式に対し、下表に示す PA 制御が可能です。

- ①PA パワーダウン・アップ共通設定
- ②PA パワーダウン・アップ個別設定

①PA パワーダウン・アップ共通設定(BPSK_STEP_SEL([BPSK_STEP_CTLR: B10 0x01(5)]) = 0b1)



②PA パワーダウン・アップ個別設定(BPSK_STEP_SEL([BPSK_STEP_CTLR: B10 0x01(5)]) = 0b0)



BPSK 変調における PA 制御に関するレジスタは以下の通りです。

シンボル	ビット名	アドレス	機能	備考
S0	STEP0[3:0]	[B10 0x04(3-0)]	BPSK ステップ制御 0	
S1	STEP1[3:0]	[B10 0x04(7-4)]	BPSK ステップ制御 1	
S2	STEP2[3:0]	[B10 0x05(3-0)]	BPSK ステップ制御 2	
S3	STEP3[3:0]	[B10 0x05(7-4)]	BPSK ステップ制御 3	
S4	STEP4[3:0]	[B10 0x06(3-0)]	BPSK ステップ制御 4	
S5	STEP5[3:0]	[B10 0x06(7-4)]	BPSK ステップ制御 5	
S6	STEP6[3:0]	[B10 0x07(3-0)]	BPSK ステップ制御 6	
S7	STEP7[3:0]	[B10 0x07(7-4)]	BPSK ステップ制御 7	
S8	STEP8[3:0]	[B10 0x08(3-0)]	BPSK ステップ制御 8	
S9	STEP9[3:0]	[B10 0x08(7-4)]	BPSK ステップ制御 9	
S10	STEP10[3:0]	[B10 0x09(3-0)]	BPSK ステップ制御 10	
S11	STEP11[3:0]	[B10 0x09(7-4)]	BPSK ステップ制御 11	
S12	STEP12[3:0]	[B10 0x0A(3-0)]	BPSK ステップ制御 12	
S13	STEP13[3:0]	[B10 0x0A(7-4)]	BPSK ステップ制御 13	
S14	STEP14[3:0]	[B10 0x0B(3-0)]	BPSK ステップ制御 14	
S15	STEP15[3:0]	[B10 0x0B(7-4)]	BPSK ステップ制御 15	
S16	STEP16[3:0]	[B10 0x0C(3-0)]	BPSK ステップ制御 16	
S17	STEP17[3:0]	[B10 0x0C(7-4)]	BPSK ステップ制御 17	
S18	STEP18[3:0]	[B10 0x0D(3-0)]	BPSK ステップ制御 18	
S19	STEP19[3:0]	[B10 0x0D(7-4)]	BPSK ステップ制御 19	
S20	STEP20[3:0]	[B10 0x0E(3-0)]	BPSK ステップ制御 20	
S21	STEP21[3:0]	[B10 0x0E(7-4)]	BPSK ステップ制御 21	
S22	STEP22[3:0]	[B10 0x0F(3-0)]	BPSK ステップ制御 22	
S23	STEP23[3:0]	[B10 0x0F(7-4)]	BPSK ステップ制御 23	
S24	STEP24[3:0]	[B10 0x10(3-0)]	BPSK ステップ制御 24	
S25	STEP25[3:0]	[B10 0x10(7-4)]	BPSK ステップ制御 25	
S26	STEP26[3:0]	[B10 0x11(3-0)]	BPSK ステップ制御 26	
S27	STEP27[3:0]	[B10 0x11(7-4)]	BPSK ステップ制御 27	
S28	STEP28[3:0]	[B10 0x12(3-0)]	BPSK ステップ制御 28	
S29	STEP29[3:0]	[B10 0x12(7-4)]	BPSK ステップ制御 29	
S30	STEP30[3:0]	[B10 0x13(3-0)]	BPSK ステップ制御 30	
S31	STEP31[3:0]	[B10 0x13(7-4)]	BPSK ステップ制御 31	
S32	STEP32[3:0]	[B10 0x14(3-0)]	BPSK ステップ制御 32	
S33	STEP33[3:0]	[B10 0x14(7-4)]	BPSK ステップ制御 33	
S34	STEP34[3:0]	[B10 0x15(3-0)]	BPSK ステップ制御 34	
S35	STEP35[3:0]	[B10 0x15(7-4)]	BPSK ステップ制御 35	
S36	STEP36[3:0]	[B10 0x16(3-0)]	BPSK ステップ制御 36	
S37	STEP37[3:0]	[B10 0x16(7-4)]	BPSK ステップ制御 37	
S38	STEP38[3:0]	[B10 0x17(3-0)]	BPSK ステップ制御 38	
S39	STEP39[3:0]	[B10 0x17(7-4)]	BPSK ステップ制御 39	
S40	STEP40[3:0]	[B10 0x18(3-0)]	BPSK ステップ制御 40	
S41	STEP41[3:0]	[B10 0x18(7-4)]	BPSK ステップ制御 41	
S42	STEP42[3:0]	[B10 0x19(3-0)]	BPSK ステップ制御 42	
S43	STEP43[3:0]	[B10 0x19(7-4)]	BPSK ステップ制御 43	
S44	STEP44[3:0]	[B10 0x1A(3-0)]	BPSK ステップ制御 44	
S45	STEP45[3:0]	[B10 0x1A(7-4)]	BPSK ステップ制御 45	
S46	STEP46[3:0]	[B10 0x1B(3-0)]	BPSK ステップ制御 46	
S47	STEP47[3:0]	[B10 0x1B(7-4)]	BPSK ステップ制御 47	
S48	STEP48[3:0]	[B10 0x1C(3-0)]	BPSK ステップ制御 48	
S49	STEP49[3:0]	[B10 0x1C(7-4)]	BPSK ステップ制御 49	
S50	STEP50[3:0]	[B10 0x1D(3-0)]	BPSK ステップ制御 50	
S51	STEP51[3:0]	[B10 0x1D(7-4)]	BPSK ステップ制御 51	
S52	STEP52[3:0]	[B10 0x1E(3-0)]	BPSK ステップ制御 52	
S53	STEP53[3:0]	[B10 0x1E(7-4)]	BPSK ステップ制御 53	

シンボル	ビット名	アドレス	機能	備考
S54	STEP54[3:0]	[B10 0x1F(3-0)]	BPSK ステップ制御 54	
S55	STEP55[3:0]	[B10 0x1F(7-4)]	BPSK ステップ制御 55	
S56	STEP56[3:0]	[B10 0x20(3-0)]	BPSK ステップ制御 56	
S57	STEP57[3:0]	[B10 0x20(7-4)]	BPSK ステップ制御 57	
S58	STEP58[3:0]	[B10 0x21(3-0)]	BPSK ステップ制御 58	
S59	STEP59[3:0]	[B10 0x21(7-4)]	BPSK ステップ制御 59	
S60	STEP60[3:0]	[B10 0x22(3-0)]	BPSK ステップ制御 60	
S61	STEP61[3:0]	[B10 0x22(7-4)]	BPSK ステップ制御 61	
S62	STEP62[3:0]	[B10 0x23(3-0)]	BPSK ステップ制御 62	
S63	STEP63[3:0]	[B10 0x23(7-4)]	BPSK ステップ制御 63	
S64	STEP64[3:0]	[B10 0x24(3-0)]	BPSK ステップ制御 64	
S65	STEP65[3:0]	[B10 0x24(7-4)]	BPSK ステップ制御 65	
S66	STEP66[3:0]	[B10 0x25(3-0)]	BPSK ステップ制御 66	
S67	STEP67[3:0]	[B10 0x25(7-4)]	BPSK ステップ制御 67	
S68	STEP68[3:0]	[B10 0x26(3-0)]	BPSK ステップ制御 68	
S69	STEP69[3:0]	[B10 0x26(7-4)]	BPSK ステップ制御 69	
S70	STEP70[3:0]	[B10 0x27(3-0)]	BPSK ステップ制御 70	
S71	STEP71[3:0]	[B10 0x27(7-4)]	BPSK ステップ制御 71	
S72	STEP72[3:0]	[B10 0x28(3-0)]	BPSK ステップ制御 72	
S73	STEP73[3:0]	[B10 0x28(7-4)]	BPSK ステップ制御 73	
S74	STEP74[3:0]	[B10 0x29(3-0)]	BPSK ステップ制御 74	
S75	STEP75[3:0]	[B10 0x29(7-4)]	BPSK ステップ制御 75	
S76	STEP76[3:0]	[B10 0x2A(3-0)]	BPSK ステップ制御 76	
S77	STEP77[3:0]	[B10 0x2A(7-4)]	BPSK ステップ制御 77	
S78	STEP78[3:0]	[B10 0x2B(3-0)]	BPSK ステップ制御 78	
S79	STEP79[3:0]	[B10 0x2B(7-4)]	BPSK ステップ制御 79	
S80	STEP80[3:0]	[B10 0x2C(3-0)]	BPSK ステップ制御 80	
S81	STEP81[3:0]	[B10 0x2C(7-4)]	BPSK ステップ制御 81	
S82	STEP82[3:0]	[B10 0x2D(3-0)]	BPSK ステップ制御 82	
S83	STEP83[3:0]	[B10 0x2D(7-4)]	BPSK ステップ制御 83	
S84	STEP84[3:0]	[B10 0x2E(3-0)]	BPSK ステップ制御 84	
S85	STEP85[3:0]	[B10 0x2E(7-4)]	BPSK ステップ制御 85	
S86	STEP86[3:0]	[B10 0x2F(3-0)]	BPSK ステップ制御 86	
S87	STEP87[3:0]	[B10 0x2F(7-4)]	BPSK ステップ制御 87	
S88	STEP88[3:0]	[B10 0x30(3-0)]	BPSK ステップ制御 88	
S89	STEP89[3:0]	[B10 0x30(7-4)]	BPSK ステップ制御 89	
S90	STEP90[3:0]	[B10 0x31(3-0)]	BPSK ステップ制御 90	
S91	STEP91[3:0]	[B10 0x31(7-4)]	BPSK ステップ制御 91	
S92	STEP92[3:0]	[B10 0x32(3-0)]	BPSK ステップ制御 92	
S93	STEP93[3:0]	[B10 0x32(7-4)]	BPSK ステップ制御 93	
S94	STEP94[3:0]	[B10 0x33(3-0)]	BPSK ステップ制御 94	
S95	STEP95[3:0]	[B10 0x33(7-4)]	BPSK ステップ制御 95	
S96	STEP96[3:0]	[B10 0x34(3-0)]	BPSK ステップ制御 96	
S97	STEP97[3:0]	[B10 0x34(7-4)]	BPSK ステップ制御 97	
S98	STEP98[3:0]	[B10 0x35(3-0)]	BPSK ステップ制御 98	
S99	STEP99[3:0]	[B10 0x35(7-4)]	BPSK ステップ制御 99	
S100	STEP100[3:0]	[B10 0x36(3-0)]	BPSK ステップ制御 100	
S101	STEP101[3:0]	[B10 0x36(7-4)]	BPSK ステップ制御 101	
S102	STEP102[3:0]	[B10 0x37(3-0)]	BPSK ステップ制御 102	
S103	STEP103[3:0]	[B10 0x37(7-4)]	BPSK ステップ制御 103	
S104	STEP104[3:0]	[B10 0x38(3-0)]	BPSK ステップ制御 104	
S105	STEP105[3:0]	[B10 0x38(7-4)]	BPSK ステップ制御 105	
S106	STEP106[3:0]	[B10 0x39(3-0)]	BPSK ステップ制御 106	

PA 制御レジスタ一覧(続き)

シンボル	ビット名	アドレス	機能	備考
S107	STEP107[3:0]	[B10 0x39(7-4)]	BPSK ステップ制御 107	
S108	STEP108[3:0]	[B10 0x3A(3-0)]	BPSK ステップ制御 108	
S109	STEP109[3:0]	[B10 0x3A(7-4)]	BPSK ステップ制御 109	
S110	STEP110[3:0]	[B10 0x3B(3-0)]	BPSK ステップ制御 110	
S111	STEP111[3:0]	[B10 0x3B(7-4)]	BPSK ステップ制御 111	
S112	STEP112[3:0]	[B10 0x3C(3-0)]	BPSK ステップ制御 112	
S113	STEP113[3:0]	[B10 0x3C(7-4)]	BPSK ステップ制御 113	
S114	STEP114[3:0]	[B10 0x3D(3-0)]	BPSK ステップ制御 114	
S115	STEP115[3:0]	[B10 0x3D(7-4)]	BPSK ステップ制御 115	
S116	STEP116[3:0]	[B10 0x3E(3-0)]	BPSK ステップ制御 116	
S117	STEP117[3:0]	[B10 0x3E(7-4)]	BPSK ステップ制御 117	
S118	STEP118[3:0]	[B10 0x3F(3-0)]	BPSK ステップ制御 118	
S119	STEP119[3:0]	[B10 0x3F(7-4)]	BPSK ステップ制御 119	
T	BPSK_STEP_CLK_SEL	[B10 0x01(5)]	ステップ制御クロック選択設定 0: マスタークロック周波数/2 (18MHz) 1: マスタークロック周波数/4 (9MHz)	ステップ制御クロック周期 T = ステップ制御用クロック 周期×ステップ制御クロック 選択設定
	CLK_SET[8:0]	[B0 0x02(0), B0 0x03(7-0)]	ステップ制御クロック周期設定	
L	PA_REG_ADJ[8:0]	[B0 0x67(0), B0 68(7:0)]	PA レギュレータの出力電圧調整設定	

●受信関連機能

○AFC 機能

本 LSI は受信時の AFC 機能を持っています。送信相手と本 LSI 内部のローカル信号のそれぞれの周波数偏差(最大 ±20ppm)を本機能で補正します。本機能により周波数偏差内で一定の受信感度や妨害波特性が得られます。本機能は、AFC_EN([AFC/GC_CTRL: B1 0x15(7)])に 0b1 を書き込むことで有効にできます。ただし、スペクトラム拡散機能使用時はローカル信号を補正する AFC は機能しません。

○電力検出値(ED 値)取得機能

本 LSI は受信電界強度(RSSI)を電力検出値(以降 ED 値)として表示する機能を搭載しております。ED 値は ED_CALC_EN ([ED_CTRL: B0 0x41(7)])を 0b1 に設定し、RX_ON 状態に移行すると、自動的に取得を開始し、RX_ON 状態中は常に最新の値に更新されます。ED 値は、ある瞬間の RSSI 値ではなく平均化された値で表示されます。平均化する回数は ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定されます。また、ダイバーシティの時は 2DIV_ED_AVG([2DIV_MODE: B1 0x48(2-0)])で設定されます。平均化回数分 ED 値を取得した時点で ED_DONE([ED_CTRL: B0 0x41(4)])に”1”が設定されるとともに、ED_VALUE([ED_RSLT: B0 0x3A])が更新されます。

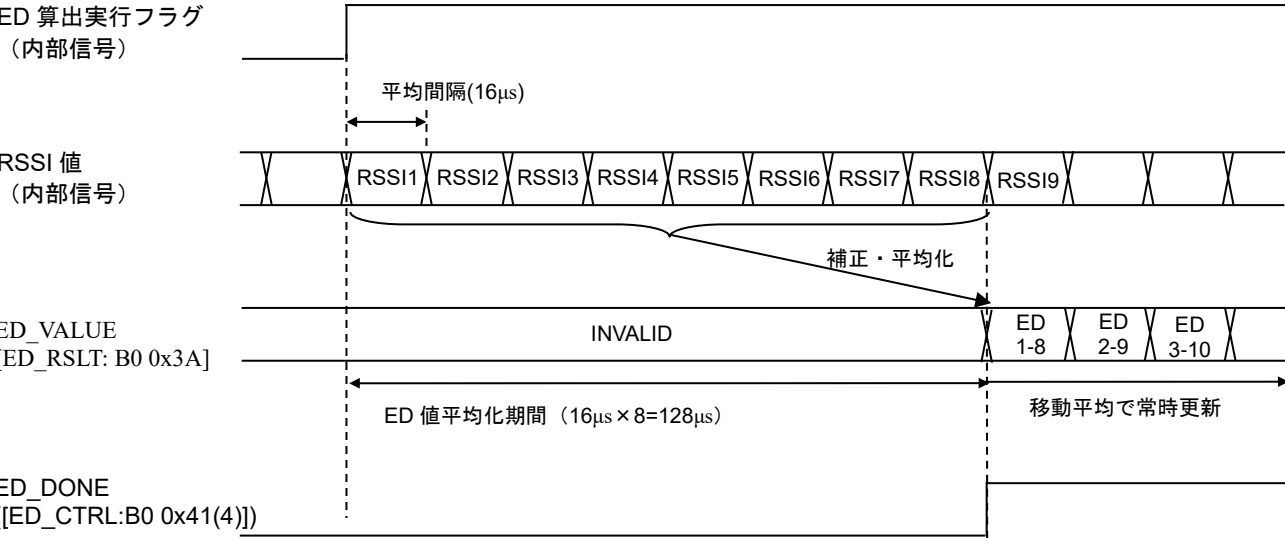
ED_DONE ビットは、以下のいずれかの条件が成立するとクリアされます。

- ① アンテナが切り替わった場合
- ② ゲインが切り替わった場合
- ③ 一度 ED 値取得を停止し、再開した場合

ED 値の算出開始から、ED 値が表示されるまでにかかる時間は次式で算出できます。
ED 値平均化時間 = 平均間隔(16μs) * ED 値平均回数

以下に、タイミングチャートを示します。

【条件】
ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]



○チャンネルフィルタ帯域幅可変機能

チャンネルフィルタ帯域幅は CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)]), CHFIL_WIDE_SET([CHFIL_BW: B0 0x54(7)])および CHFIL_BW_OPTION([CHFIL_BW_OPTION: B0 0x6B])にて設定することができます。設定値とチャンネルフィルタ帯域幅の関係は下式の通りとなります。

チャンネルフィルタ帯域幅[Hz] = {マスタークロック周波数[Hz] * (CHFIL_WIDE_SET+1)} / { CHFIL_BW_ADJ* 180} * 倍率設定(CHFIL_BW_OPTION)

それぞれに設定値に対するチャンネルフィルタ帯域幅を下表に示します。なお、通常受信時と CCA 時で個別にチャンネルフィルタ帯域幅を設定可能です。CCA 時のチャンネルフィルタ帯域幅は CHFIL_BW_ADJ_CCA([CHFIL_BW_CCA: B0 0x6A(6-0)])および CHFIL_WIDE_SET_CCA([CHFIL_BW_CCA: B0 0x6A(7)])の設定値が適用されます。

(1) CHFIL_WIDE_SET=0b0、CHFIL_BW_OPTION=0b000 設定時

CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]	CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]
0	設定禁止	16	12.5
1	200	17	11.8
2	100	18	11.1
3	66.7	19	10.5
4	50	20	10
5	40	21	9.5
6	33.3	22	9.1
7	28.6	23	8.7
8	25	24	8.3
9	22.2	25	8
10	20	26	7.7
11	18.2	27	7.4
12	16.7	28	7.1
13	15.4	...	...
14	14.3	126	1.59
15	13.3	127	1.57

(2) CHFIL_WIDE_SET=0b1、CHFIL_BW_OPTION=0b000 設定時

CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]	CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]
0	設定禁止	16	25
1	400	17	23.5
2	200	18	22.2
3	133.3	19	21.1
4	100	20	20
5	80	21	19
6	66.7	22	18.2
7	57.1	23	17.4
8	50	24	16.7
9	44.4	25	16
10	40	26	15.4
11	36.4	27	14.8
12	33.3	28	14.3
13	30.8	...	...
14	28.6	126	3.18
15	26.7	127	3.14

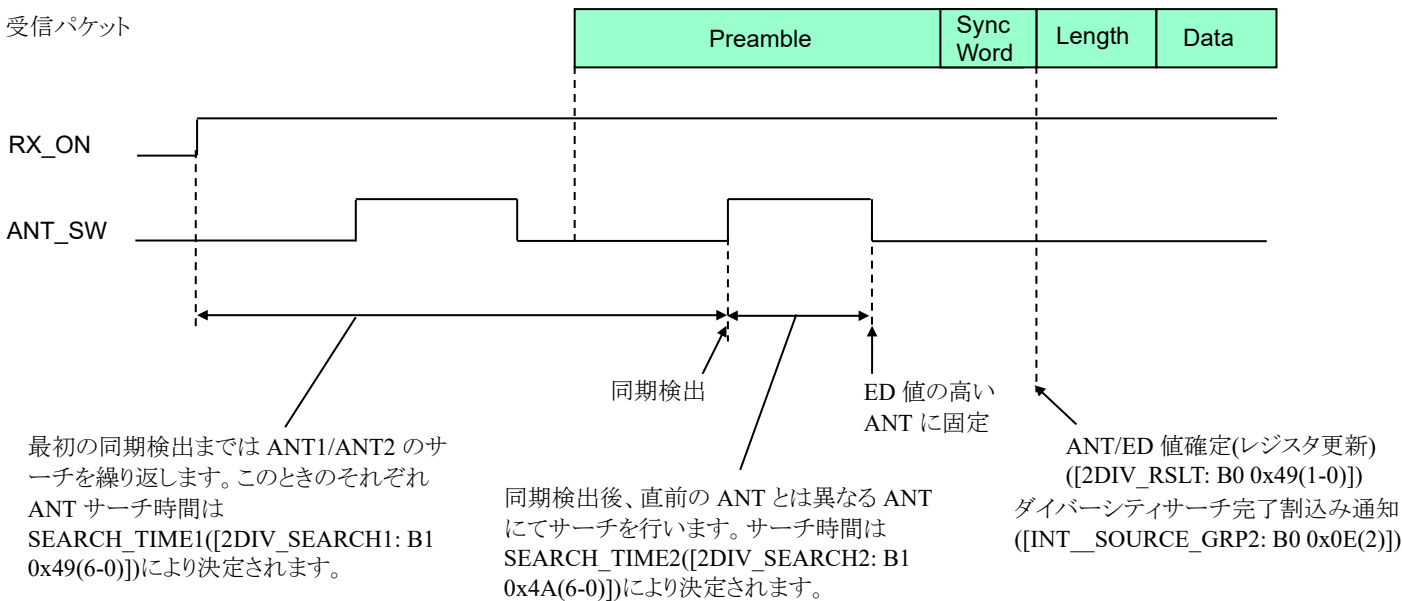
データレート、最大周波数偏位に応じてチャンネルフィルタ帯域幅の最適化設定が必要です。

○ダイバーシティ機能

本 LSI は 2 アンテナダイバーシティ機能を搭載しております。

2DIV_EN([2DIV_CTRL: B0 0x48(0)])を 0b1 にセットした状態で RF を受信状態 (RX_ON) に設定するとダイバーシティモードが起動いたします。ダイバーシティモードが起動すると、受信データ検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。ダイバーシティ機能はプリアンプルデータの ED 値を取得するため送信側のプリアンプルデータ長は十分に長い値である必要があります。プリアンプルデータ長が短いと正確な ED 値の取得ができませんのでご注意ください。

以下にタイムチャートを示します。



ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は、SyncWord 検出時に上書き更新します。

ED 値算出時の検出回数は、2DIV_ED_AVG([2DIV_MODE: B1 0x48(2:0)])にて設定可能です。

サーチ時間([SEARCH_TIME1]および[SEARCH_TIME2])の時間分解能は、SEARCH_TIME_SET([2DIV_SEARCH1: B1 0x49(7)])にて設定可能です。

また、ダイバーシティサーチ完了割込み INT[10]([INT_SOURCE_GRP2: B0 0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は 0 クリアされます。

【ご注意】

本機能では、誤検出から引き起こされた誤ったダイバーシティ完了であると判断した場合、アンテナサーチを再自動実行しますが、誤検出によって発生したダイバーシティサーチ完了後～誤検出判定までに希望波を受信した場合、取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])は、希望波の入力レベルとは異なる低い ED 値を表示します。

本事象の発生可否は、希望波の SyncWord 検出割込み INT[13]([INT_SOURCE_GRP2: B0 0x0E(5)])発生後、[ED_RSLT: B0 0x41]で表示される ED 値を読み出すことで確認することができます。

(1) アンテナスイッチ制御

[2DIV_CTRL: B0 0x48]、[ANT_CTRL: B0 0x4C]、[EXT_PA_CTRL: B0 0x53]にて、送受信切替え信号(TRX_SW)、アンテナ切替え信号(ANT_SW)、外部 PA 制御信号(DCNT)の各種の制御が可能です。

[2DIV_CTRL: B0 0x48(3-1)]および[ANT_CTRL: B0 0x4C]にて、2 種類のアンテナスイッチ(SPDT スイッチ/DPDT スイッチ)制御が可能です。それぞれのアンテナスイッチ制御時の ANT_SW 端子および TRX_SW 端子の出力状態と[2DIV_CTRL: B0 0x48(2-1)]との関係を以下に示します。

①DPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])=0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0b0 に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW

は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を0b1に設定した場合、ANT_SWとTRX_SWの極性が反転します。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	H	L	L	H	アイドル時の状態です。
送信時	L	H	H	L	送信時の状態です。
受信時	H	L	L	H	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)])を0b0に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)])を0b1に設定)時のダイバーシティ開始時は本状態となります。
	L/H	H/L	H/L	L/H	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0))を0b1に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

②SPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を0b0に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を0b1に設定した場合、TRX_SWの極性が反転します。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	L	H	アイドル時の状態です。
送信時	L	H	L	L	送信時の状態です。
受信時	L	L	L	H	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)])を0b0に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)])を0b1に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	H/L	H	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0))を0b1に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

上記デフォルト設定に対し、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])を 0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b1 に設定することにより、ANT_SW 端子の極性が反転します。

送受信状態	INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=0 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0 (デフォルト設定)		INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=1 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=1		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	H	L	アイドル時の状態です。
送信時	L	H	H	H	送信時の状態です。
受信時	L	L	H	L	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	L/H	L	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

(2) アンテナスイッチ強制設定

[ANT_CTRL: B0 0x4C]により、ANT_SW 端子の出力状態の強制設定が可能です。

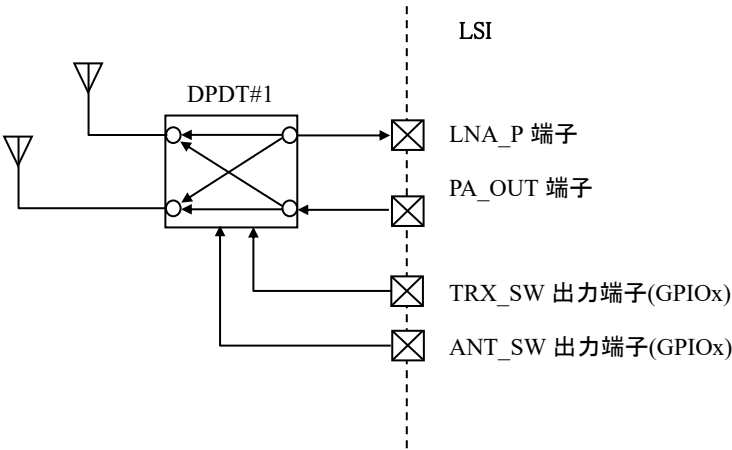
送信時:TX_ANT_EN([ANT_CTRL: B0 0x4C(0)])を 0b1 に設定することにより TX_ANT([ANT_CTRL: B0 0x4C(1)])の設定値が出力されます。

受信時:RX_ANT_EN([ANT_CTRL: B0 0x4C(4)])を 0b1 に設定することにより RX_ANT([ANT_CTRL: B0 0x4C(5)])の設定値が出力されます。

但し、[GPIO*_CTRL: B0 0x4E～0x51]にて出力時強制設定された場合は、[GPIO*_CTRL:B0 0x4E～0x51]レジスタ設定が優先されます。

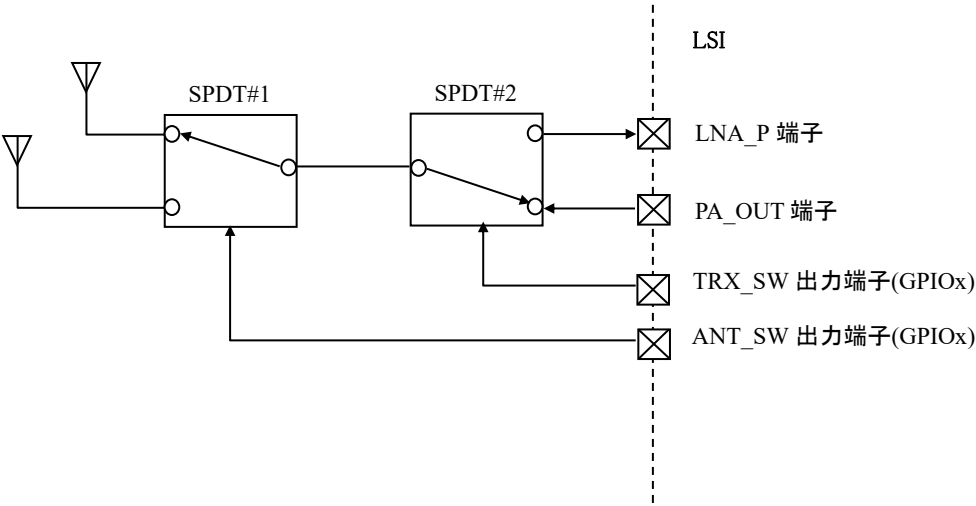
なお、アンテナスイッチ制御信号を以下のように使用することができます。

- 使用例 1) DPDT スイッチ 1 個を使用する場合
2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b1 に設定してください。



- (※)もう1つ GPIO を外部 PA に割り当てることにより、DPDT SW と外部 PA を両方制御可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(DPDT#1)間の外付け回路は省略しています。

- 使用例 2) SPDT スイッチ 2 個使用した場合
2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定してください。



- (※)もう1つ GPIO を外部 PA に割り当てることにより、DPDT SW と外部 PA を両方制御可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(SPDT#2)間の外付け回路は省略しています。

○CCA(Clear Channel Assessment)機能

本 LSI は CCA 機能を搭載しております。CCA はある周波数チャネルを受信して、そのチャネルが現在使用されているか、空いているかを判定する機能です。本 LSI では通常モード、無限実行モードと IDLE 検出モードの 3 種類のモードがあります。3 種類のモードは下記により設定できます。

[CCA モードの設定]

	[CCA_CTRL: B0 0x39]		
	Bit4 (CCA_EN)	Bit5 (CCA_CPU_EN)	Bit6 (CCA_IDLE_EN)
通常モード	0b1	0b0	0b0
無限実行モード	0b1	0b1	0b0
IDLE 検出モード	0b1	0b0	0b1

(1) 通常モード

通常モードは IDLE/BUSY を判定するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(通常モード)が実行されます。

CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。[ED_RSLT: B0 0x3A]で表示される ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B]の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

BUSY または IDLE を検出すると CCA 完了割り込み(割り込みグループ 3 の INT[18])が通知され、CCA_EN ビットが 0b0 に自動クリアされます。

CCA 完了割り込みをクリアすると CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込みをクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも大きい場合は BUSY 判定して CCA を完了しますが、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b11 を表示し、BUSY 判定されるかまたは対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

CCA 実行指示してから CCA 完了するまでの時間は下式で算出されます。

[IDLE 判定の場合]

CCA 実行時間 = (ED 値平均回数 + IDLE_WAIT 設定) × 平均間隔(16us)

[BUSY 判定の場合]

CCA 実行時間 = ED 値平均回数 × 平均間隔(16us)

※ 上式は[CCA_IGNORE_LVL: B0 0x36]による IDLE 判定除外を考慮しておりません。[CCA_IGNORE_LVL: B0 0x36]動作詳細は”強入力発生時の IDLE 判定除外について”をご参照下さい。

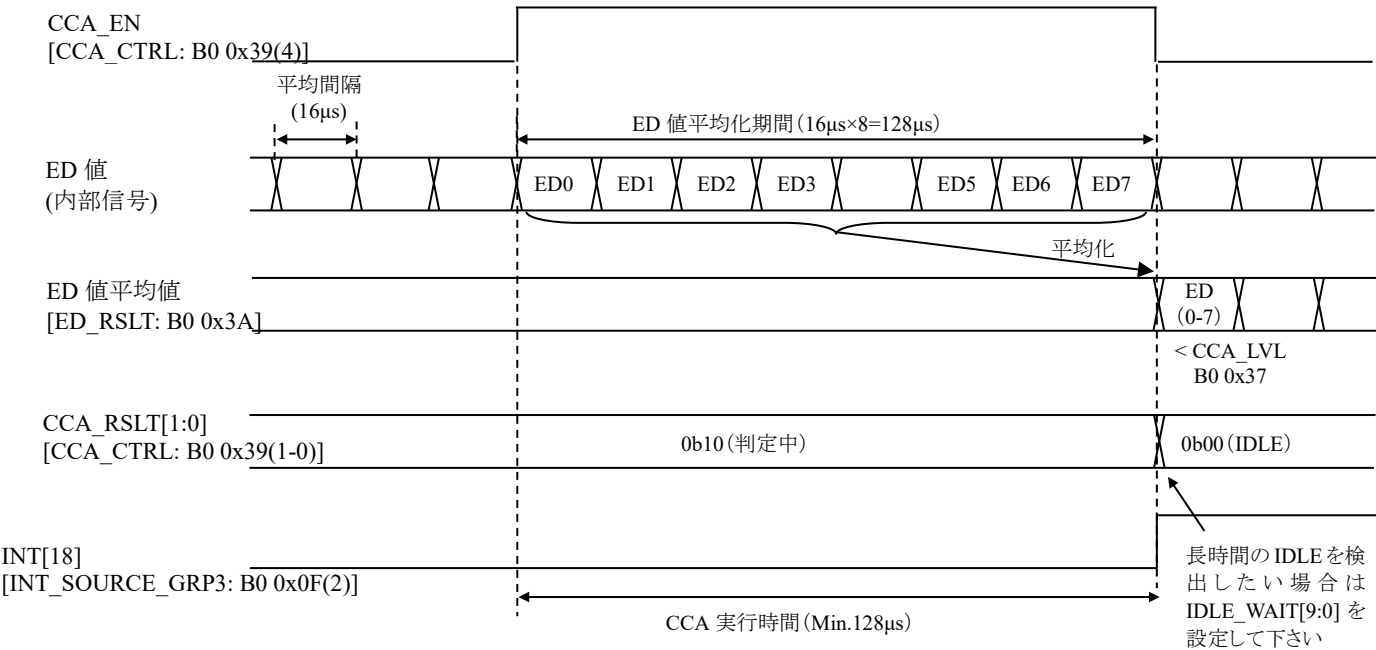
以下に通常モード時のタイムチャートを示します。

【条件】

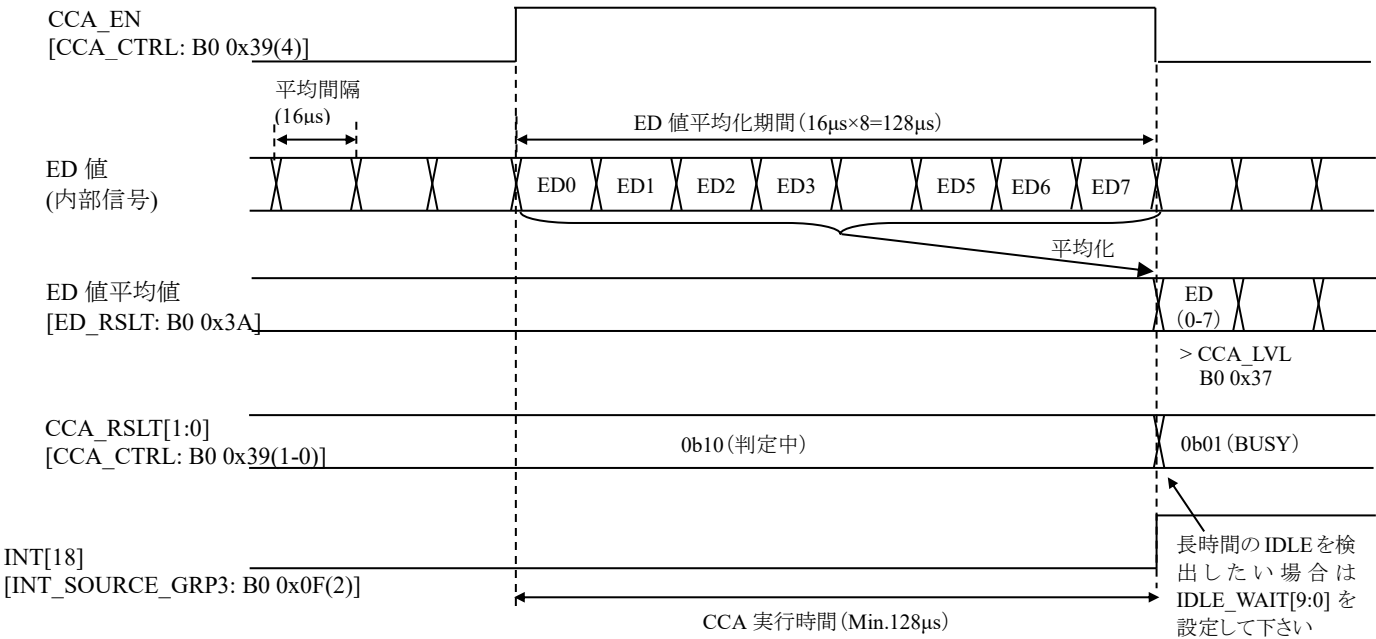
ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs) [IDLE_WAIT_L: B0 0x3C], [IDLE_WAIT_H: B0 0x3B(1-0)]

[IDLE 判定したケース]



[BUSY 判定したケース]



(2) 無限実行モード

無限実行モードはホスト CPU からの停止命令があるまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b1 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(無限実行モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。ED_VALUE([ED_RSLT: B0 0x3A])で表示される ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも大きい場合は BUSY 判定して CCA_RSLT[1:0]に 0b01 を設定しますが、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を設定します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

無限実行モードでは、BUSY または IDLE を検出しても自動停止せず、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 が書き込まれるまで CCA 動作を継続し、結果は ED 値取得される度に更新されます。このとき、CCA 完了割り込み INT[18]([INT_SOURCE_GRP2: B0 0x0F(2)])は通知されません。

以下に無限実行モード時のタイムチャートを示します。

【条件】

ED_AVG[2:0]=0b011 (ED 値 8 回平均)

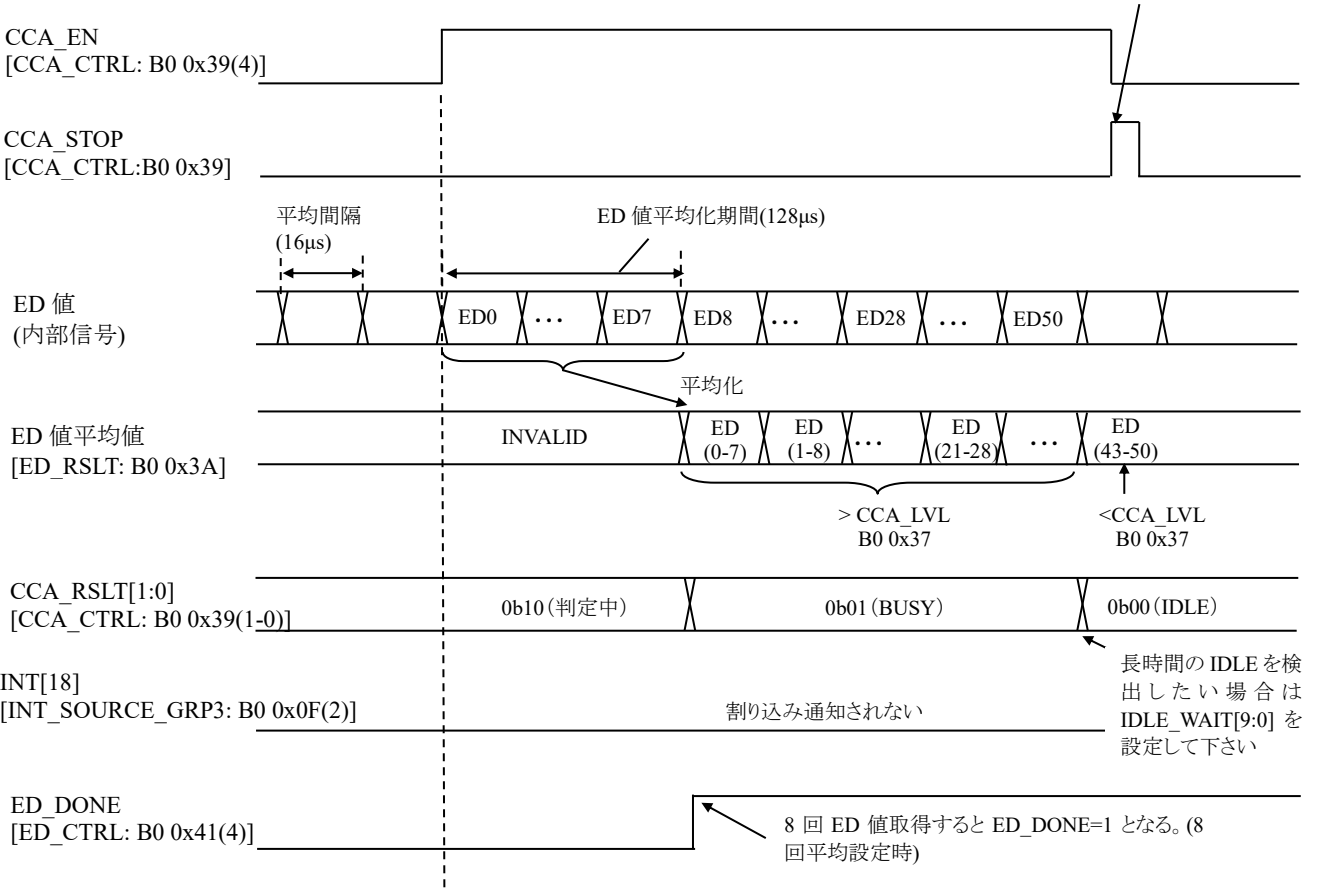
[ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]

[BUSY→IDLE と遷移し、CCA_STOP で終了するケース]

CCA_STOP が発行されると CCA_EN、
CCA_CPU_EN をクリアし、CCA_STOP
ビットは自動クリアされる



(3) IDLE 検出モード

IDLE 検出モードは IDLE を検出するまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b1 を設定している状態で RX_ON をすることで CCA(IDLE 検出モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L], [IDLE_WAIT_H]: B0 0x3B,0x3C]の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

IDLE 検出モードでは、IDLE を検出した場合のみ CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])が通知されます。また、CCA_EN 設定により CCA を実行した場合は CCA_EN(CCA_CTRL: B0 0x39(4))および CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))が 0b0 に自動クリアされます。

IDLE 検出モードでは、BUSY を検出している間は、CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])を通知せず、IDLE 検出を継続します。CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアすると、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合においても IDLE 判定せず、CCA_RSLT[1:0]に 0b11 を表示し、対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

以下に IDLE 検出モード時のタイムチャートを示します。

[BUSY 検出後、CCA 継続して IDLE 判定したケース]

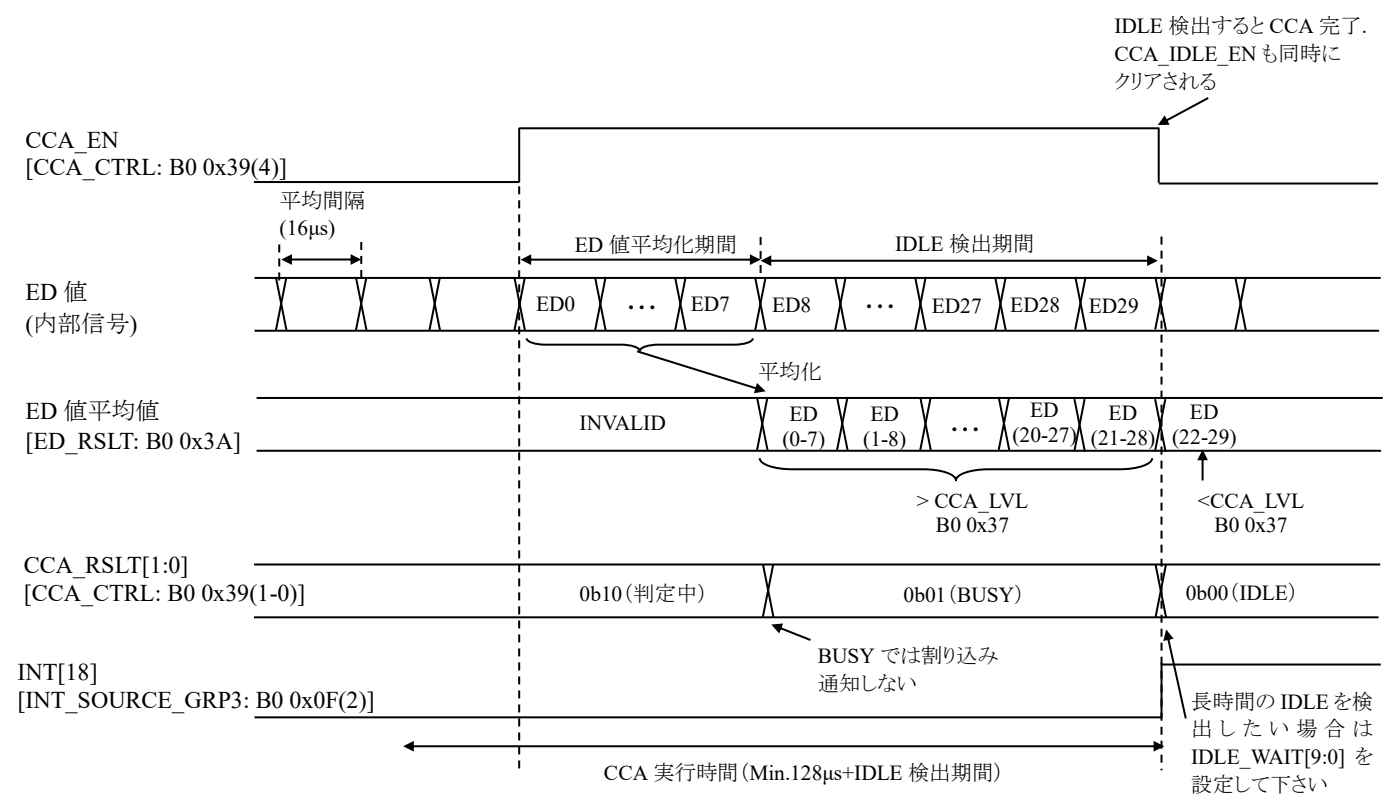
【条件】

ED_AVG[2:0]=0b011 (ED 値 8 回平均)

[ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]



(4) 強入力発生時の IDLE 判定除外について

取得した ED 値が、[CCA_IGNORE_LVL: B0 0x36]で設定される値を超えた場合は、その ED 値が平均化対象である間は IDLE 判定を行いません。この強入力の ED 値を含む[ED_RSLT: B0 0x39]で表示される ED 値の平均値が[CCA_LVL: B0 0x37]で設定される CCA 閾値を超えた場合は”キャリアあり(BUSY)”と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。また、この ED 値の平均値が CCA 閾値以下の場合、”判定中(判定除外の ED 値取得)”とし、CCA_RSLT[1:0]に 0b11 を設定します。

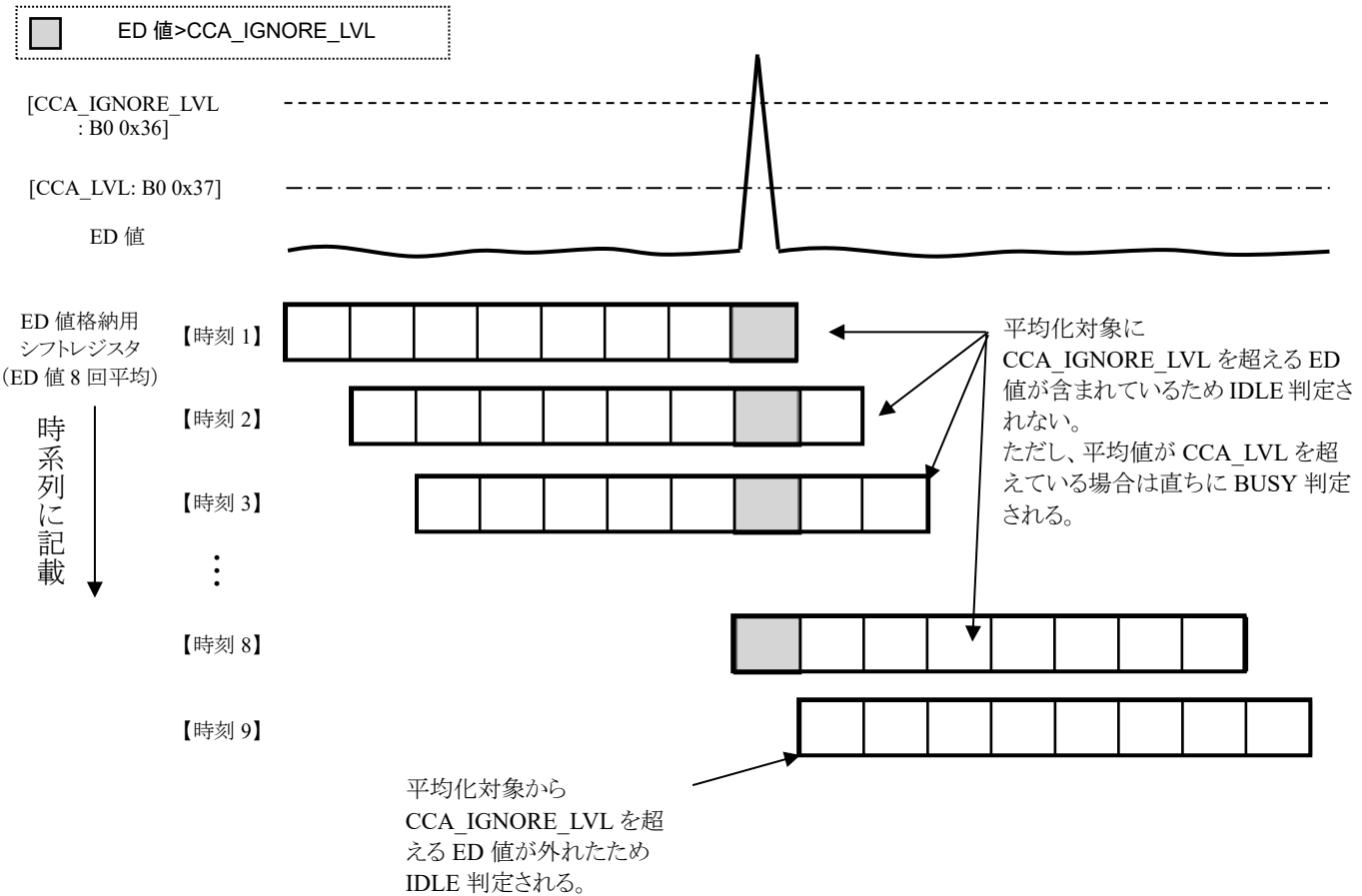
ED 値の移動平均値が[CCA_LVL: B0 0x37]以下の場合でも、その移動平均化対象の ED 値に[CCA_IGNORE_LVL: B0 0x36]を超えるものが含まれていた場合、IDLE 判定を行いません。この時、CCA_RSLT[1:0]には 0b11(判定中)を表示し、IDLE または BUSY 判定されるまで CCA を継続します(IDLE 検出モードの場合は IDLE 判定されるまで、無限実行モードの場合は CCA_STOP([CCA_CTRL: B0 0x39(7)])が発行されるまで CCA を継続します)。

ED 値の移動平均値が[CCA_LVL: B0 0x37]を超えている場合は[CCA_IGNORE_LVL: B0 0x36]の比較結果に関わらず直ちに BUSY 判定します。

【ご注意】

CCA 完了割込みは CCA 結果が IDLE または BUSY 判定された場合にのみ通知されます。従いまして、CCA_IGNORE_LVL を超えるデータが断続的に入力されるような環境下においては、IDLE とも BUSY とも判定されずに CCA が継続されることがあります。

[強入力 ED 値取得時のイメージ図]



以下に強入力 ED 値取得時のタイムチャートを示します。

[IDLE_WAIT カウント中に強入力検出し、平均化対象から強入力が外れた後に IDLE 判定したケース]

【条件】

CCA モード

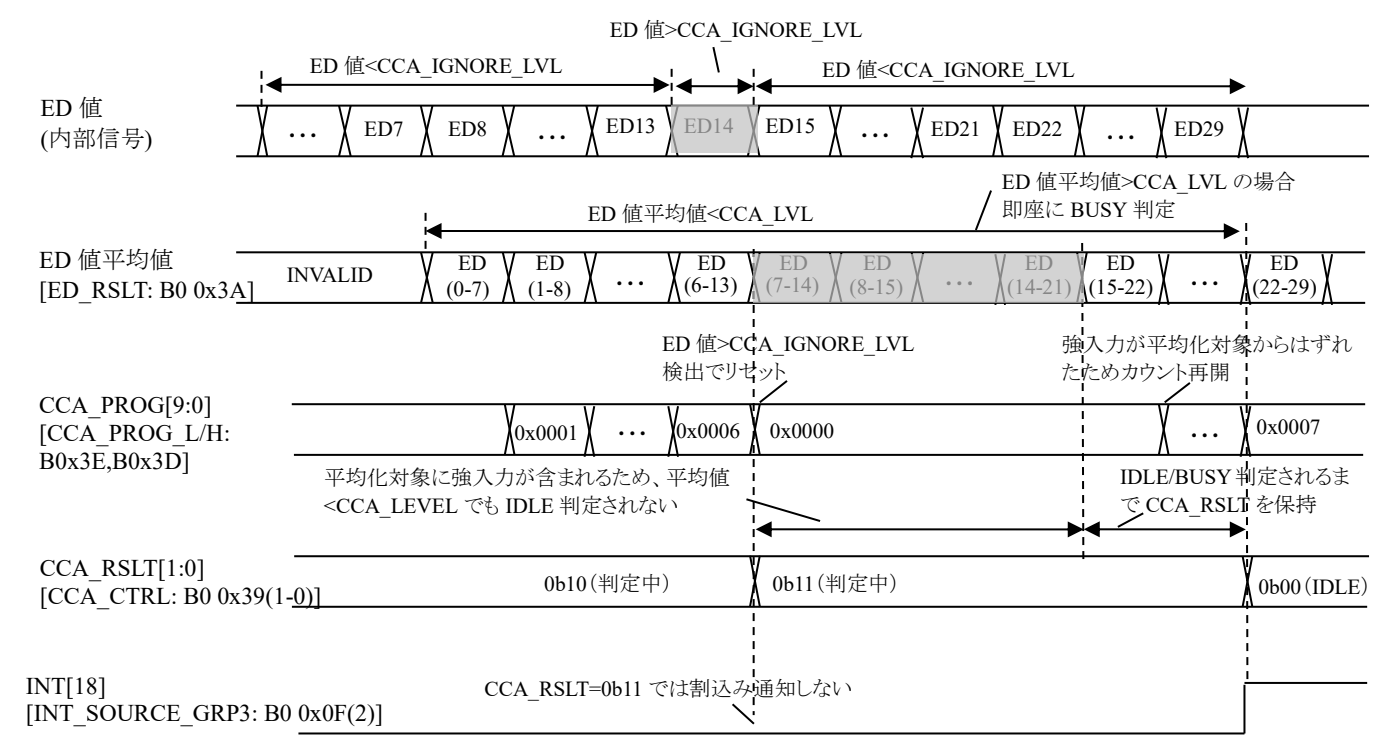
通常モード

ED_AVG[2:0]=0b011 (ED 値 8 回平均)

[ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0111(IDLE 検出期間 112μs)

[IDLE_WAIT_L: B0 0x3C], [IDLE_WAIT_H: B0 0x3B(1-0)]



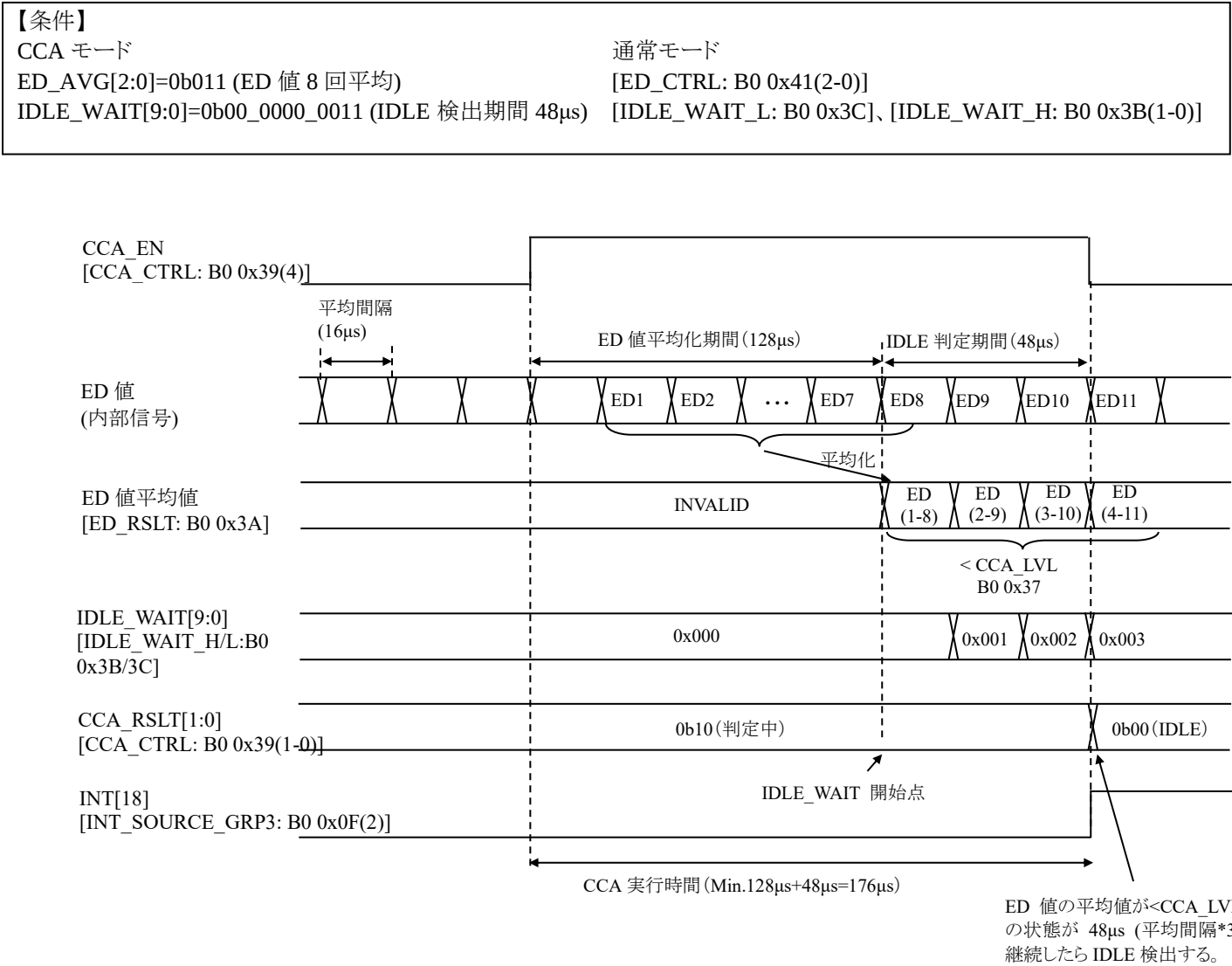
(5) 長時間の IDLE 検出について

長時間で CCA の IDLE 判定を行う場合は、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]の IDLE_WAIT [9:0]で設定することができます。

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]の IDLE_WAIT [9:0]を使用することで、平均化期間(平均間隔 16μs、8 回平均設定の場合 128μs)よりも長い期間の IDLE を検出することが可能です。本機能は、ED 値の移動平均値が[CCA_LVL: B0 0x37]以下の状態が何度継続したかカウントし、継続回数が IDLE_WAIT [9:0]以上となった場合に IDLE 判定する機能です。本機能を使用している場合でも、ED 値の移動平均値が[CCA_LVL: B0 0x37]を越えた場合は IDLE_WAIT [9:0]期間を待たずに直ちに BUSY 判定します。

以下に IDLE_WAIT[9:0]を設定した時のタイムチャートを示します。

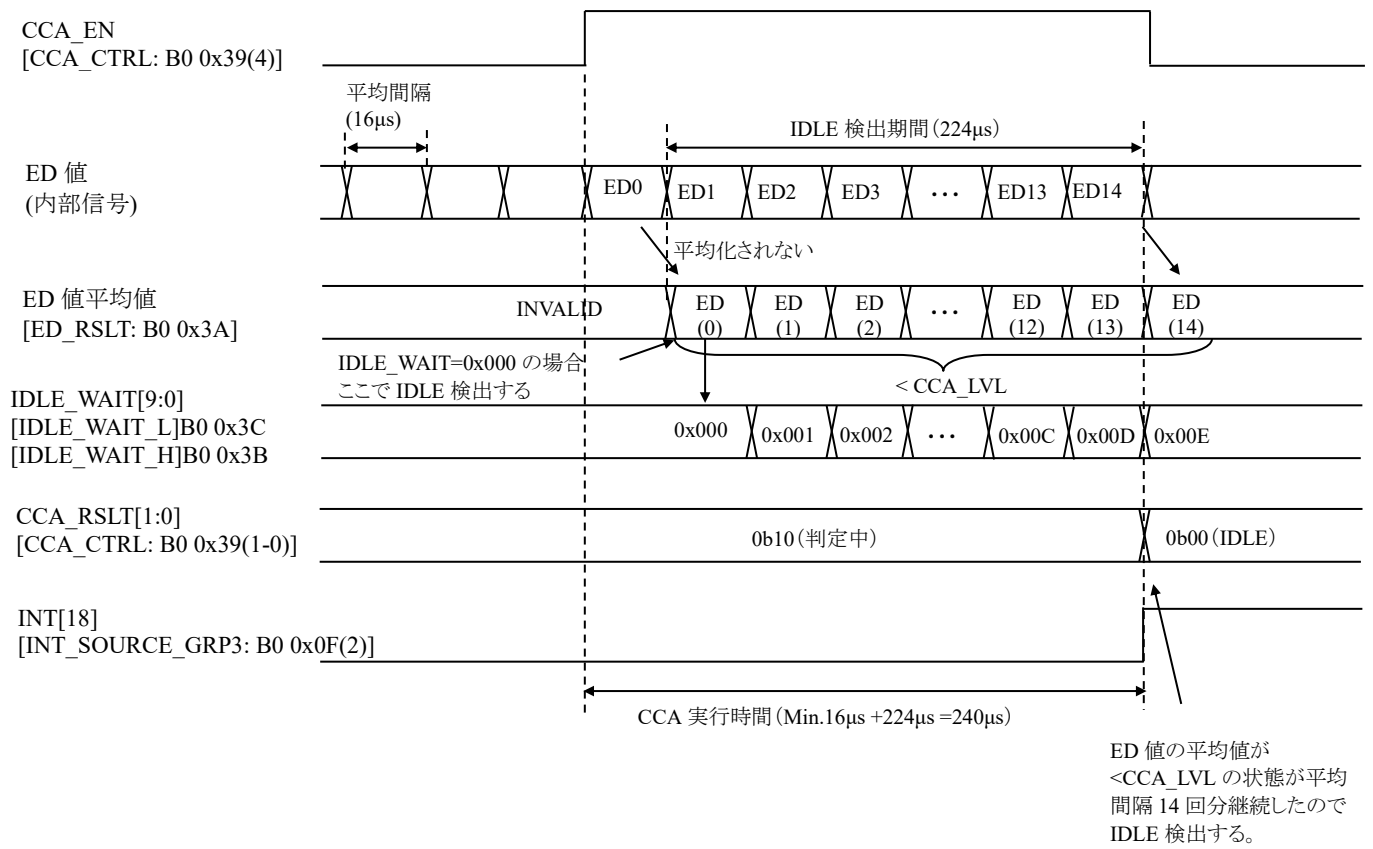
[ED 値 8 回平均で IDLE 判定したケース]



[ED 値 1 回平均で IDLE 判定したケース]

【条件】
CCA モード
ED_AVG[2:0]=0b000 (ED 値 1 回平均)
IDLE_WAIT[9:0]=0b00_0000_1110(IDLE 検出期間 224μs)

通常モード
[ED_CTRL: B0 0x41(2-0)]
[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]

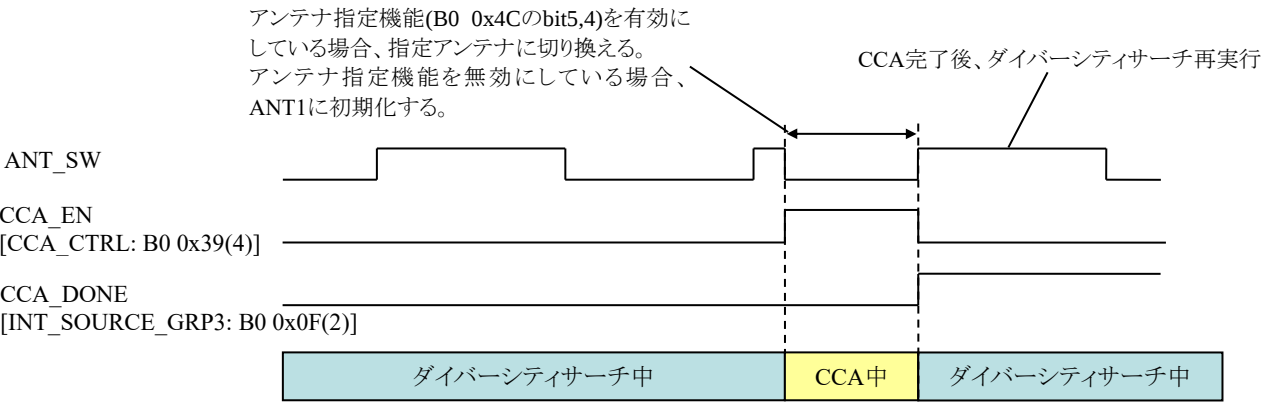


(6) ダイバーシティ使用時の CCA 実行について

①ダイバーシティサーチ中の CCA 実行動作

ダイバーシティサーチ中に CCA 実行指示した場合、ダイバーシティサーチを中止し、CCA が動作します。CCA が動作すると、アンテナは初期値(※1)に固定され、次にダイバーサーチされるまで保持されます。ただし、アンテナ指定機能([ANT_CTRL: B0 0x4C(5-4)])を有効にしている場合はアンテナは同レジスタ機能で指定したアンテナに固定されます。CCA 完了後は、ダイバーシティサーチが再実行されます。

※1：“機能説明ダイバーシティ機能 ANT_SW / TRX_SW 設定“の各表”受信時”欄上段の設定になります。

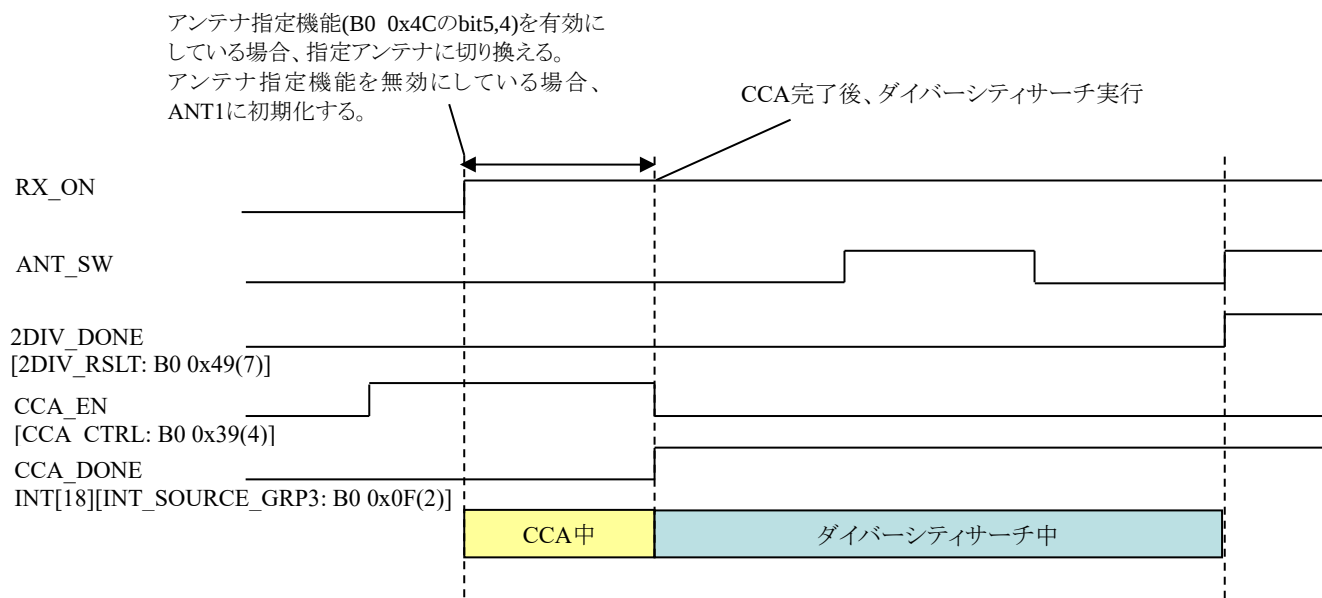


【ご注意】
CCA 中は受信動作が並行していますので、CCA 完了割込みが通知されない場合でも、SyncWord 検出割込み([INT_SOURCE_GRP2: B0 0x0E(5)]), FIFO-Full トリガ割込み([INT_SOURCE_GRP1: B0 0x0D(5)]), 受信完了割込み([INT_SOURCE_GRP3: B0 0x0E(0)]), CRC 検出エラー割込み([INT_SOURCE_GRP3: B0 0x0E(1)])が通知されることがあります。

ダイバーシティ機能詳細につきましては、“ダイバーシティ機能”をご参照下さい。

② ダイバーシティ ON 時、RX_ON 前に CCA 実行設定した場合の動作

RX_ON 遷移前にダイバーシティ ON 設定および CCA 実行設定した場合、RX_ON 遷移後、ダイバーシティサーチ動作せずに CCA が動作します。CCA 完了後、ダイバーシティサーチが実行されます。



(7) CCA 閾値設定方法について

CCA 閾値([CCA_LVL: B0 0x37])には検出したい入力レベルに相当するED 値に、バラツキ(ICの個体バラツキ、温度変動)やその他損失(アンテナ、整合回路での損失等)を考慮し設定する必要があります。入力レベルと ED 値の関係は標準的には以下の式で表されます。

[2.4k/4.8kbps 時]

$$ED \text{ 値} = 255/80 * (120 + \text{入力レベル[dBm]} - \text{バラツキ} - \text{その他損失})$$

CCA 閾値が妥当かどうかの検証は、入力レベルを変化させる毎に CCA 実行し IDLE から BUSY になるレベルを確認することでできます。

●送信関連機能

○ランプ制御機能

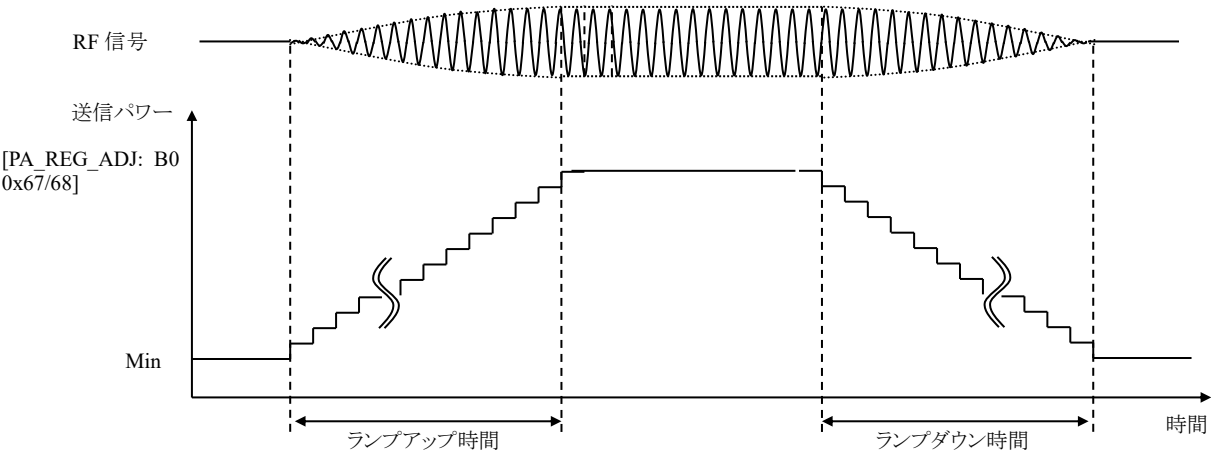
ランプ制御機能により送信起動時および送信停止時のスプリアス発射を低減します。
ランプ制御は以下のレジスタで制御することができます。

設定	レジスタ
ランプ制御カウンタインクリメント設定	RAMP_INC([RAMP_CTRL1: B3 0x41(1-0)])
ランプ制御基準クロック周期設定	RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)])
ランプアップ時間設定	RAMP_CLK_SET_R([RAMP_CTRL2: B3 0x42])
ランプダウン時間設定	RAMP_CLK_SET_F([RAMP_CTRL3: B3 0x43])

ランプアップ時間・ランプダウン時間はそれぞれ下式にて算出することができます。

ランプアップ時間[s] = ランプ制御基準クロック周期設定(RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)])) *
ランプアップ時間設定(RAMP_CLK_SET_R[6:0]([RAMP_CTRL2: B3 0x42(6-0)])) *
最大振幅設定(PA_REG_ADJ[8:0]([PA_REG_ADJ_H: B0 0x67(0), PA_REG_ADJ_L: B0 0x68(7-0)])) /
ランプ制御カウンタインクリメント設定(RAMP_INC[1:0]([RAMP_CTRL1: B3 0x41(1-0)]))

ランプダウン時間[s] = ランプ制御基準クロック周期設定(RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)])) *
ランプダウン時間設定(RAMP_CLK_SET_F[6:0]([RAMP_CTRL3: B3 0x43(6-0)])) *
最大振幅設定(PA_REG_ADJ[8:0]([PA_REG_ADJ_H: B0 0x67(0), PA_REG_ADJ_L: B0 0x68(7-0)])) /
ランプ制御カウンタインクリメント設定(RAMP_INC[1:0]([RAMP_CTRL1: B3 0x41(1-0)]))



ここで、リセット時、最大設定時および Sigfox 向け設定した場合(PA 出力パワー+13dBm 設定時)のランプアップ・ダウン時間(例)は以下となります。

設定レジスタ	リセット時 (最小)	Sigfox 向け 設定時	最大 設定時
RAMP_INC[1:0] ([RAMP_CTRL1: B3 0x41(1-0)])	0x0	0x0	0x0
RAMP_CLK_STEP ([RAMP_CTRL1: B3 0x41(2)])	0x0	0x1	0x1
RAMP_CLK_SET_R[6:0] ([RAMP_CTRL2: B3 0x42(6-0)])	0x01	0x3F	0x7F
RAMP_CLK_SET_F[6:0] ([RAMP_CTRL3: B3 0x43(6-0)])	0x01	0x3F	0x7F
PA_REG_ADJ[8:0]([PA_REG_ADJ_H: B0 0x67(0), PA_REG_ADJ_L: B0 0x68(7-0)])	0x0E4	0x0E4	0x0E4
ランプアップ・ダウン時間	17.7us	17.8ms	25.7ms

●その他の機能

○データレート設定機能

(1)データレート変更方法

本 LSI は以下のレジスタ設定する任意のデータレートにて送受信可能です。

送信時・・・[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]

受信時・・・[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]

送信・受信時のデータレート設定は以下の式に従い設定されます。

【送信時】

送信データレート[bps] = round (マスタークロック周波数[Hz] / 10/ [TX_RATE])

各データレートに対する推奨設定値を以下の表に示します。以下のレジスタ設定値は TX_DRATE([DRATE_SET: B0 0x06(3-0)])を設定することにより、自動的に[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]に設定されます。

送信データレート[kbps]	[TX_RATE_H][TX_RATE_L] 設定値(10 進)	データレート偏差 [%] *1
1.2	3000	0.00
2.4	1500	0.00
4.8	750	0.00
9.6	375	0.00
10.0	360	0.00
19.2	188	-0.27
15.0	240	0.00
32.768	110	-0.12
50	72	0.00
100	36	0.00

*1 データレート偏差は、本 LSI に接続するマスタークロックの周波数偏差が 0ppm 時の値です。

上式により算出される送信データレートにおいて、データレート偏差が大きくなる場合、[TX_RATE2_H: B1 0x7C]および [TX_RATE2_L: B1 0x7D]を用いることにより、データレート偏差をより小さく調整することが可能です。

TX_RATE2[13:0] = round [{1/データレート(bps)} -
 {1 / (マスタークロック周波数(Hz) / TX_RATE[11:0]) × 9}] /
 {1/マスタークロック周波数(Hz)}

【受信時】

$$\text{受信データレート[bps]} = \text{round} \left(\frac{\{\text{マスタークロック周波数[Hz]} / N\}}{\{[RX_RATE1] * [RX_RATE2]\}} \right)$$

※N=1(LOW_RATE_EN=0 設定時)
N=2(LOW_RATE_EN=1 設定時)

各データレートに対する推奨設定値(LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b1 設定時)を以下の表に示します。以下のレジスタ設定値はRX_DRATE([DRATE_SET: B0 0x06(7-4)])を設定することにより、自動的に[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に設定されます。

受信データレート[kbps]	[RX_RATE1_H][RX_RATE1_L] 設定値(10 進)	[RX_RATE2] 設定値(10 進)
1.2	120	125
2.4	60	125
4.8	30	125
9.6	15	125
10.0	15	120
19.2	8	117
15.0	12	100
20	9	100
32.768	5	110
40	5	90
50	3	120
100	2	90

【ご注意】

1. LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b0 設定した場合、上式に従って受信データレートを算出してください。また、LOW_RATE_EN=0b0 設定時、送受信のデータレート設定レジスタ([DRATE_SET: B0 0x06])を設定しても自動で[RX_RATE1_H: B1 0x04][RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に最適値は設定されませんのでご注意ください。

(2)データレート変更に伴う設定

データレートを変更する場合、初期設定レジスタに従いレジスタを変更してください。

【ご注意】

1. 必ず TRX_OFF 状態で設定を変更してください。

○割り込み通知機能

本 LSI は割り込み通知機能を搭載しております。割り込みが発生すると割り込み通知信号(SINTN)を Low にして通知します。割り込み要因は[INT_SOURCE_GRP1: B0 0x0D] [INT_SOURCE_GRP2: B0 0x0E] [INT_SOURCE_GRP3: B0 0x0F]の 3 つのグループに分かれています。また、各割り込みは[INT_EN_GRP1: B0 0x10] [INT_EN_GRP2: B0 0x11] [INT_EN_GRP3: B0 0x12]でマスクすることができます。割り込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は [GPIO1_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。

【ご注意】

マスクされていない割り込み要因がひとつでも発生している場合、SINTN は Low を維持します。

(1) 割り込み要因表

各グループの割り込み要因を下記にまとめます。

レジスタ	割り込み名	機能
INT_SOURCE_GRP1	INT[0]	クロック安定化完了割り込み
	INT[1]	VCO キャリブレーション完了割り込み または Fuse アクセス完了割り込み または IQ 調整完了割り込み
	INT[2]	PLL ロック外れ割り込み または VCO 調整電圧範囲外検出割り込み
	INT[3]	RF 状態遷移完了割り込み
	INT[4]	FIFO-EMPTY 割り込み
	INT[5]	FIFO-FULL 割り込み
	INT[6]	ウェイクアップ割り込み
	INT[7]	クロックキャリブレーション完了割り込み
INT_SOURCE_GRP2	INT[8]	データ受信完了割り込み
	INT[9]	CRC エラー割り込み
	INT[10]	ダイバシティサーチ完了割り込み
	INT[11]	受信 Length エラー割り込み
	INT[12]	予約
	INT[13]	SyncWord 検出割り込み
	INT[14]	Field チェック割り込み
	INT[15]	Sync エラー割り込み
INT_SOURCE_GRP3	INT[16]	データ送信 完了割り込み
	INT[17]	データ送信要求受付完了割り込み
	INT[18]	CCA 完了割り込み
	INT[19]	送信 Length エラー割り込み
	INT[20]	送信 FIFO アクセスエラー割り込み
	INT[21]	予約
	INT[22]	汎用タイマ 1 割り込み
	INT[23]	汎用タイマ 2 割り込み

(2) 割り込み発生タイミング

各割り込み通知において、各基点から割り込み発生までの時間、または割り込み発生タイミングを以下に示します。割り込み通知待ちのタイムアウト処理は以下を参照してください。

【ご注意】

- (1) 下表中の数値は 100kbps 時の値となります。任意のシンボルレートの場合、下表中のシンボル時間と記載される数値がシンボル周期に置き換えた数値となります。
- (2) 下表中の数値は下記フォーマットの送受信データを用いた場合です。

10 バイト	2 バイト	1 バイト	24 バイト	2 バイト
プリアンブル	SyncWord	Length	ユーザデータ	最終 CRC

- (3) 各割り込み通知を OFF 設定した場合でも本 LSI 内部に割り込みを保持した状態となります。よって、割り込みをクリアせずに割り込み通知 OFF 設定から ON 設定とした場合は割り込みが通知されます。割り込みが発生した場合は、割り込み通知 OFF 後に割り込みクリアすることを推奨いたします。

割り込み通知			基点	基点から割り込み発生までの時間 または、割り込み発生タイミング
INT[0]	クロック安定化完了	水晶発振回路使用時	RESETN 解除 (電源投入時)	300～500μs
			SLEEP 解除 (SLEEP 復帰時)	300～500μs
		TCXO 使用時	TCXO_EN 設定時 (電源投入時)	10～500μs
			SLEEP 解除 (SLEEP 復帰時)	10～500μs
INT[1]	VCO キャリブレーション完了		VCO キャリブレーション実行開始	9ms
INT[2]	PLL ロック外れ検出		-	(送信時) PA_ON 以降の送信中 (受信時) RX イネーブル以降の受信中
	VCO 調整電圧範囲外検出		-	(送信時) PA_ON の立ち上がりタイミング (受信時) RX イネーブルの立ち上がりタイミング
INT[3]	RF 状態遷移完了		TX_ON 命令	(IDLE 時) 143μs (受信時) 24μs
			RX_ON 命令	(IDLE 時) 118μs (送信時) 25μs
			TRX_OFF 命令	(送信時) 24μs (受信時) 5μs
			Force_TRX_OFF 命令	(送信時) 24μs (受信時) 5μs
INT[4]	FIFO-EMPTY		TX_ON 命令 (送信) (※1)	Emptyトリガレベルを 0x02 と設定していた場合 (符号化 NRZ 時) RF 起動(210μs)+(プリアンブル～データ 22 バイト)×10(ビット時間)=3010μs)
			-(受信)	FIFO リードにより FIFO 使用量がトリガレベルを下回った時
INT[5]	FIFO-FULL		-(送信)	FIFO ライトにより FIFO 使用量がトリガレベルを超えた時
			SyncWord 検出 (受信)	Fullトリガレベルを 0x05 と設定していた場合 (符号化 NRZ 時) 500μs(データ 5 バイト×10μs(ビット時間))
INT[6]	ウェイクアップ完了		SLEEP 設定	ウェイクアップタイマ満了時 詳細は「ウェイクアップタイマ」を参照してください。
INT[7]	クロックキャリブレーション完了		キャリブレーション開始	キャリブレーションタイマ満了時 詳細は「低速クロック補正補助機能」を参照してください。
INT[8]	データ受信完了		SyncWord 検出	L-field が 1 バイト、NRZ 符号化の場合、2160μs 後 (L-field 長(8bit)×10(シンボル時間)=80μs、データ長((Data～CRC:bit)×10(シンボル時間)=2080μs))
INT[9]	CRC エラー		SyncWord 検出	(FormatA/B)各 CRC 演算ブロック受信完了時

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
			(FormatC)受信完了時
INT[10]	ダイバーシティサーチ完了	-	ダイバーシティイネーブル設定状態での SyncWord 検出時
INT[11]	受信 Length エラー	SyncWord 検出	80 μ s(L-field 1 バイト時) 160 μ s(L-field 2 バイト時)
INT[12]	予約	-	-
INT[13]	SyncWord 検出	-	SyncWord 検出時
INT[14]	Field チェック	-	Field チェックにより一致または不一致を検出した時
INT[15]	Sync エラー	-	SyncWord 検出以降の受信中に同期が外れた時 (RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])に 0b00 または 0b11 設定時)
INT[16]	データ送信完了	TX_ON 命令 (*1)	RF 起動+[送信データ数+3](ビット)後 =210 μ s+315 ビット x 10 μ s (ビット時間)=3360 μ s 後
INT[17]	データ送信要求受付完了	-	Length 分のデータを全て送信 FIFO にライト完了したとき (FAST_TX モードを使用し、FIFOトリガによりデータ書き足しを行う場合は送信中になります)
INT[18]	CCA 完了	CCA 実行開始	(1)通常モード (ED 値平均回数+ IDLE_WAIT 設定) $\times$ 平均間隔 (2) IDLE 検出モード ○IDLE 判定の場合 (ED 値平均回数+ IDLE_WAIT 設定) $\times$ 平均間隔 ○BUSY 判定の場合 ED 値平均回数 $\times$ 平均間隔 平均間隔は 16 μ s となります。
INT[19]	送信 Length エラー	-	[TX_PKT_LEN_H/L: B0 0x7A/0x7B]への Length 設定時
INT[20]	送信 FIFO アクセスエラー	-	(1)FIFO に空きがない状態でデータ書き込みを行った時 (2)FIFO の書き足し時にオーバーフローが発生した時 (3)送信中に送信すべきデータがなくなった時
INT[21]	予約	-	-
INT[22]	汎用タイマ 1	タイマ開始	汎用タイマ 1 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT1_TIMER: B0 0x34])後
INT[23]	汎用タイマ 2	タイマ開始	汎用タイマ 2 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT2_TIMER: B0 0x35])後

(*1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

(2) 割り込みクリア条件

割り込み通知		推奨割り込みクリアタイミング
INT[0]	クロック安定化終了	
INT[1]	VCO キャリブレーション完了 VCO 調整電圧範囲外検出	
INT[2]	PLL ロック外れ検出	
INT[3]	RF 状態遷移完了	
INT[4]	FIFO-EMPTY	次の EMPTY トリガ発生タイミングまでにクリア
INT[5]	FIFO-FULL	次の FULL トリガ発生タイミングまでにクリア
INT[6]	ウェイクアップ完了	
INT[7]	クロックキャリブレーション	
INT[8]	データ受信完了	次のパケット受信前までにクリア
INT[9]	CRC エラー	次のパケット受信前までにクリア
INT[10]	ダイバーシティサーチ完了	割り込み発生後
INT[11]	受信 Length エラー	
INT[12]	予約	
INT[13]	SyncWord 検出	
INT[14]	Field チェック	
INT[15]	Sync エラー	
INT[16/]	データ送信完了	次のパケット送信前までにクリア
INT[17]	データ送信要求受付完了	次のパケット受信前までにクリア
INT[18]	CCA 完了	次の CCA 実行までにクリア ※ただし、割り込みクリアにより CCA 結果もクリアされます。
INT[19]	送信 Length エラー	
INT[20]	送信 FIFO アクセスエラー	次のパケット送信前までにクリア
INT[21]	予約	
INT[22]	汎用タイマ 1	
INT[23]	汎用タイマ 2	

○低速クロック補正補助機能

本 LSI は、ウェイクアップタイマ用クロック(外部入力、内蔵 RC 発振回路出力)の周波数を調整するための補助機能として、低速クロック周波数のずれを検出する機能を持っています。本機能は以下のレジスタにより設定、使用することができます。本機能により検出したウェイクアップタイマ用クロック周波数のずれを考慮し、ウェイクアップタイマ間隔設定 ([WUT_INTERVAL_H/L: B0 0x2F/0x30])または動作継続タイマ間隔設定([WU_DURATION: B0 0x31])を調整することで、より正確なタイマ動作をさせることが可能となります。

設定	レジスタ
周波数ずれ検出用 クロック周波数設定	[CLK_CAL_SET: B0 0x70]
キャリブレーション時間	[CLK_CAL_TIME: B0 0x71]
キャリブレーション結果表示	[CLK_CAL_H: B0 0x72]および[CLK_CAL_L: B0 0x73]

本機能は、ウェイクアップタイマ用低速クロック周期間を LSI 内部の高精度、高速クロックによりカウントを行い、カウント結果を [CLK_CAL_H/L: B0 0x72/0x73]レジスタに表示します。上記設定とカウント数との関係は以下の通りとなります。

高速クロックカウント数 = {ウェイクアップタイマ用クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) *
キャリブレーション時間設定([CLK_CAL_TIME : B0 0x71(5-0)])} /
{マスタークロック周期(36MHz) / クロック分周設定値([CLK_CAL_SET: B0 0x70(7-4)])}

このときの、キャリブレーション時間は下式となります。

クロックキャリブレーション時間[sec] = ウェイクアップタイマ用クロック周期 * キャリブレーション時間設定

(ウェイクアップタイマ補正例)
内部高速クロックの分周設定なし、キャリブレーション時間 10 サイクル、ウェイクアップタイマ設定 1000(0x3E8)を設定した場合

条件: ウェイクアップタイマ用クロック周波数 = 32.768kHz
検出用クロック分周設定 CLK_CAL_DIV[3:0] ([CLK_CAL_SET: B0 0x70(7-4)])= 0b0000
キャリブレーション時間設定 [CLK_CAL_TIME] = 0x0A
ウェイクアップタイマ設定 [WUT_INTERVAL:B0 0x2F,30] = 0x03E8(1000)

理想的な高速クロックカウント数は、

高速クロックカウント数 = (1/32.768kHz) * 10 / (1/36MHz)
= 10986(0x2AEA)

ここで、[CLK_CAL_H/L:B0 0x72,73]レジスタで 0x2A03(10755)を得た場合、
カウンタズレ値 = 10755 - 10986 = -231
周波数ズレ = 1/[{1/32.768kHz + (- 231) / 10 * 1/36MHz}] - 32.768kHz = 703.78Hz
となり、低速クロック周波数誤差が+2.18%であることが分かります。この場合、ウェイクアップタイマ用カウンターの補正值(C)は、

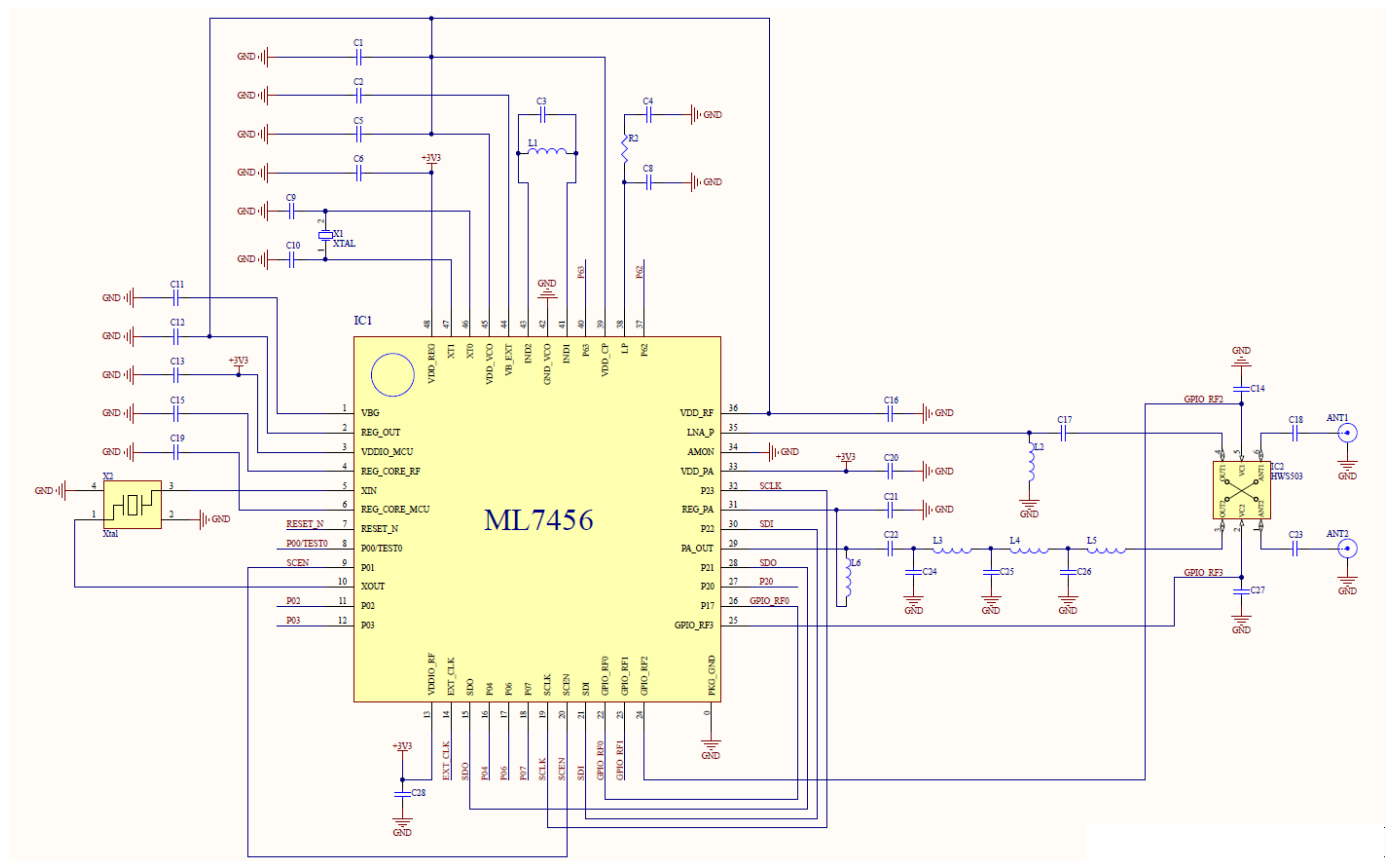
C= ウェイクアップタイマ設定値 ([WU_INTERVAL_H/L:B0 0x2F,30]) * 周波数ズレ / 32.768kHz
= 1000 * 703.78Hz / 32.768kHz
= 21

ウェイクアップタイマ設定値 = 1000 + 21 = 1021 = 0x03FD を設定することで、32.768kHz で設定しようとしたタイマ時間に近づきます。

【ご注意】

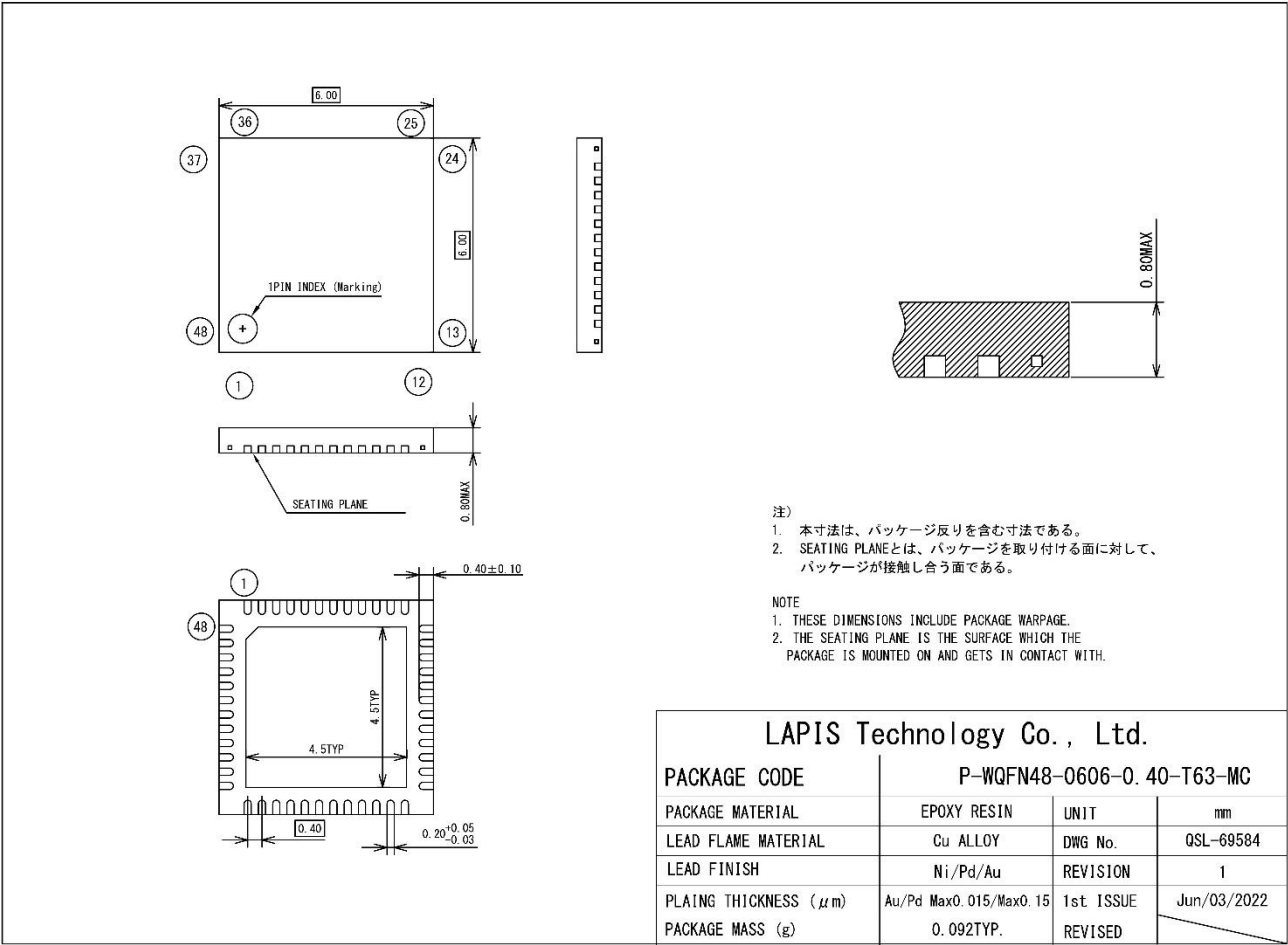
1. キャリブレーション時間が短い場合やクロック分周設定値が大きく、高速クロックカウンタの時間分解能が粗い場合、キャリブレーション精度が低くなります。
2. マスタークロックが 36MHz 時、[CLK_CAL_TIME: B0 0x71]=0x3F 設定した場合、クロックキャリブレーション結果表示値([CLK_CAL_H/L: B0 0x72/73])の上限を超えるため、0x3E 以下の値を設定してください。

■応用回路例



詳細はデザインガイドをご参照ください。

■パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7456N-01	2022.6.23	-	-	1 版発行
FJDL7456N-02	2022.9.12	46	46	[電氣的特性]-[RF]-[RF 特性] 受信特性追加
FJDL7456N-03	2022.10.26	5	5	[特長] ファンクショナルタイマ、16 ビットタイマ チャンネル数更新
		7	7	[特長] 消費電流 受信時更新
		40	40	[電氣的特性]-[MCU]-[アナログコンパレータ特性] 入力オフセット条件変更
		41	41	[電氣的特性]-[MCU]-[逐次比較型 A/D コンバータ特性] 条件変更
		43	43	[電氣的特性]-[RF]-[電源電流特性] 受信電流更新
FJDL7456N-04	2023.11.1	1	1	用途の追加
		218	218	ご注意の更新
		1	1	製品名の追加
FJDL7456N-05	2024.1.10	218	218	ご注意の更新

(ご注意) 誤記、表現の変更および修正は含まれません。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(*)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされております。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021-2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>