



お客様各位

## 資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。

なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。

以上、ご理解の程よろしく願いいたします。

2024年4月1日  
ローム株式会社

# ML86112

CVBS – MIPI CSI2/LVTTL 変換 LSI

## ■ 概要

ML86112 は、NTSC、PAL 方式のアナログビデオ信号を MIPI-CSI2 もしくは LVTTL に変換する LSI です。

アナログビデオ入力には 10bit AD コンバータを内蔵し、コンポジットビデオの差動 2 入力またはシングルエンド 4 入力が可能です。

コンポジット信号は 2 次元 Y/C 分離フィルタにより、輝度信号、色差信号に分離され、デジタル映像信号として出力されます。

サンプリング方式は、内蔵 PLL を利用したラインロッククロックサンプリング方式です。

MIPI-CSI2 出力は YUV422 8bit 形式で出力します。LVTTL 出力は ITU-R BT.601/BT.656YCbCr 標準デジタルフォーマットの出力です。

## ■ 特徴

### ● アナログビデオデコーダ

入力形式	: NTSC-M、J、443 PAL-B、B1、D、G、H、I、K、M、N、Nc、60
アナログ入力ポート	: シングルエンド コンポジットビデオ入力 4ch 差動 コンポジットビデオ入力 2ch
AD コンバータ	: 10bit ADC
オシレータバッファ搭載 対応サンプリング周波数	: 参照クロックとして水晶発振子(32MHz または 25MHz)を外付
NTSC(ITU-R BT.601)	: 27.0000 MHz
NTSC(Square pixel)	: 24.5454 MHz
NTSC(4fsc)	: 28.6363 MHz
PAL(ITU-R BT.601)	: 27.0000 MHz
PAL(Square pixel)	: 29.5000 MHz
サンプリング方式	: ラインロッククロックサンプリング方式
Y/C 分離	: 適応型 2 次元 Y/C 分離フィルタ
輝度レベル調整	: AGC (オート輝度調整) / MGC (マニュアル輝度調整) / ピーク AGC
色レベル調整	: ACC (オート色調整) / MCC (マニュアル色調整)
コントラスト調整	: 128 を中心に傾き 1/32 ~ 63/32 間で調整可能
輝度オフセット調整	: -7IRE ~ 7IRE 間で調整可能
輪郭補正	: 高域の周波数成分を強調 (輝度信号)
色相調整	: -180° ~ 180° 間で調整可能
CTI	: 色レベル変化の改善
入力映像信号方式自動判定	: NTSC / PAL 自動認識 サンプリングクロックが 27.0000MHz(ITU-R BT.601)および 28.6363MHz(NTSC 4fsc)時に有効
VBI データ検出	: クローズドキャプション NTSC に対応 CGMS NTSC に対応 WSS PAL に対応



- I/P 変換機能 : フィールド内補間
- デジタルビデオ出力 : MIPI-CSI2 出力または LVTTTL 出力(BT.656)を選択可能  
MIPI-CSI2 Transmitter (1 lane) を搭載
  - 出力形式 : MIPI-CSI2 YUV422 8bit  
Continuous Clock 動作  
端子/レジスタ制御による出力停止(LP モード)
  - LVTTTL ITU-R BT.656-4(同期情報付き YCbCr 4:2:2 8bit  
多重データ)
  - 出力周波数 : MIPI-CSI2 196.4Mbps~472Mbps  
LVTTTL 24.5454MHz~59MHz(シングルエッジクロック)  
12.2727MHz~29.5MHz(ダブルエッジクロック)  
(ピクセル周波数は 12.2727MHz~29.5MHz)
- クロック : MIPI-CSI2 搭載 PLL はサンプリングクロックを参照クロックに使用
- 検出機能 : 入力同期検出
- STATUS 出力 : オープンドレイン出力(外部 1.8V-3.6V pull up)
- スリープ機能 : レジスタ制御でスリープ可能
- ホストインタフェース : I<sup>2</sup>C Slave、Max400kHz  
スレーブアドレス 80h(1000\_000x)、82h(1000\_001x)を選択可能
- 電源電圧 : I/O 部 3.3V ± 0.3V  
アナログ部(AFE / ADC) 3.3V ± 0.3V  
MIPI-Tx 部(HS ドライバ) 3.3V ± 0.3V  
ロジックコア部 1.2V ± 0.06V  
アナログ部(PLL) 1.2V ± 0.06V  
MIPI-Tx 部(PLL / LP ドライバ) 1.2V ± 0.06V
- 動作温度(周囲温度) : -40°C ~ +105°C
- パッケージ : 32ピン 0.5ピッチ プラスチック WQFN  
(WQFN32-0505-0.50)  
ウェットブルフランク Exposed PAD(裏面 GND)

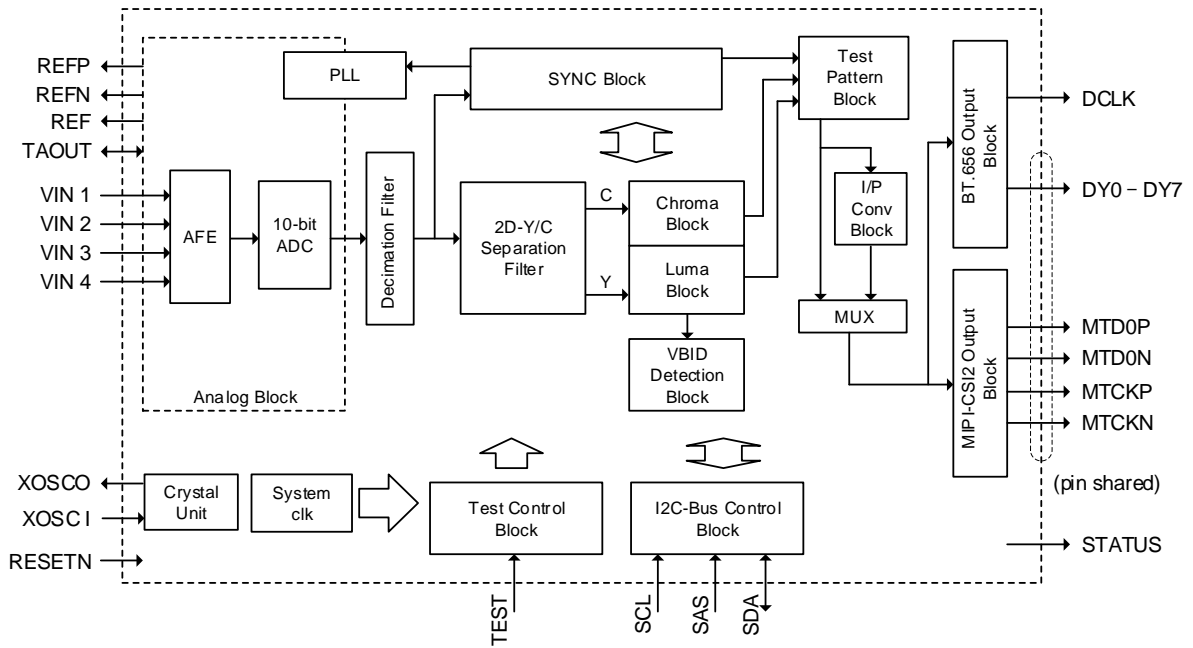
## ■ 用途

- ・ カーナビゲーション
- ・ ディスプレイオーディオ
- ・ RSE(リアシートエンターテイメント)
- ・ ドライブレコーダ

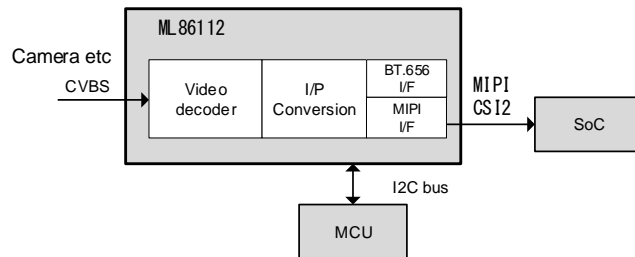
## ■ ラインアップ

品名	出荷形態
ML86112GDZ0AX	トレイ

■ ブロック図

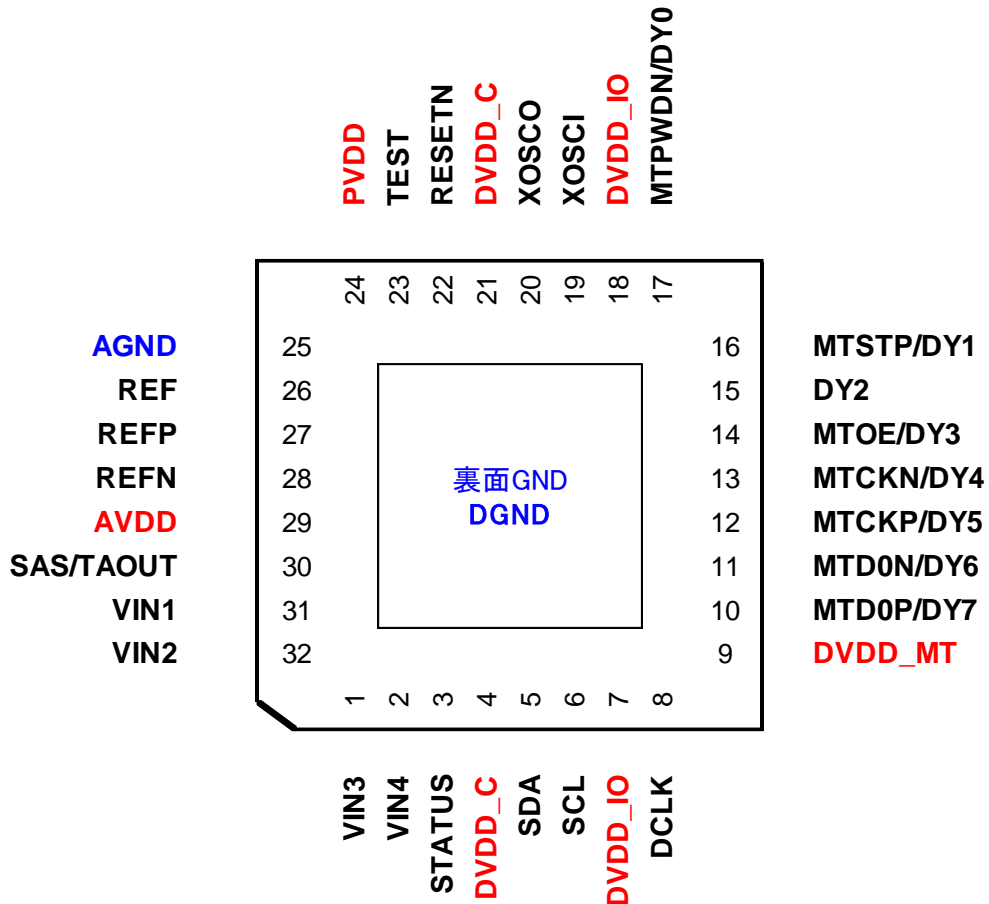


■ アプリケーション例



■ 端子接続（上面図）

32ピン プラスチック WQFN ウェットプルフランク Exposed-PAD(裏面 GND)  
(WQFN32-0505-0.50)



注：端子名が同一の電源端子には、それぞれ同一の電源電圧を印加してください。  
 不使用入力端子は、“L”レベルまたは“H”レベルに固定してください。  
 ただし、不使用入力端子がプルダウン端子の場合は”L”レベルに固定してください。  
 裏面 GND は DGND です。ボード側に裏面 GND 領域と同一サイズのパッドを用意して接続してください。

## ■ 端子一覧

ピン番号	端子名	I/O	1次機能/2次機能	備考
1	VIN3	I	アナログ映像信号(コンポジット)入力端子 3	
2	VIN4	I	アナログ映像信号(コンポジット)入力端子 4	
3	STATUS	O	ステータス出力端子 オープンドレイン出力(Nch)	
4	DVDD_C	-	デジタルコア用 電源 (1.2V)	
5	SDA	I/O	I <sup>2</sup> C バス シリアルデータ入出力端子	ST,5V-tolerant
6	SCL	I	I <sup>2</sup> C バス シリアルクロック入力端子	ST,5V-tolerant
7	DVDD_IO	-	デジタル入出力用 電源 (3.3V)	
8	DCLK	O	デジタルビデオ出力 TTL クロック	
9	DVDD_MT	-	MIPI-Tx 用 電源 (1.2V)	
10	MTD0P/DY7	O	デジタルビデオ出力 MIPI データ / TTL データ 7	
11	MTD0N/DY6	O	デジタルビデオ出力 MIPI データ / TTL データ 6	
12	MTCKP/DY5	O	デジタルビデオ出力 MIPI クロック / TTL データ 5	
13	MTCKN/DY4	O	デジタルビデオ出力 MIPI クロック / TTL データ 4	
14	MTOE/DY3	O	デジタルビデオ出力 MIPI 出力ステータス TTL 出力/TTL データ 3	
15	DY2	O	デジタルビデオ出力 TTL データ 2	
16	MTSTP/DY1	I/O	デジタルビデオ出力 MIPI 出力停止(LPモード)制御 TTL 入力 /TTL データ 1	
17	MTPWDN/DY0	I/O	デジタルビデオ出力 MIPI 動作停止制御 TTL 入力 /TTL データ 0	
18	DVDD_IO	-	デジタル入出力用 電源 (3.3V)	
19	XOSCI	I	オシレータクロック発振入力(HPLL 参照クロック入力)	ST
20	XOSCO	O	オシレータクロック発振出力	
21	DVDD_C	-	デジタルコア用 電源 (1.2V)	
22	RESETN	I	システムリセット信号入力(アクティブ "L")	ST,5V-tolerant
23	TEST	I	テスト端子	PD
24	PVDD	-	PLL 用 電源 (1.2V)	
25	AGND	I/O	アナログ用 グラウンド	
26	REF	I/O	ADC 基準電圧(外部にて 0.01uF で接地)	
27	REFP	-	ADC 基準電圧(外部にて 0.1uF で接地)	
28	REFN	-	ADC 基準電圧(外部にて 0.1uF で接地)	
29	AVDD	-	アナログ用 電源 (3.3V)	
30	SAS/TAOUT	I/O	I2C バス スレーブアドレス選択 / アナログテスト用端子 SAS=0、80h (1000_000x) / SAS=1、82h (1000_001x)	PD
31	VIN1	I	アナログ映像信号(コンポジット)入力端子 1	
32	VIN2	I	アナログ映像信号(コンポジット)入力端子 2	

PD = pull-down. ST = Schmitt Trigger.

注: pull-down 抵抗は、40kΩ です。

## ■ 端子説明

端子名	I/O	機能説明	初期状態
<b>外部 CLK 関連</b>			
XOSCI	I	クロック発振入力(PLL 参照クロック入力) XOSCI 端子と XOSCO 端子との間で水晶発振子を取り付け使用します。 入力するクロック周波数は以下の値となります。 32.000MHz : レジスタ #70h/bit[6:5] (OSC_SEL[1:0])="00" (default) 25.000MHz : レジスタ #70h/bit[6:5] (OSC_SEL[1:0])="01"	入力
XOSCO	O	サンプリング周波数(2 倍)はレジスタ#00h/bit[2:1] (SPMD[1:0]) を変更することで以下の周波数となります。 27.0000MHz : NTSC/PAL ITU-R BT.601 24.5454MHz : NTSC Square pixel 28.6363MHz : NTSC 4fsc 29.5000MHz : PAL Square pixel	"X"
<b>システム関連</b>			
RESETN	I	システムリセット入力 "L" : リセット有効 "H" : 通常動作	入力
TEST	I	テストモード選択 必ず"L"固定で使用してください。	入力 PD
<b>ホストインタフェース関連</b>			
SCL	I	I2C バス シリアルクロック入力 デバイス外部でプルアップしてください。	入力
SDA	I/O	I2C バス シリアルデータ入出力 デバイス外部でプルアップしてください。	入力
SAS	I	I2C バス スレーブアドレス選択 設定可能なスレーブアドレスは以下の 2 通りです。(X:ライト/リード ビット) "L" : 80h (1000_000X) "H" : 82h (1000_001X)	入力 PD
<b>アナログビデオ入力関連</b> ( )付きは他端子の副次機能です。			
VIN1 VIN2 VIN3 VIN4	I	アナログ映像入力端子 コンポジット信号を入力してください。 (注)本端子には外付け回路が必要です。 未使用の VIN 端子は直接 AGND に接続または端子-AGND 間に 0.1uF を接続してください。直接 AGND に接続した場合は 1 端子あたり数十 uA の電流が流れます。	入力
REF, REFP, REFN	O	AD コンバータ リファレンス電圧出力 (注)本端子には外付け回路が必要です。	出力
(TAOUT)	O	アナログテスト用端子	-

注: PD = pull-down.

注: pull-down の内部抵抗は、40kΩ です。

注: 初期状態は1次機能です。

端子名	I/O	機能説明	初期状態
<b>MIPI-CSI2 デジタルビデオ出力関連</b> アナログビデオ信号(デジタル変換後)を出力します。 YUV422 8bit 出力です。			
MTD0P MTD0N	O	MIPI-CSI2 出力データ	HiZ
MTCKP MTCKN	O	MIPI-CSI2 出力クロック	HiZ
MTOE	O	MIPI-CSI2 出力ステータス TTL 出力 “L”：出力不可(起動待ち) “H”：出力可能	“L”
MTSTP	I	MIPI-CSI2 出力停止制御 TTL 入力 “L”：出力イネーブル “H”：出力停止 (LP モード)	入力
MTPWDN	I	MIPI-CSI2 動作停止制御 TTL 入力 “L”：動作イネーブル “H”：動作停止 (HiZ 出力)	入力
<b>LVTTTL デジタルビデオ出力関連</b> アナログビデオ信号(デジタル変換後)を出力します。 ITU-R BT.656-4(同期情報付き YCbCr 4:2:2 8bit 多重データ)形式です。 ( )付きは他端子の副次機能です。			
(DCLK)	O	デジタル映像クロック出力 レジスタ #00/bit[2:1] (SPMD[1:0])で選択されたサンプリングレートに対応したクロックを出力します。入力フォーマット自動判定時は、識別されたモードのサンプリングレートに対応したクロックを出力します。  SDR 動作 レジスタ #03h/bit[1] (DDRO_MODE)=”0” (default)の場合、 インタレース出力時クロック周波数: サンプリングレート x1 プログレッシブ出力時クロック周波数: サンプリングレート x2 DDR 動作 レジスタ #03h/bit[0] (DDRO_MODE)=”1”の場合、 インタレース出力時クロック周波数: サンプリングレート x1/2 プログレッシブ出力時クロック周波数: サンプリングレート x1	“L”
(DY7-0)	O	デジタル映像信号出力 8bit にマルチプレックスされた映像信号を出力します。 初期状態は MIPI-CSI2 動作のため以下の端子状態です。 DY7-DY4 : HiZ DY3-DY2 : “L” DY1-DY0 : 入力 (*) (*DY1,DY0 端子は初期状態が入力となります。そのため LVTTTL 使用時は Pull-Up での使用を推奨いたします。	HiZ/ “L”/ 入力

注： PD = pull-down.

注： pull-down の内部抵抗は、40kΩ です。

注： 初期状態は1次機能です。



端子名	I/O	機能説明	初期状態
<b>ステータス関連</b>			
STATUS	O	<p>ステータス出力 (“L”出力のみ。”H”動作時は Hi-Z)                      ステータス出力使用時は LSI 外部でプルアップ(1.8V-3.6V)してください。                      レジスタ#78h/bit[7:4] STATUS_SEL を設定することで、水平有効期間(HVALID)、垂直有効期間(VVALID)、フィールド信号(ODD/EVEN)、コンポジット同期信号(CSYNC)、有効領域信号(VHVALID)、フィールド周波数判定信号(NTPAL)、同期検出フラグ(HLOCK)、VBI データ検出フラグ(VBID_DET)、HPLL ロックフラグ(LKFLG)、割り込み出力(INT)の中から任意の信号を出力することができます。</p> <p>レジスタ#78h/bit[7:4] = “0000” : 水平有効期間(HVALID)                      レジスタ#78h/bit[7:4] = “0001” : 垂直有効期間(VVALID)                      レジスタ#78h/bit[7:4] = “0010” : フィールド信号(ODD/EVEN)                      レジスタ#78h/bit[7:4] = “0011” : コンポジット同期信号(CSYNC)                      レジスタ#78h/bit[7:4] = “0100” : 有効領域信号(VHVALID)                      レジスタ#78h/bit[7:4] = “0101” : フィールド周波数判定信号(NTPAL)                      レジスタ#78h/bit[7:4] = “0110” : 同期検出フラグ(HLOCK) (default)                      レジスタ#78h/bit[7:4] = “1001” : VBI データ検出フラグ(VBID_DET)                      レジスタ#78h/bit[7:4] = “1110” : HPLL ロックフラグ(LKFLG)                      レジスタ#78h/bit[7:4] = “1111” : 割り込み出力(INT)</p>	Hi-Z
<b>電源</b>			
AVDD	—	アナログ用 3.3V 電源	
AGND	—	アナログ用グラウンド	
PVDD	—	PLL 用 1.2V 電源	
DVDD_MT	—	MIPI-Tx 用 1.2V 電源	
DVDD_IO	—	デジタル入出力用電源、MIPI-Tx 用 3.3V 電源	
DVDD_C	—	デジタルコア用 1.2V 電源	
DGND	—	デジタル用グラウンド(裏面 GND)	

注：PD = pull-down.

注：pull-down の内部抵抗は、40kΩ です。

注：初期状態は1次機能です。

## ■ 機能説明

### 1. アナログビデオ入力

#### 1.1. アナログビデオ入力

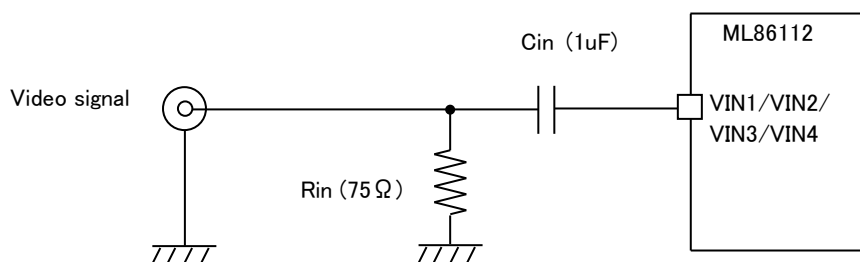
ML86112のアナログビデオ入力は、ITU-R BT.470 で規定されたコンポジットビデオ信号に対応します。アナログビデオ信号は、容量結合により入力します。内蔵のクランプ回路により、同期信号のレベルを検出して直流再生します。(シンクチップクランプ)

クランプしたアナログ信号は、内蔵 ADC によりサンプリングします。使用しない A/D コンバータはスリープモードに入り、消費電力を低減します。

アナログ映像信号を入力する際は、VIN 端子には下図にあるような外付け回路を構成してください。VIN 端子に接続する抵抗は、下図の様に  $75\ \Omega$  で終端してください。

$75\ \Omega$  で終端できない場合は、ML86112 からみた入力抵抗を最大でも  $300\ \Omega$  以下にしてください。

##### (1) シングルエンド入力



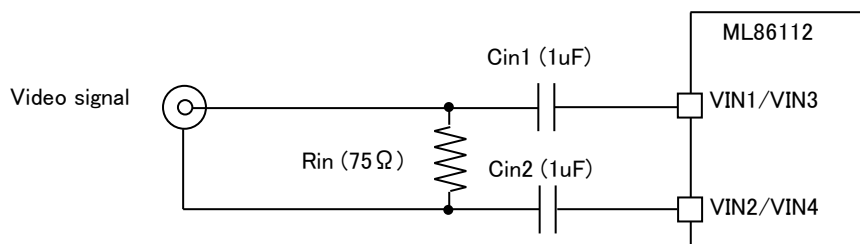
Cin : 積層セラミックコンデンサ (静電容量許容差 $\pm 10\%$ 、温度特性 $\pm 10\%$ )

Rin : 抵抗 ( $\pm 5\%$ の精度)

##### (2) 疑似差動入力

#68h/bit[3:0]=1000(VIN1,VIN2)または 1001(VIN3,VIN4)に設定し、下記接続を行うことで疑似差動入力が可能です。

疑似差動入力時は、#30h/bit[3]=1 および#62h/bit[7]=1 に設定して下さい。



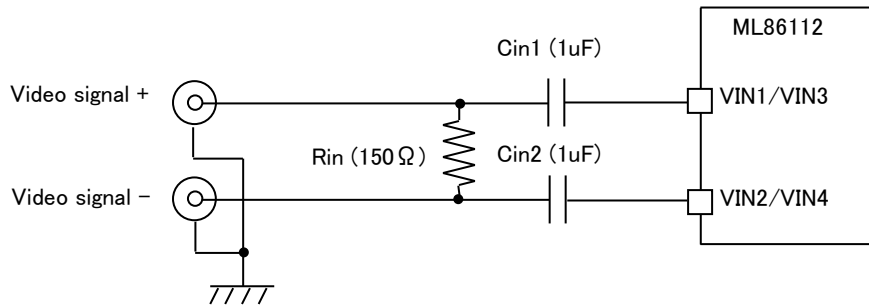
Cin1,Cin2 : 積層セラミックコンデンサ (静電容量許容差 $\pm 10\%$ 、温度特性 $\pm 10\%$ )

Rin : 抵抗 ( $\pm 5\%$ の精度)

(3) 差動入力

#68h/bit[3:0]=1000(VIN1,VIN2)または 1001(VIN3,VIN4)に設定し、下記接続を行うことで差動入力が可能です。

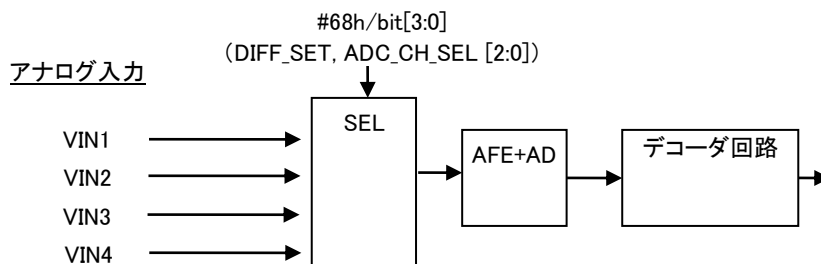
差動入力時は、#30h/bit[3]=1 および#62h/bit[7]=1 に設定して下さい。



Cin1,Cin2 : 積層セラミックコンデンサ (静電容量許容差±10%、温度特性±10%)

Rin : 抵抗 (±5%の精度)

ML86112 はデジタルビデオに変換するアナログビデオ入力を 1 系統選択して使用します。



内部処理回路への入力選択 (#68h/bit[3:0] DIFF\_SET, ADC\_CH\_SEL[2:0])

入力選択 #68h/bit[3:0]	VIN	入力映像信号
0000	シングルエンド VIN1	コンポジットビデオ信号
0001	シングルエンド VIN2	コンポジットビデオ信号
0010	シングルエンド VIN3	コンポジットビデオ信号
0011	シングルエンド VIN4	コンポジットビデオ信号
1000	差動 VIN1(+)/VIN2(-)	コンポジットビデオ信号
1001	差動 VIN3(+)/VIN4(-)	コンポジットビデオ信号
1010-1110	設定禁止	—
1111	アナログスリープ	—

## 1.2. サンプリングクロック

## 1.2.1. サンプリングクロック方式

ML86112 のサンプリングクロック方式は、内蔵 HPLL を用いて入力映像のライン周期にロックするサンプリング方式です。

1ラインの時間を規定のクロック数で分割するようにサンプリングクロックを調整しますので、1ライン、1フレーム(フィールド)のクロック数が常に一定した出力を得られるという利点があります。しかし、非標準映像信号入力に対しては追従が悪く、場合によっては正常な出力画像が得られない場合があります。

内蔵 HPLL 使用時に生成するクロック周波数は、レジスタ#00h/bit[2:1](SPMD[1:0])で設定します。

\* Square-Pixel モード使用時は、上記に加え、さらに#00h/bit[7:4](VIF[3:0])にて NTSC または PAL を選択して使用してください。

レジスタ #00h/bit[2:1]	サンプリング 周波数	対応映像方式
00	27 MHz	NTSC/PAL ( ITU-R BT.601 )
01(*)	24.545454 MHz 29.5 MHz	NTSC ( Square pixel ) PAL ( Square pixel )
10	28.6363 MHz 27 MHz	NTSC ( 4fsc ) PAL ( ITU-R BT.601 )
11	-	設定禁止

外部より供給するクロック周波数の選択はレジスタ #70h/bit[6:5](OSC\_SEL[1:0])で設定します。

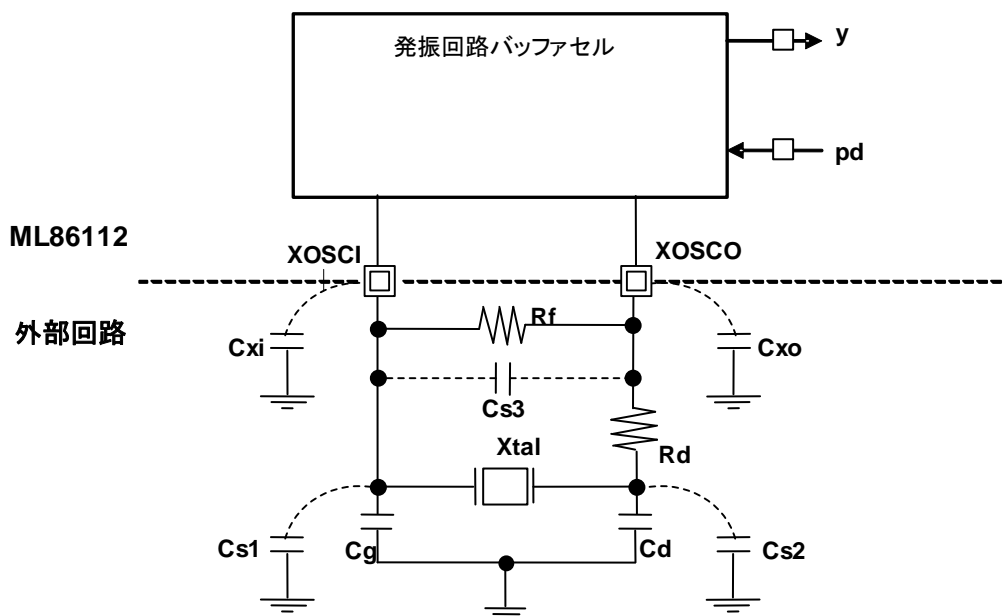
レジスタ #70h/bit[6:5]	入力クロック周波数
00	32.000 MHz
01	25.000 MHz

## 1.2.2. 外部参照クロック

内部 PLL が参照する外部クロックの外付回路構成図及び部品配置例を下図に示します。

外部水晶発振子の周波数は、32MHz または 25MHz を使用してください。

ラインロッククロックの安定性のため 100 ppm 以下の周波数精度をもった水晶発振子を御使用ください。



## 回路定数

以下に参考として、上記回路が安定動作する回路定数例を示します。

Rf	Rd	Cg(*)	Cd(*)	使用可能な振動子の負荷容量 CL
1MΩ	1kΩ	12pF	12pF	8pF

(\*) この値は浮遊容量 Cs1、Cs2、Cs3、LSI の入力容量 Cxi、Cxo を含んでおりません。

浮遊容量はプリント基板の配線パターン等により変動しますので、実験、確認の上この値を決定下さるようお願い致します。詳細は水晶振動子製造元にお問い合わせください。

$$CL \cong (Cg + Cs1 + Cxi) // (Cd + Cs2 + Cxo) + Cs3$$

$$= ((Cg + Cs1 + Cxi) * (Cd + Cs2 + Cxo)) / ((Cg + Cs1 + Cxi) + (Cd + Cs2 + Cxo)) + Cs3$$

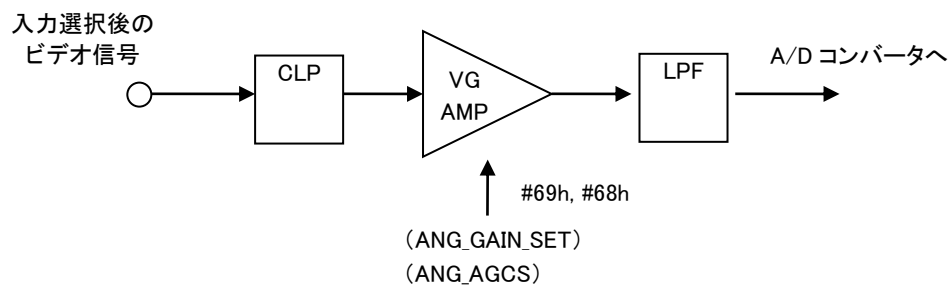
【注意】 アナログ信号のノイズ等によりモジュレーションノイズが出ることがあります。  
その場合、水晶の周波数の変更(32MHz⇔25MHz)を検討して頂くことがあります。

## 1.3. アナログフロントエンド部 (クランプ、LPF、アンプ)

アナログフロントエンド(AFE)では、以下の処理を行います。

- アナログビデオ信号のシンクチップの検出
- 内蔵ADCの入力範囲に変換するためのクランプ動作
- アナログAGC(オートゲインコントロール)機能によるレベル調整
- LPFによるアンチエイリアス処理

AGC機能は、内蔵アンプによる入力レベル調整機能の他に、デジタル部(輝度ブロック)の出力レベル調整機能があります。内蔵アンプのゲイン設定はマニュアルによる設定も可能です。



#### 1.4. CVBS ビデオデコーダ部

CVBS ビデオデコーダ部は、Y/C 分離機能、入力信号方式自動判定、輝度処理、色差処理、同期処理、VBID 検出、デコードデータ出力機能があります。

##### 1.4.1. デシメーションフィルタ

AD コンバータにてピクセル周波数の 2 倍でサンプリングされたデータをピクセル周波数に合わせるためのフィルタです。

##### 1.4.2. Y/C 分離

Y/C 分離は、コンポジットビデオデータを Y(輝度)成分と C(複合色差)成分に分離します。

Y/C 分離方式は、フィールド間演算を行わない2次元分離方式です。入力映像信号方式により、使用する Y/C 分離フィルタ形式が異なります。また、各映像信号方式に対し、Y/C 分離フィルタを選択するモード指定が可能です。

モード選択 #10h/bit[5:4]	Y/C 分離方式	
	NTSC	PAL
00	適応型フィルタ	適応型フィルタ
01	3ラインコムフィルタ	2ラインコムフィルタ
10	トラップフィルタ	トラップフィルタ
11	設定禁止	設定禁止

## 1.4.3. 入力信号方式自動判定

以下の規定に従って、CVBS 入力信号方式を判別します。

信号方式	ライン数 (frame)	フィールド周波数 [Hz]	サブキャリア周波数 (MHz)	Black level (IRE)
NTSC-M	525	59.94	3.58	7.5
NTSC-Japan	525	59.94	3.58	0
PAL-B, B1, D, D1, G, H, I, K	625	50	4.43	0
NTSC-443	525	59.94	4.43	0
PAL-M	525	59.94	3.576	7.5
PAL-N	625	50	4.43	7.5
PAL-Nc	625	50	3.582	0
PAL-60	525	59.94	4.43	0

入力信号方式は、同期分離により再生した水平同期信号、垂直同期信号の周期と、カラーバースト信号から自動的に検出するか、指定した方式を固定的に使用するかを選びます。

入力信号方式のうち、NTSC、NTSC-443、PAL、PAL-M、PAL-N、PAL-Nc については、自動判別が可能です。

NTSC-M と NTSC-J の識別はできません。レジスタ#00h/bit[7:4] (VIF[3:0]) の設定に依存します。

NTSC-443 と PAL-60 の識別は同時に実行できません。レジスタ#04h/bit[7:0] でマスクする映像信号を設定します。

この自動判別機能は、サンプリング周波数が 27MHz (ITU-R BT.601) の場合および NTSC のサンプリング周波数を 4fsc に設定している場合に有効です。

レジスタ#00h/bit[0] (AVMD) = "0" にした場合は、入力の映像信号方式をレジスタ#00h/bit[7:4] (VIF[3:0]) にて設定する必要があります。

レジスタ #00h/bit[7:4]	入力映像方式
0 0 0 0	NTSC-M
0 0 0 1	NTSC-J
0 0 1 0	NTSC-443
0 0 1 1	PAL
0 1 0 0	PAL-M
0 1 0 1	PAL-N
0 1 1 0	PAL-Nc
0 1 1 1	PAL-60



## 1.4.4. 輝度処理

Y/C 分離後の Y(輝度)データは、レベル調整 (AGC) 処理が可能です。レベル調整は、デジタル AGC (Automatic Gain Control) とアナログアンプ AGC があります。

デジタル AGC の倍率上限は約 4 倍です。入力映像信号の振幅が小さい場合はアナログアンプ AGC にて調整を行います。アナログアンプ AGC の倍率は約 0.608 倍～5.4 倍です。

デジタル AGC は、Y/C 分離後の Y(輝度)データの SYNC の深さを参照し、輝度処理の倍率を調整します。コントロールレジスタ #31h/bit[7:0] (AGC\_REF[7:0])で輝度レベルの微調整が可能です。

なお、SYNC の深さにかかわらず、輝度倍率をレジスタで決定するデジタル MGC(Manual Gain Control) モードにすることも可能です。

デジタル AGC/MGC モードはコントロールレジスタ #30h/bit[7:6](AGC\_FT[1:0]) と #30h/bit[4] (LOSET\_E)の設定の組み合わせにより、以下のように分類されます。

#30h/bit[7:6]	#30h/bit[4]	動作
00	0	AGC slow
01	0	AGC medium
10	0	AGC fast
11	0	設定禁止
XX	1	MGC ブラックレベル=検出したペダスタルレベル

## 1.4.5. 色差処理

Y/C 分離後の C(複合色差)データは、色差処理部により Cb と Cr の 2 成分に分離します。色差処理部では、カラーバースト信号を基準にレベル調整し(デジタル ACC:Automatic Color Control)、各映像信号方式に応じた色副搬送波を再生して復調処理をおこない Cb データ と Cr データ に分離します。Cb, Cr データは、色相調整することができます。

色差処理の調整は、コントロールレジスタ #40h～#49h にて行います。

#40h/bit[7:6]	動作
00	ACC fast
01	ACC slow
10	ACC medium
11	MCC

色復調が正常にできないと判断した場合、カラーキラー(色を消す)処理を行います。カラーキラー処理の調整は、コントロールレジスタ #43h にて行います。

#### 1.4.6. 同期処理部

コンポジットビデオデータの Y(輝度)データを用いて、垂直同期信号と水平同期信号を分離します。

同期処理部では、入力信号から同期分離スレッシュホールドを自動生成し同期分離を行い、垂直有効範囲・水平有効範囲を生成します。

水平同期信号検出、垂直同期信号検出結果より、全面に任意色を表示する処理が可能です。任意色出力処理の調整は、コントロールレジスタ #50h～#54h にて行います。同期信号検出結果(HLOCK)は、ステータスレジスタ #91h/bit[1] (ST\_HLCK\_DT) にてモニタ可能です。

HLOCK 判定条件を下記に示します。

- 無入力判定(同期非検出判定)から同期検出判定する場合  
#56h/bit[2:0](HDET\_FLD\_R)および#57h/bit[2:0](HDET\_LINE\_R)で設定された連続フィールド数、連続ライン数の間、入力が検出される状態が続いた場合、入力検出判定を行い HLOCK="L"→"H" に遷移します。
- 同期検出判定から無入力判定(同期非検出判定)する場合  
#56h/bit[6:4](HDET\_FLD\_F)および#57h/bit[6:4](HDET\_LINE\_F)で設定された連続フィールド数、連続ライン数の間、入力が検出されない状態が続いた場合、無入力判定を行い HLOCK="H"→"L" に遷移します。

水平同期検出時のピクセル誤差および水平同期検出のライン誤差より、VTR 信号の入力状態を検出する回路を内蔵しており、VTR 信号入力の検出結果は、ステータスレジスタ #91h/bit[5] (ST\_VTR\_DT) にてモニタ可能です。

#### 1.4.7. VBI データスライサ、コピープロテクト検出

入力映像信号の垂直ブランキング期間(VBI:Vertical Blanking Interval)に重畳されているコピープロテクト情報や各種データを抽出し、コントロールレジスタから読み出すことができます。

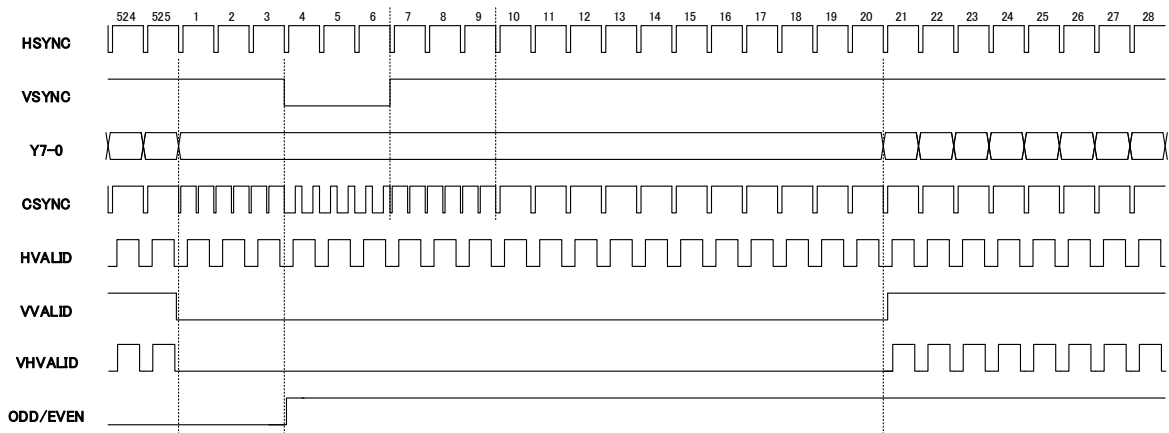
読出し可能なデータは以下の通りです。

- (1) クローズド・キャプション  
字幕などの文字情報、奇数ライン/偶数ラインを保持 (NTSC/PAL)
- (2) WSS (Wide Screen Signaling)  
ETS 300 294 で規定されたワイド映像識別信号 (PAL)
- (3) CGMS-A (Copy Generation Management System - Analog)  
IEC61880 で規定された、コピー世代管理情報 (NTSC)

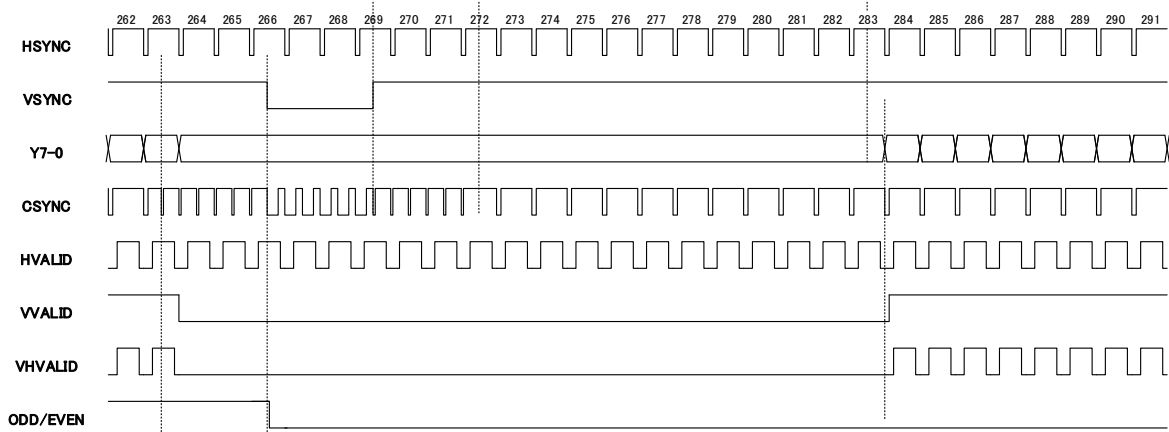
1.4.8. 内部同期信号タイミング

入力映像信号から生成される内部同期信号を示します。STATUS 端子から出力可能な信号について 5.1 STATUS 端子出力 に記載しています。

◆ NTSC 垂直タイミング

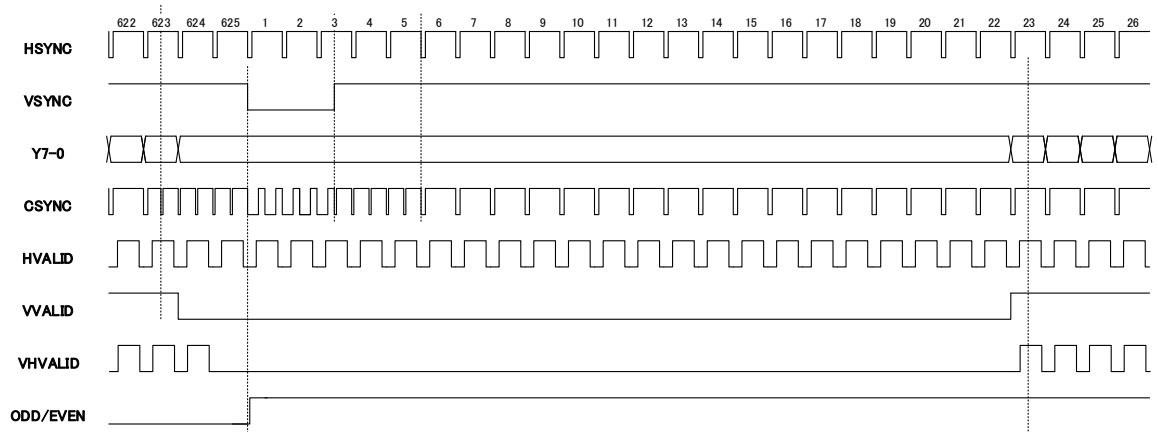


ODD フィールドタイミング

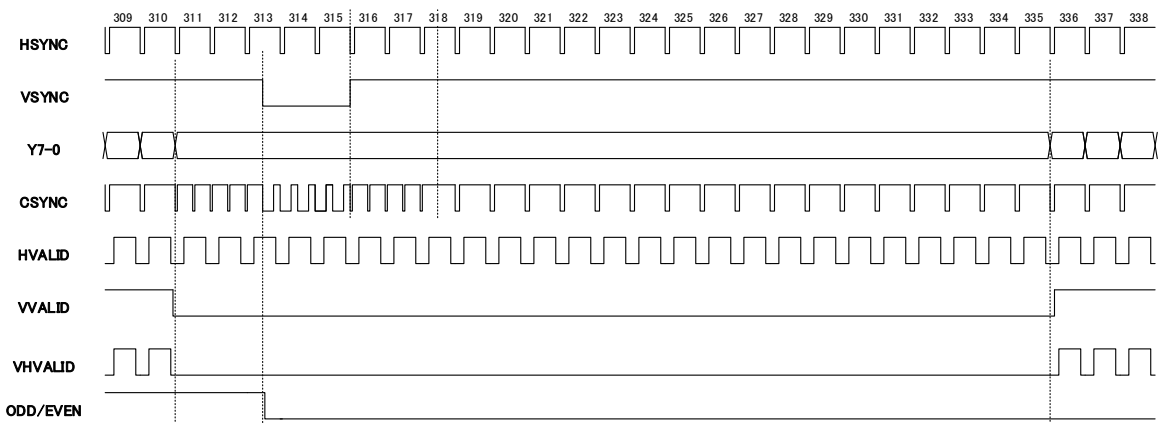


EVEN フィールドタイミング

◆ PAL 垂直タイミング



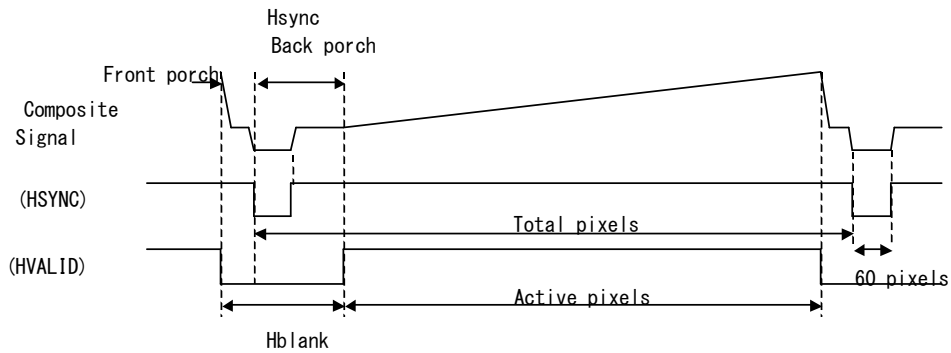
ODD フィールドタイミング



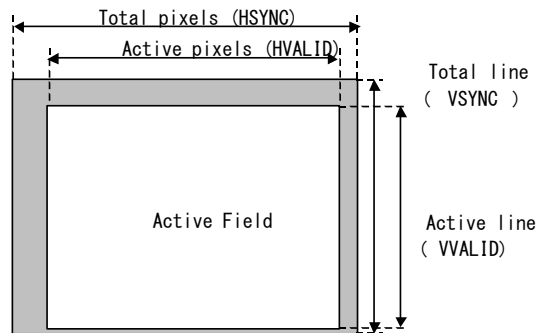
EVEN フィールドタイミング

1.4.9. 入力ビデオモードとピクセル/ライン数

アナログビデオ入力の同期信号は、コンポジットビデオ信号、Y 信号に重畳された複合同期信号から分離して再生します。クロックは、HPLL で生成したクロックを使用します。  
 (VSYNC、HSYNC、VVALID、HVALID は内部信号です。)



注)実際にはビデオ信号入力後、約1.5H の遅延後出力が行われます。



各アナログビデオ入力と、内蔵するビデオデコード処理ピクセル、ラインは以下です。

・ビデオモードとピクセル/ライン数(標準信号入力時)

入力 信号方式	サンプ リング 周波数	水平(ピクセル数)				垂直(ライン数)		
		フロント ポーチ	バック ポーチ	有効 期間	1H トータル	ブランク 期間	有効 期間	1V トータル
NTSC (ITU-R BT.601)	27.000MHz	16	122	720	858	Odd/20 Even/20	Odd/243 Even/242	Odd/262.5 Even/262.5
NTSC (Square pixel)	24.545MHz	22	118	640	780	Odd/20 Even/20	Odd/243 Even/242	Odd/262.5 Even/262.5
NTSC (4FSC)	28.636MHz	16	126	768	910	Odd/20 Even/20	Odd/243 Even/242	Odd/262.5 Even/262.5
PAL (ITU-R BT.601)	27.000MHz	12	132	720	864	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5
PAL (Square pixel)	29.500MHz	34	154	768	944	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5

## 2. 画質調整

ビデオデコーダ部には下記の画質調整機能があります。

- ・輝度レベル調整 : 輝度レベルを調整します。  
AGC(オート輝度調整) / MGC(マニュアル輝度調整) /  
ピーク AGC の設定が可能です。  
関連レジスタ #30h、#31h、#33h
- ・色レベル調整 : 色差レベルを調整します。  
ACC(オート色調整)/MCC(マニュアル色調整)の設定が可能です。  
関連レジスタ #40h、#41h、#46h、#47h
- ・輪郭補正、コアリング : アナログビデオ入力の輝度信号の輪郭補正を行います。  
関連レジスタ #35h
- ・CTI : アナログビデオ入力の色の境界を鮮明にします。  
関連レジスタ #38h
- ・コントラスト調整 : 128 を中心に傾き 1/32 ~ 63/32 間で調整可能です。  
関連レジスタ #36h
- ・輝度オフセット調整 : 明度調整を -7 ~ +7 IRE 間で調整可能です。  
関連レジスタ #37h
- ・色相コントロール : 色位相を調整角 -178.6~+180.0° 間で調整可能です。  
関連レジスタ #45h

## 3. I/P 変換

ご使用の映像処理システムの走査方式(プログレッシブ走査)に合わせて I/P(インタレース/プログレッシブ)変換を行うことができます。I/P 変換は、2 ラインを使用したフィールド内補間方式により補間画素を生成します。

レジスタ設定 #06h/bit[2]	レジスタ設定 #28h/bit[7:0]	出力
0	00h	インタレース
1	44h	プログレッシブ

I/P(インタレース/プログレッシブ)変換有無での出力ピクセル/ライン数は以下の通りです。

[I/P 変換無し] ビデオモードと出力ピクセル/ライン数(標準信号入力時)

入力 信号方式	ピクセル 周波数	水平(ピクセル数)			垂直(ライン数)		
		ブランク 期間	有効 期間	1H トータル	ブランク 期間	有効 期間	1V トータル
NTSC (ITU-R BT.601)	13.500MHz	138	720	858	Odd/19 Even/19	Odd/244 Even/243	Odd/262.5 Even/262.5
NTSC (Square pixel)	12.2727MHz	140	640	780	Odd/19 Even/19	Odd/244 Even/243	Odd/262.5 Even/262.5
NTSC (4FSC)	14.318MHz	142	768	910	Odd/19 Even/19	Odd/244 Even/243	Odd/262.5 Even/262.5
PAL (ITU-R BT.601)	13.500MHz	144	720	864	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5
PAL (Square pixel)	14.750MHz	188	768	944	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5

[I/P 変換有り] ビデオモードと出力ピクセル/ライン数(標準信号入力時)

入力 信号方式	ピクセル 周波数	水平(ピクセル数)			垂直(ライン数)		
		ブランク 期間	有効 期間	1H トータル	ブランク 期間	有効 期間	1V トータル
NTSC (ITU-R BT.601)	27.000MHz	138	720	858	45	480	525
NTSC (Square pixel)	24.5454MHz	140	640	780	45	480	525
NTSC (4FSC)	28.636MHz	142	768	910	45	480	525
PAL (ITU-R BT.601)	27.000MHz	144	720	864	49	576	625
PAL (Square pixel)	29.500MHz	188	768	944	49	576	625

#### 4. デジタルビデオ出力

MIPI-CSI2 出力または LVTTTL 出力が選択可能です。( #06h/bit[7] )

レジスタ設定 #06h/bit[7]	出力
0	MIPI-CSI2
1	LVTTTL

##### 4.1. MIPI-CSI2 出力

MIPI-CSI2 出力は、1 レーン、YUV422 8bit のみ出力可能です。

本製品の MIPI-CSI2 出力は、VC (複数映像の同時入力)、8b/9b Line Coding、CCI には対応していません。また、Frame Start/End 以外のショートパケットには対応していません。

本製品の MIPI-CSI2 出力は、Continuous Clock 動作です。MIPI-CSI2 入力デバイスが MIPI クロックを検出できるように MIPI-CSI2 出力開始前に MIPI-CSI2 入力デバイスを受信可能な状態にしてください。

##### 4.1.1. MIPI-CSI2 出力端子スワップ

MIPI-CSI2 出力端子の P/N 入替が可能です。( #07h/bit[4] )

レジスタ設定 #07h/bit[4]	MIPI-CSI2 出力端子			
	MT D0P	MT D0N	MT CKP	MT CKN
0	D0P	D0N	CKP	CKN
1	D0N	D0P	CKN	CKP

##### 4.1.2. MIPI-CSI2 出力制御

MIPI-CSI2 出力は垂直同期信号に同期してデータ出力を開始・停止します。MIPI-CSI2 出力の起動/停止は外部端子もしくはレジスタで制御することができます。



(1) 外部端子制御

外部入力端子 MTPWDN, MTSTP で起動 / 停止を制御できます。このときレジスタ MIT\_ENB(#07h/bit[7])、MIT\_STP(#09h/bit[0])は初期値のまま使用してください。

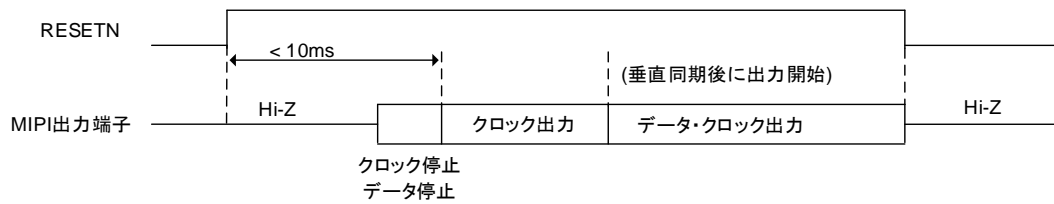
“H”はVDDIO, “L”はGNDの電位を表します。

外部端子		レジスタ		MIPI-CSI2 内部動作	MIPI-CSI2 出力
MTPWDN	MTSTP	MIT_ENB #07h/bit[7]	MIT_STP #09h/bit[0]		
“H”	X	0 (default)	1 (default)	動作 OFF	HiZ
“L”	“H”			動作 ON 出力停止	LP11 出力
“L”	“L”			動作 ON 通常動作	通常出力

制御シーケンス例

・MIPI-CSI2 出力制御をしない場合(常時出力動作)

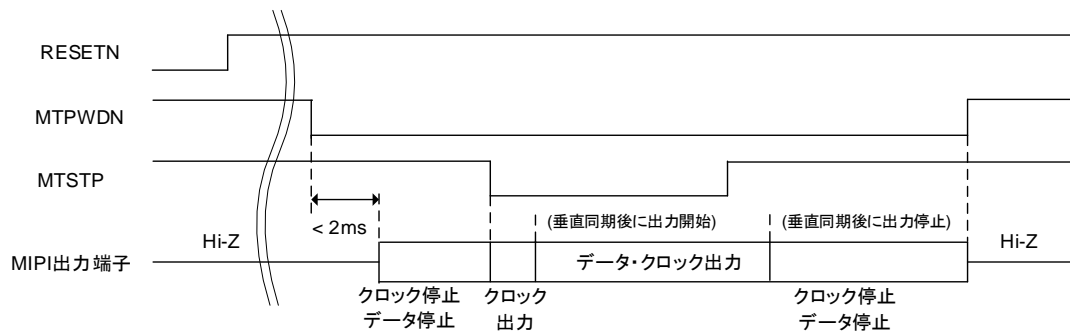
MTPWDN 端子と MTSTP 端子を GND に固定することでリセット解除のみで MIPI-CSI2 出力を行います。リセット解除後最大 10ms で MTCKP/N 出力が HS モードに移行します。その後垂直同期信号に同期してデータ出力を開始します。



・MIPI-CSI2 出力制御を端子で行う場合

MTPWDN 端子と MTSTP 端子で MIPI-CSI2 動作および出力の ON/OFF を任意のタイミングで制御できます。MTPWDN 端子=“L”に制御してから最大 2ms で MIPI 出力が起動します。

MTSTP 端子は MTPWDN 端子=“L”の時に制御してください。



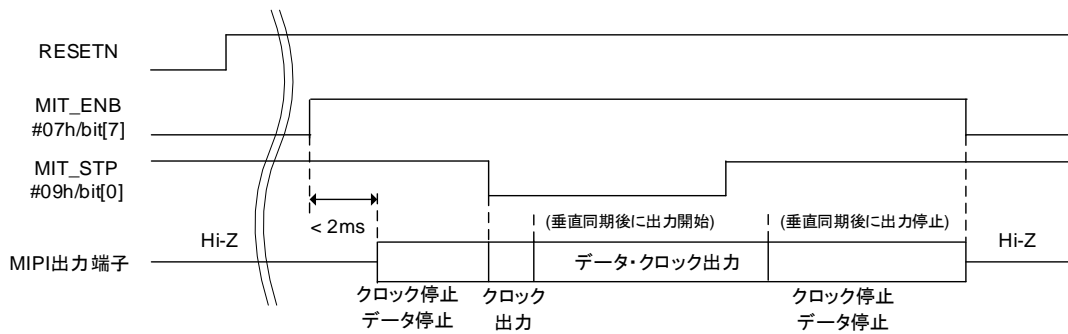
(2) レジスタ制御

レジスタで起動/停止を制御できます。このとき MTPWDN 端子と MTSTP 端子は“H”=VDDIO で使用してください。

外部端子(入力)		レジスタ		MIPI-CSI2 内部動作	MIPI-CSI2 出力
MTPWDN	MTSTP	MIT_ENB #07h/bit[7]	MIT_STP #09h/bit[0]		
“H”	“H”	0	X	動作 OFF	HiZ
		1	1	動作 ON 出力停止	LP11 出力
		1	0	動作 ON 通常動作	通常出力

制御シーケンス例

MIT\_ENB(#07h/bit[0])=1 に設定してから最大 2ms で MIPI 出力が起動します。  
MIT\_STP(#09h/bit[0])は MIT\_ENB(#07h/bit[0])=1 の時に制御してください。

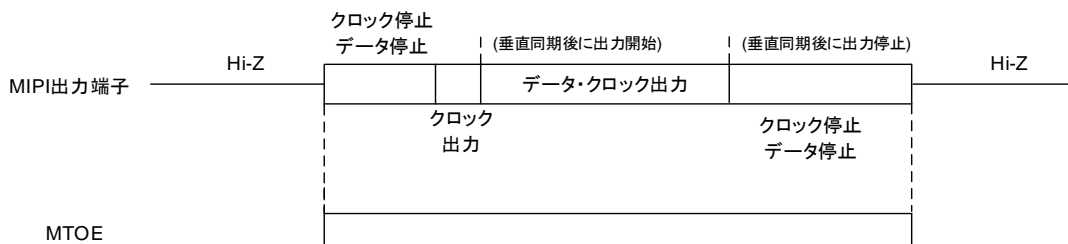


(3) MIPI-CSI2 出力ステータス

MTOE 端子で MIPI-CSI2 内部状態をモニタできます。“H”は VDDIO, “L”は GND の電位を表します。

MTOE	MIPI-CSI2 動作
“L”	動作 OFF または起動中
“H”	動作 ON 出力可能

MTOE 端子 出力タイミング

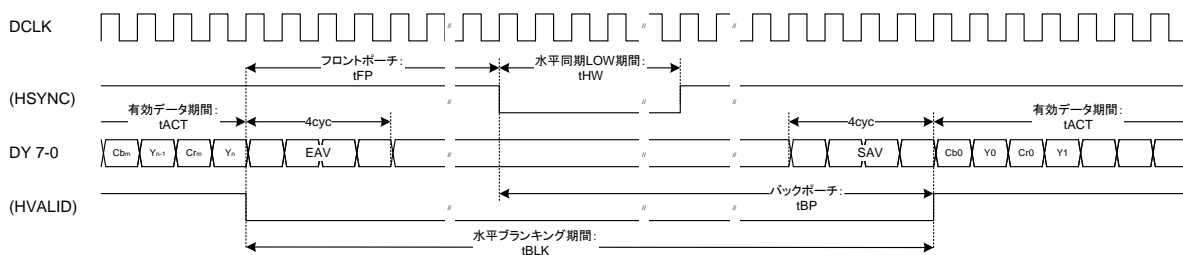


4.2. LVTTTL 出力 (BT. 656)

LVTTTL 出力時は、BT.656(8bit)出力です。

I/P 変換無し of インタレース出力時はビデオデコード結果を ITU 標準規格 of BT.656 に準拠したフォーマットで DCLK、DY7-0 に出力します。

I/P 変換有りのプログレッシブ出力時は、BT.656 スタイル of SAV、EAV コードを挿入したフォーマットで DCLK、DY7-0 を出力します。データ開始位置に SAV、終了位置に EAV を付加します。



\*) HSYNC,HVALID は内部信号です

ITU-R BT.656 時の出力タイミング

[I/P 変換無し] ビデオモードと出力ピクセル/ライン数 (標準信号入力時)

入力信号方式	ピクセル周波数	水平(ピクセル数)			垂直(ライン数)		
		ブランク期間 tBLK	有効期間 tACT	1H トータル	ブランク期間	有効期間	1V トータル
NTSC (ITU-R BT.601)	13.500MHz	138	720	858	Odd/19 Even/19	Odd/243 Even/242	Odd/262.5 Even/262.5
NTSC (Square pixel)	12.2727MHz	140	640	780	Odd/19 Even/19	Odd/243 Even/242	Odd/262.5 Even/262.5
NTSC (4FSC)	14.318MHz	142	768	910	Odd/19 Even/19	Odd/243 Even/242	Odd/262.5 Even/262.5
PAL (ITU-R BT.601)	13.500MHz	144	720	864	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5
PAL (Square pixel)	14.750MHz	188	768	944	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5

[I/P 変換有り] ビデオモードと出力ピクセル/ライン数 (標準信号入力時)

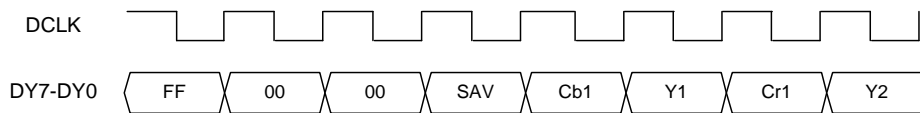
入力信号方式	ピクセル周波数	水平(ピクセル数)			垂直(ライン数)		
		ブランク期間 tBLK	有効期間 tACT	1H トータル	ブランク期間	有効期間	1V トータル
NTSC (ITU-R BT.601)	27.000MHz	138	720	858	45	480	525
NTSC (Square pixel)	24.5454MHz	140	640	780	45	480	525
NTSC (4FSC)	28.636MHz	142	768	910	45	480	525
PAL (ITU-R BT.601)	27.000MHz	144	720	864	49	576	625
PAL (Square pixel)	29.500MHz	188	768	944	49	576	625

BT.656 出力フォーマットでは、以下のフォーマットから選択可能です。各モードとレジスタ設定を以下に記載します。

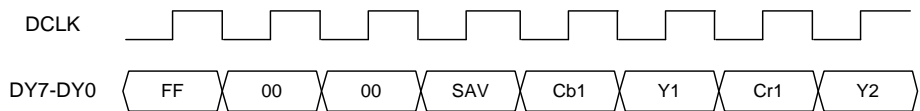
出力フォーマット	DDRO_MODE (#03h[1])	DDRO_SEL (#03h[0])	CLK_INV (#02h[0])	DDRO_CLKPH (#03h[3])
Single Edge 出力モード立ち上がりエッジ出力	0	-	0	-
Single Edge 出力モード立ち下がりエッジ出力 (default)	0	-	1	-
Dual Edge 出力モード1 クロックエッジ出力	1	0	-	0
Dual Edge 出力モード1 クロック半位相出力	1	0	-	1
Dual Edge 出力モード2 クロックエッジ出力(立上り)	1	1	0	0
Dual Edge 出力モード2 クロックエッジ出力(立下り)	1	1	1	0
Dual Edge 出力モード2 クロック半位相出力(立上り)	1	1	0	1
Dual Edge 出力モード2 クロック半位相出力(立下り)	1	1	1	1

#### 4.2.1. Single Edge 出力モード

Single Edge 出力モードでは、#02h/bit[0]の設定によりクロックエッジの立ち上がりもしくは、立ち下がりエッジに同期してデータ出力します。



Single Edge 立ち上がりエッジ出力モード

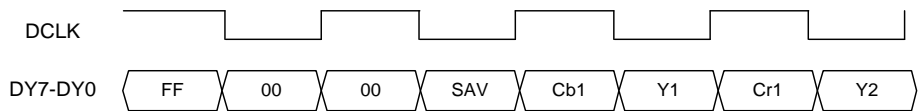


Single Edge 立ち下がりエッジ出力モード

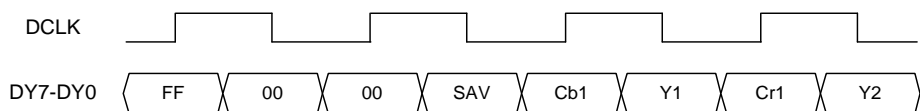
#### 4.2.2. Dual Edge 出力モード1

Dual Edge 出力モード1では、クロックエッジの立ち上がりおよび立ち下がりエッジに同期してデータ出力します。#03h/bit[3]の設定によりクロックから半位相ずらした出力を可能です。

(DCLKとDY7-DY0の関係は下図に対して反転する場合があります)



Dual Edge 出力モード1 クロックエッジ出力モード

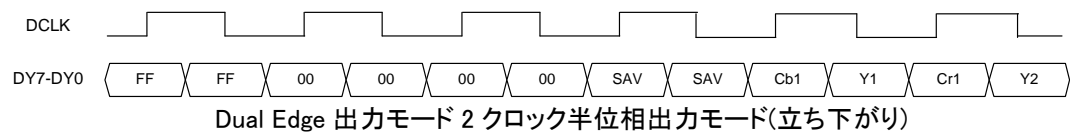
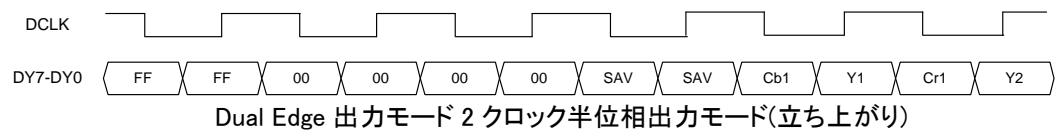
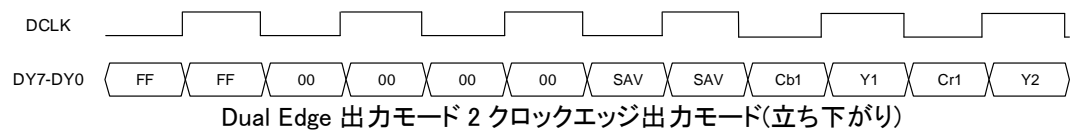
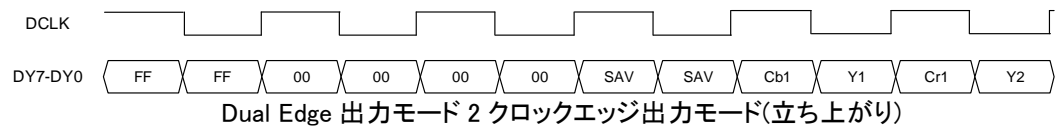


Dual Edge 出力モード1 クロック半位相出力モード

## 4.2.3. Dual Edge 出力モード 2

Dual Edge 出力モード 2 では、SAV/EAV を 2 クロックずつ出力します。

#02h/bit[0]で SAV/EAV の最初のデータをクロックエッジの立ち上がりに同期するか立ち下がりに同期するかを選択できます。#03h/bit[3]の設定によりクロックから半位相ずらした出力を可能です。



## 5. ステータス出力/割り込み出力機能

## 5.1. STATUS 端子出力

アナログビデオ入力の状態検出結果を STATUS 端子からステータスまたは割り込み通知として出力できます。STATUS\_SEL 設定(#78h/bit[7:4])で以下の信号を出力することができます。

レジスタ設定 #78h/bit[7:4]	出力信号	出力論理	
		“L”	“H”(Hi-Z)
0000	HVALID 水平有効期間	ブランク期間(*1)	有効期間(*1)
0001	VVALID 垂直有効期間	ブランク期間(*1)	有効期間(*1)
0010	ODD/EVEN フィールド信号	EVEN	ODD
0011	CSYNC コンポジット同期情報	(*1)	
0100	VHVALID 有効領域信号	ブランク期間(*1)	有効期間(*1)
0101	NTSC/PAL フィールド周波数判定信号	NTSC(60Hz)	PAL(50Hz)
0110	HLOCK 同期検出フラグ	無信号 非同期状態	同期状態
0111	設定禁止	-	-
1000	設定禁止	-	-
1001	VBID_DET VBID 検出フラグ	非検出	検出
1010	設定禁止	-	-
1011	設定禁止	-	-
1100	設定禁止	-	-
1101	設定禁止	-	-
1110	LKFLG HPLL ロックフラグ	アンロック 不安定状態	ロック 安定状態
1111	INT 割り込み通知	通知(*2)	非通知(*2)

(\*1) 1.4.8 内部同期信号タイミングを参照してください。

(\*2) 割り込み通知の極性は INT\_POL 設定(#78h/bit[2])で選択できます。

## 5.2. 割り込み出力

アナログビデオ入力の同期状態とラインロック PLL のロック状態について各検出情報を STATUS 端子から割り込み通知として出力できます。

入力同期状態とラインロック状態についてそれぞれの現在の状態の確認機能、各検出情報について通知する検出情報のマスク、検出結果の保持、クリアの機能を搭載しています。

## (1) 現在の状態の確認

アナログビデオ入力の同期状態とラインロック PLL のロック状態はステータスレジスタ 2(#91h/bit[7:0])で確認できます。ラインロック状態(ST\_LKFLG #91h/bit[6])はモニタレジスタを有効(LKFLG\_MON #80h/bit[0]=“1”)にしてから確認してください。

レジスタ #91h		機能	読出値
bit[6]	ST_LKFLG	ラインロック状態	“1”: ロック (安定状態) “0”: アンロック(不安定状態)
bit[1]	ST_HLCK_DT	入力同期状態	“1”: 同期 (信号検出) “0”: 非同期 (無信号検出)

## (2) 通知可能な検出情報

以下 4 種類の検出ができます

ラインロック状態はモニタ無効時(LKFLG\_MON #80h/bit[0]=“0”)も検出可能です。

- ・ラインロック状態      ロック検出                      (ST\_LKFLG=1 になったことを検出)
- ・ラインロック状態      アンロック検出                      (ST\_LKFLG=0 になったことを検出)
- ・入力同期状態              同期検出                              (ST\_HLCK\_DT=1 になったことを検出)
- ・入力同期状態              非同期検出                              (ST\_HLCK\_DT=0 になったことを検出)

## (3) 検出情報のマスク

STATUS 出力設定 2 レジスタ(#79h/bit[3:0])を使用し、通知対象となる検出情報をマスクします。

有効な検出情報(マスクしていない検出情報)が複数ある場合、いずれかの要因が発生すると割り込みを通知します。

レジスタ #79h	割り込み種別	設定値
bit[3]	MASK_LKFLG	ラインロック状態 ロック検出
bit[2]	MASK_LKFLG_B	ラインロック状態 アンロック検出
bit[1]	MASK_HDET	入力同期状態 信号検出
bit[0]	MASK_HDET_B	入力同期状態 無信号検出

“0” : 割り込みをマスクしない  
“1” : 割り込みをマスクする (default)

## (4) 検出結果の保持とクリア

マスク後の検出情報について検出結果を保持します。保持している検出結果は、ステータスクリア/ステータスレジスタ(#7Ah/bit[3:0])で確認出来ます。

保持している検出結果は該当ビットに”1”を書き込むことでクリアされます。

レジスタ #7Ah	割り込み種別	読出値
bit[3]	INT_LKFLG	ラインロック状態 ロック検出
bit[2]	INT_LKFLG_B	ラインロック状態 アンロック検出
bit[1]	INT_HDET	入力同期状態 信号検出
bit[0]	INT_HDET_B	入力同期状態 無信号検出

“0” : 検出  
“1” : 非検出  
 (“0” 検出状態のとき、“1”を書き込むことでクリアされます)

(5) 割り込み通知

STATUS 端子から検出情報を通知する事が可能です。通知を出力する場合は STATUS\_SEL (#78h/bit[7:4])="1111"を設定してください。

通知動作は INT\_SEL(#78h/bit[3])で割り込みレベル出力と割り込み要因モニタを選択できます。

割り込みレベル出力動作は、割り込み要因が発生するとステータスクリア/ステータスレジスタ (#7Ah/bit[3:0])の該当ビットがクリアされるまで通知を継続します。

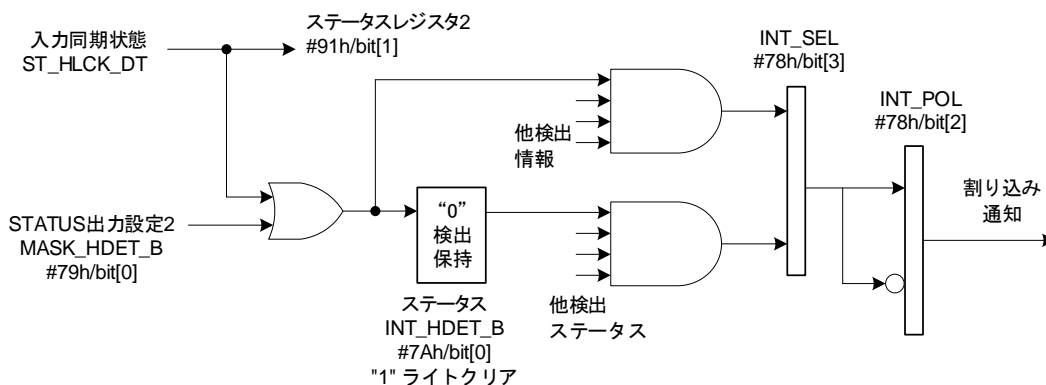
割り込み要因モニタ動作は、割り込み要因が発生すると通知し、割り込み要因がなくなると自動で通知を解除します。

INT_SEL #78h/bit[3]	通知動作
0	割り込みレベル出力
1	割り込み要因モニタ

通知出力は、INT\_POL(#78h/bit[2])で極性の選択ができます。

INT_POL #78h/bit[2]	STATUS 出力
0	"L": 通知(アクティブ) "H": 非通知
1	"L": 非通知 "H": 通知(アクティブ)

割り込み通知機能の構成  
入力非同期検出(無信号検出)の例





## 5.3. ステータスレジスタ

ステータスレジスタ(#90h-#91h)から以下の状態検出結果を読み出すことが可能です。

- 入力フォーマットの判別結果
- NTSC/PAL フィールド周波数の判定結果
- VBID の検出有無
- VTR 入力の検出有無
- 入力同期検出状態(HLOCK)のモニタ
- 内蔵 PLL によるラインロック状態のモニタ

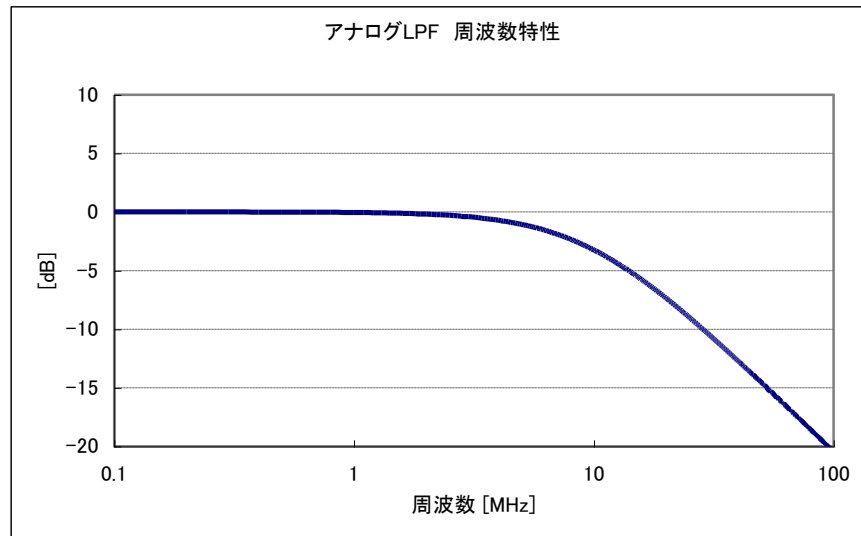
## 6. スリープ機能

ML86112 は、コントロールレジスタ(#0Dh/bit[7])にて、内部動作を停止し消費電力を抑制するスリープ機能があります。

7. フィルタ特性

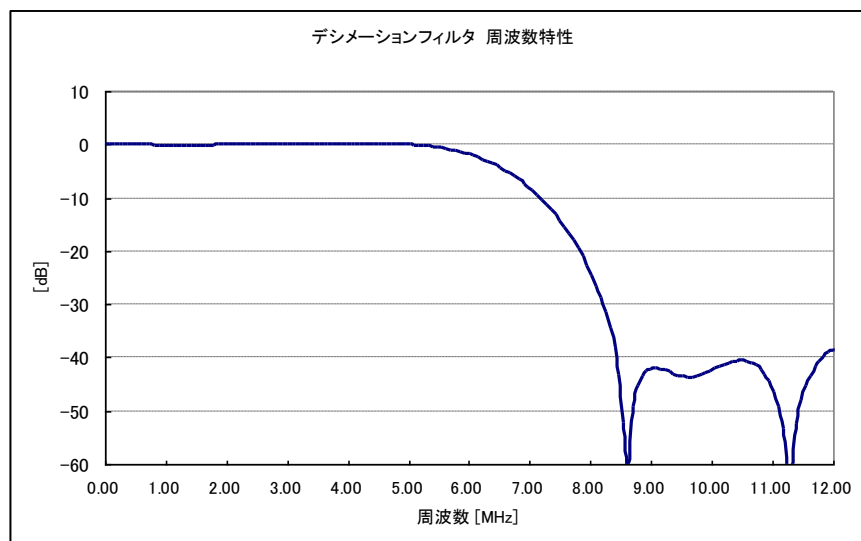
各種フィルタの周波数特性を示します。

◆アナログ LPF



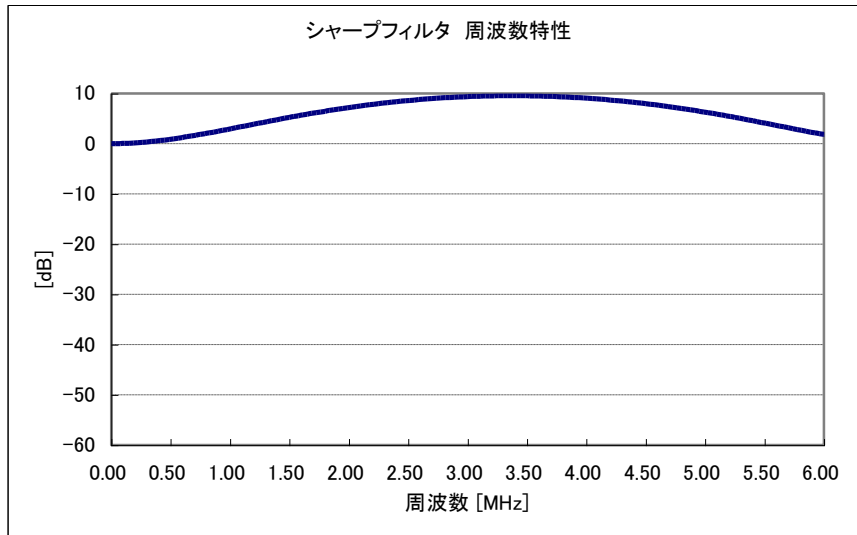
アナログ LPF 周波数特性

◆デシメーションフィルタ



デシメーションフィルタ周波数特性

◆シャープフィルタ



シャープフィルタ周波数特性

8. I<sup>2</sup>Cバスインタフェース

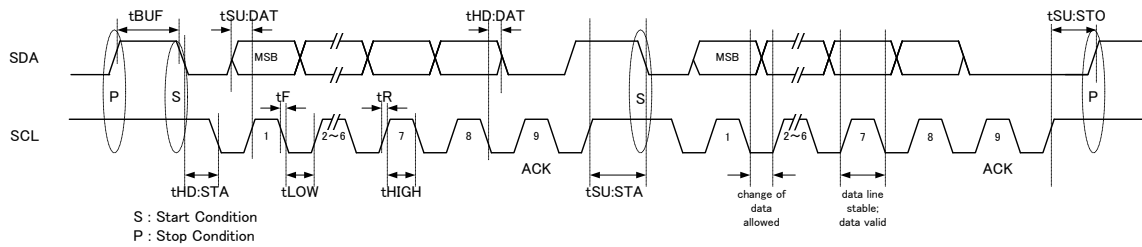
ML86112 の各機能ブロックは、コントロールレジスタにデータを書き込むことで動作を制御します。コントロールレジスタは、I<sup>2</sup>C バスインタフェース経由でアクセスすることができます。I<sup>2</sup>C バス動作には XOSCI へのクロック入力が必要です。

I<sup>2</sup>C バススレーブアドレスは、SAS/TAOUT 端子の設定により以下の 2 アドレスを選択できます。

SAS/TAOUT	スレーブアドレス
0	80h (1000_000x)
1	82h (1000_001x)

8.1. I<sup>2</sup>C バスインタフェース基本タイミング

スタートコンディション/ストップコンディション(S/P)の部分を除いて、SCLが“H”期間には、SDAの値は変化しないようにしてください。



I<sup>2</sup>C 規格表(Standard モード)

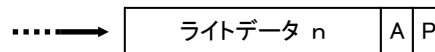
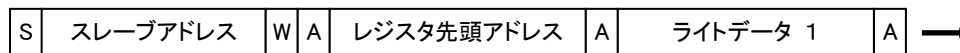
記号	パラメータ	Min	Typ	Max	単位
fSCL	SCL 周波数	0	-	100	KHz
tBUF	バス開放時間	4.7	-	-	μs
tHD:STA	開始条件ホールドタイム	4.0	-	-	μs
tLOW	クロック LOW 期間	4.7	-	-	μs
tHIGH	クロック HIGH 期間	4.0	-	-	μs
tSU:STA	開始条件セットアップタイム	4.7	-	-	μs
tHD:DAT	データホールドタイム	0(300)	-	-	ns
tSU:DAT	データセットアップタイム	250	-	-	ns
tR	ライン立ち上がりタイム	-	-	1000	ns
tF	ライン立下りタイム	-	-	300	ns
tSU:STO	停止条件セットアップタイム	4.0	-	-	μs

I<sup>2</sup>C 規格表(Fast モード)

記号	パラメータ	Min	Typ	Max	単位
fSCL	SCL 周波数	0	-	400	kHz
tBUF	バス開放時間	1.3	-	-	μs
tHD:STA	開始条件ホールドタイム	0.6	-	-	μs
tLOW	クロック LOW 期間	1.3	-	-	μs
tHIGH	クロック HIGH 期間	0.6	-	-	μs
tSU:STA	開始条件セットアップタイム	0.6	-	-	μs
tHD:DAT	データホールドタイム	0(300)	-	-	ns
tSU:DAT	データセットアップタイム	100	-	-	ns
tR	ライン立ち上がりタイム	-	-	300	ns
tF	ライン立下りタイム	-	-	300	ns
tSU:STO	停止条件セットアップタイム	0.6	-	-	μs

(a) レジスタライトフォーマット

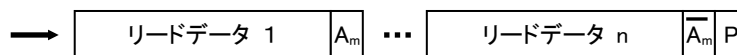
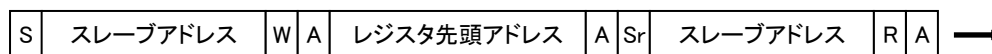
指定したレジスタアドレスにデータを書き込む。



S : スタート条件  
 A : アクノレッジ(スレーブ)  
 P : ストップ条件  
 W = "0" (ライト)

(b) レジスタリードフォーマット

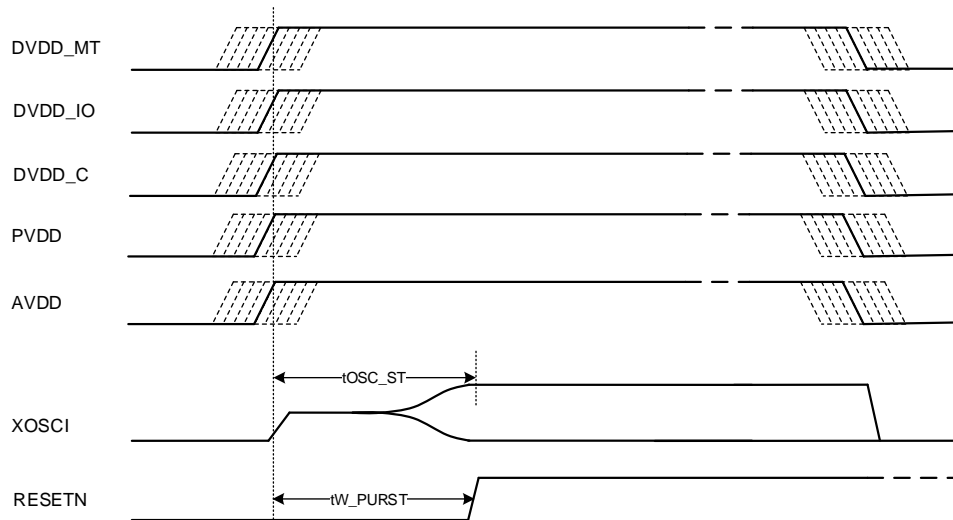
指定したレジスタアドレスからデータを読み出す。



S : スタート  
 Sr : 再スタート  
 A : アクノレッジ(スレーブ)  
 Am : アクノレッジ(マスタ)  
 P : ストップ  
 W = "0" (ライト)  
 R = "1" (リード)

## ■ 電源投入シーケンス

各電源 (DVDD\_MT、DVDD\_IO、DVDD\_C、PVDD、AVDD) 間に投入、遮断順序の制約はありません。



電源投入・遮断フロー

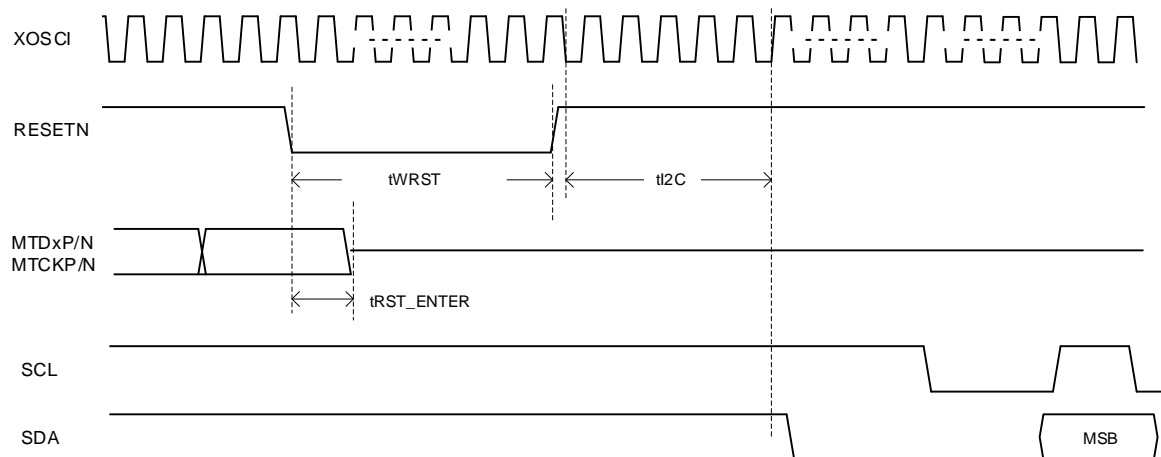
Parameter	Symbol	Min.	Typ.	Max.	Unit	Remarks
発振起動時間	tOSC_ST	—	—	10	ms	—
電源投入後リセット時間	tW_PURST	10	—	—	ms	—
内部 PLL ロック時間	—	—	—	10	ms	—
MIPI-Tx-PLL ロック時間	—	—	—	1	ms	—

本 LSI ご使用の場合は、すべての電源に規定の電圧を印加した状態でご使用ください。

入力端子への電圧印加は、必ず電源電圧が確定した後に行ってください。すべての電源が規定値に達し、安定したクロックを入力した後にリセットをかけてください。電源遮断時は、すべての電源を遮断してください。

MIPI-TxのPLLロック時間は、MIPI動作イネーブル後の時間になります。

■ リセット動作



リセット期間、I2C アクセス開始

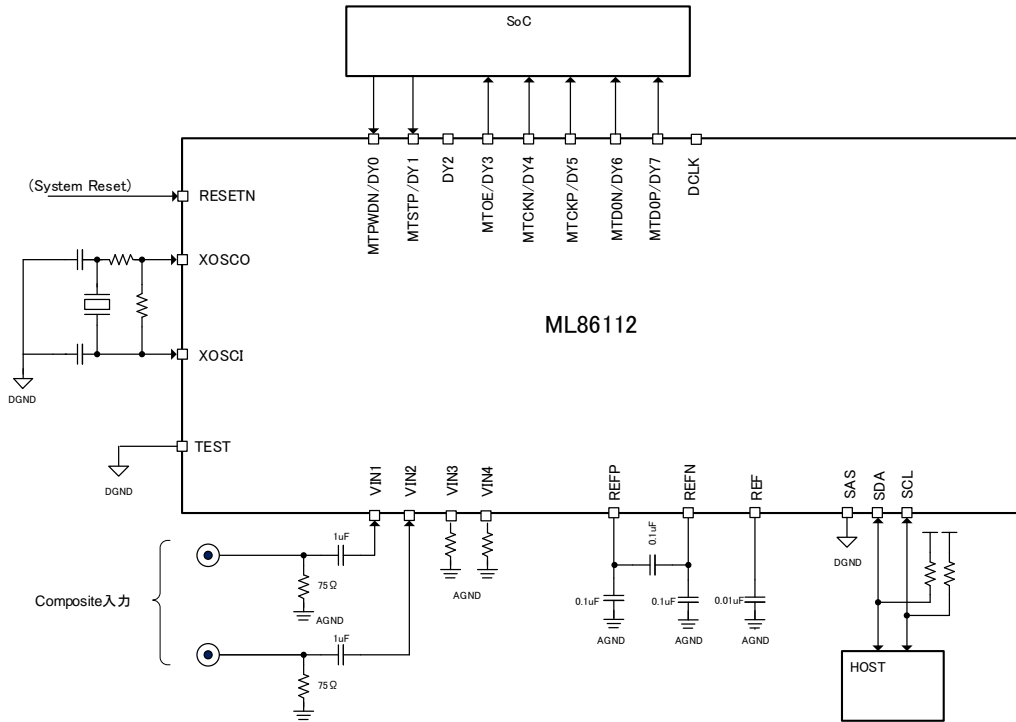
Parameter	Symbol	Min.	Typ.	Max.	Unit	Remarks
リセットLレベルパルス幅 (電源投入時以外)	$t_{WRST}$	200	—	—	ns	—
リセットからの 出力 OFF("L")時間	$t_{RST\_ENTER}$	—	—	50	ns	—
I2C アクセスタイム	$t_{I2C}$	5	—	—	CLK	—

$t_{I2C}$  はリセット解除から、I2C バスを制御するまでに必要な時間です。

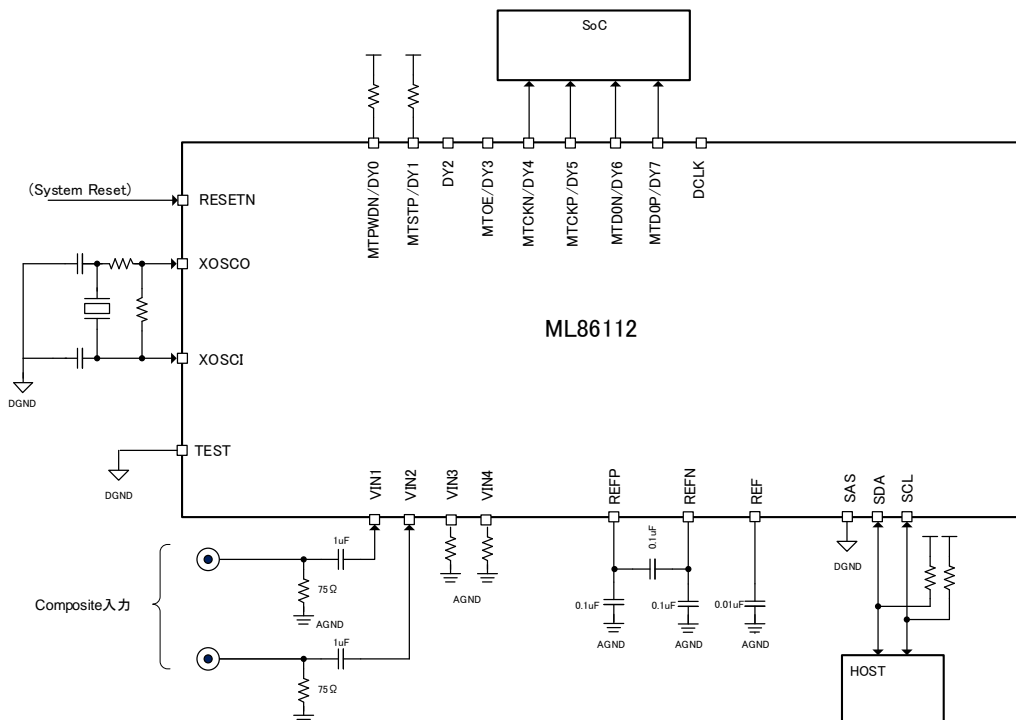


■ 応用回路例

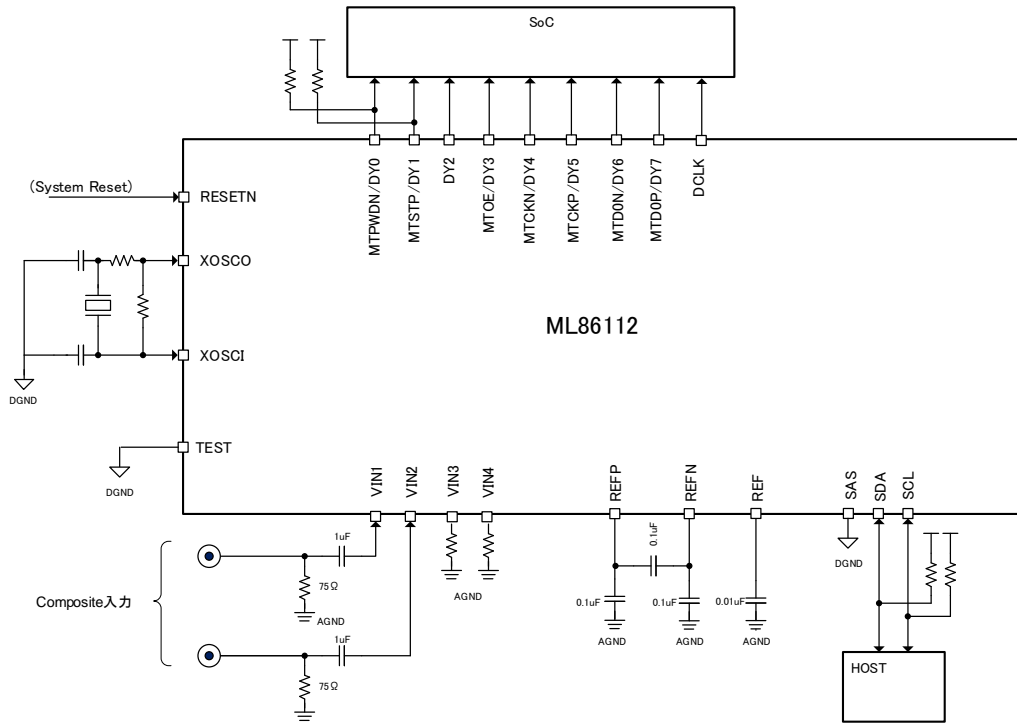
○汎用的な応用回路例 (MIPI-CSI2 出力, 外部端子 MTPWDN,MTSTP 制御)



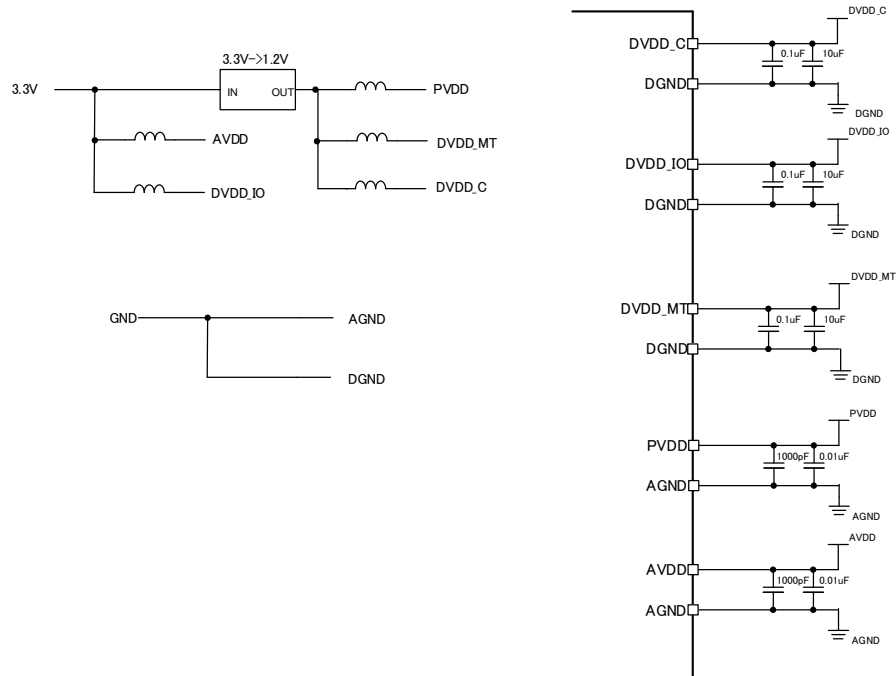
○汎用的な応用回路例 (MIPI-CSI2 出力, レジスタ MIT\_ENB,MIT\_STP 制御)



○汎用的な応用回路例 (LVTTTL BT.656 出力)



## ○電源/グラウンド分離例



## 【ボード設計上の注意点】

- 1、各デジタル電源(DVDD\_IO、DVDD\_MT、DVDD\_C)とデジタルグラウンド(DGND)間に  $0.1\mu\text{F}$  及び  $10\mu\text{F}$  程度のセラミックコンデンサ等の接続を推奨します。
- 2、アナログ電源(AVDD)とアナロググラウンド(AGND)間、PLL 電源(PVDD)とアナロググラウンド(AGND)間に  $0.01\mu\text{F}$  及び  $1000\text{pF}$  程度のセラミックコンデンサ等の接続を推奨します。
- 3、SAS/TAOUT 端子の近くにノイズ源の配置を避けてください。
- 4、REF、REFP、REFN 端子の近くにノイズ源の配置を避け、極力短く配線してください。
- 5、アナログビデオ信号は、カップリングコンデンサ以降デバイスへの入力端子までの距離を極力短くし、誘導干渉を避けるようにしてください。

ここに記載する回路例は、応用例を示すもので特性を保証するものではありません。本LSIをご使用の際は、お客様のシステムに最適な回路素子、回路構成により動作検証を行ってください。各電源、GND 間のフェライトビーズ(インダクタ)は必要に応じて使用してください。(必ずしも必要とするわけではありません。)

## ■ 絶対最大定格

DGND, AGND = 0V

項目	記号	条件	定格値	単位
電源電圧(アナログ用)	AVDD	Ta = 25° C	-0.3 ~ +4.6	V
電源電圧(PLL 用)	PVDD		-0.3 ~ +2.0	
電源電圧(ロジックコア用)	DVDD_C		-0.3 ~ +2.0	
電源電圧(I/O 用)	DVDD_IO		-0.3 ~ +4.6	
電源電圧(MIPI-Tx 用)	DVDD_MT		-0.3 ~ +2.0	
アナログ入力電圧	VAI		-0.3 ~ AVDD+0.3	
LVTTL 入力電圧 1	VDI1		-0.3 ~ DVDD_IO+0.3	
LVTTL 入力電圧 2 (5Vトレラント)	VDI2		-0.3 ~ +6.0 (*2)	
MIPI 出力電圧(*1)	VOM		-0.3 ~ DVDD_MT+0.3	
出力短絡電流	IOS	—	16	mA
許容損失	PD	Ta = 105° C	0.9	W
保存温度	Tstg	—	-55 ~ +125	° C

注：絶対最大定格とは製品に物理的損傷を与えない限界値です。各項目のうち1項目でも、また一瞬でも定格値を越えると、製品の品質を損なう恐れがあります。必ずこの定格値以内でご使用ください。

電源電圧供給時の規定です。

\*1: MIPI 出力電圧は下記端子に適用します。

MTD0P, MTD0N, MTCKP, MTCKN

\*2: 電源電圧供給時の規定です。

## ■ 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧(アナログ用)	AVDD	AGND = 0 V	3.0	3.3	3.6	V
電源電圧(PLL 用)	PVDD	AGND = 0 V	1.14	1.2	1.26	
電源電圧(ロジックコア用)	DVDD_C	DGND = 0 V	1.14	1.2	1.26	
電源電圧(I/O 用)	DVDD_IO	DGND = 0 V	3.0	3.3	3.6	
電源電圧(MIPI-Tx 用)	DVDD_MT	DGND = 0 V	1.14	1.2	1.26	
周囲温度	Ta	—	-40	25	+105	° C

注：一部の電源のみ ON 或いは OFF という状態は避けて、必ず全ての電源供給或いは全ての電源遮断の状態を保持してください。

## ■ 電気的特性

直流特性(LVCMOS)

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位		
アナログ入力電圧	VVIN	容量結合	—	1.3	—	V <sub>pp</sub>		
差動アナログ入力電圧	VVIN_dif	容量結合	—	1.3	—	V <sub>pp</sub>		
“H”レベル入力電圧 1	VIH1*1	LVTTTL	DVDD_IO*0.7	—	DVDD_IO+0.3	V		
“L”レベル入力電圧 1	VIL1*1	LVTTTL	-0.3	—	DVDD_IO*0.3	V		
“H”レベル入力電圧 2	VIH2*1	5Vトレラント/Schmitt	2.1	—	5.5	V		
“L”レベル入力電圧 2	VIL2*1	Schmitt	-0.3	—	0.7	V		
“H”レベル出力電圧 1	VOH1	IOH = -2, -4mA	2.4	—	—	V		
“L”レベル出力電圧 1	VOL1	IOL = 2, 4mA	—	—	0.4	V		
“H”レベル出力電圧 2	VOH2*2	IOH = -6mA	2.4	—	—	V		
“L”レベル出力電圧 2	VOL2*2	IOL = 6mA	—	—	0.4	V		
“H”レベル出力電圧 3	VOH3*4	IOH = -4, -8mA	2.4	—	—	V		
“L”レベル出力電圧 3	VOL3*4	IOL = 4, 8mA	—	—	0.4	V		
入力リーク電流 1	IIL1	VIN = DVDD_IO or DGND	-10	—	+10	μA		
入力リーク電流 2	IIL2*3	XOSCI=DVDD_IO or DGND	-1.0	—	+1.0	μA		
出力リーク電流	IOL	VIN = DVDD_IO or DGND	-10	—	+10	μA		
“H”レベル入力電流 (pull-down)	IiHd	VIN = DVDD_IO	20	—	200	μA		
動作 電流	アナログ部	IAVDD	PAL Square Pixel (29.5MHz)	Single End	—	22	30	mA
				Differential	—	25	34	mA
	PLL 部	IPVDD	29.5 MHz 発振時	—	1	5	mA	
	ロジック部	IDVDD_C	PAL Square Pixel I/P 変換 (100%カラーバー映像)	—	25	30	mA	
				ロジック IO MIPI-Tx 3.3V	IDVDD_IO	PAL Square Pixel I/P 変換 MIPI-Tx 出力 472Mbps	—	20
	MIPI-Tx 1.2V	IDVDD_MT	MIPI 出力 472Mbps	—		10	14	mA
パワー ダウン 電流	アナログ部	IAVDD	全入力非選択	—	0.02	0.5	mA	
				PLL 部	IPVDD	発振停止	—	0.01
	ロジック部	IDVDD_C	入出力、XOSC 停止	—	0.05	5.0	mA	
	ロジック IO MIPI-Tx 3.3V	IDVDD_IO	入出力、XOSC 停止	—	0.01	2.0	mA	
	MIPI-Tx 1.2V	IDVDD_MT	入出力停止	—	0.01	2.0	mA	

\*1: VIH2、VIL2 は、SCL、SDA、RESETN 端子に適用します。

\*2: VOH2、VOL2 は、XOSCO 端子に適用します。

\*3: IIL2 は、XOSCI 端子に適用します。

\*4: VOH3、VOL3 は、DCLK 端子に適用します。

## ADC 特性

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位
SN 比	SNR	fin=1 MHz、fck=27MHz	—	50	—	dB
微分直線性誤差	DLE	ランプ波、fck=1MHz	—	0.5	—	LSB
積分直線性誤差	ILE	ランプ波、fck=1MHz	—	0.75	—	LSB

## AFE 特性

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位
利得設定値 偏差	ΔG	—	-3.0	—	3.0	dB
クランプ電圧	Vclp	—	—	1.088	—	V
クランプ電流	Iclp	クランプ動作時	140	280	420	μA
		クランプ停止時	-3	-7	-15	μA
コモンモード除去比	CMR	CVBS 差動入力時 f=100kHz	—	55	—	dB

注：クランプ区間は1ライン中の10%以下で、他の区間はクランプ停止時と同等です。

## AFE+ADC 総合特性

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位
微分利得	DG	入力 3.58 MHz	—	3.0	—	%
微分位相	DP	入力 3.58 MHz	—	3.0	—	deg.
入力帯域	FC	DCで0dB ときの 4 MHz での利得	-1.5	—	1.0	dB

## PLL 特性

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位
HPLL 周波数	Hvco	27MHz サンプリング設定時	—	27.00	—	MHz
HPLL 周波数	Hvco	NTSC(Square Pixel)	—	24.5454	—	MHz
HPLL 周波数	Hvco	NTSC(4fsc)	—	28.6363	—	MHz
HPLL 周波数	Hvco	PAL(Square Pixel)	—	29.50	—	MHz

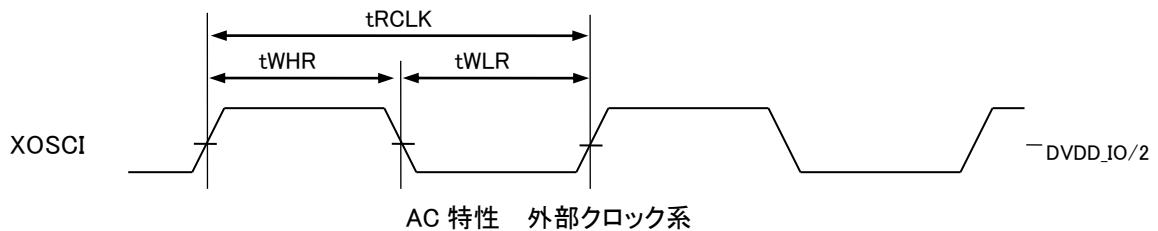
交流特性(LVCMOS)

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V , Ta = -40~+105°C

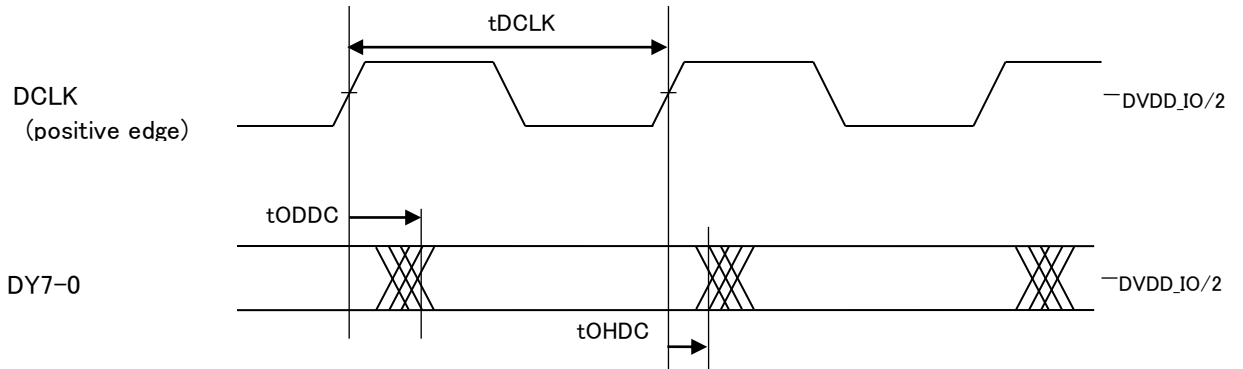
項目	記号	条件	最小	標準	最大	単位
参照クロック周波数	fREFCLK	—	—	32	—	MHz
ADC サンプル周波数	fADC	—	—	27	—	MHz
XOSCI クロック周期	tRCLK	—	30.0	—	—	ns
XOSCI Hレベルパルス幅 * 1	tWHR	—	12.0	—	—	ns
XOSCI Lレベルパルス幅 * 1	tWLR	—	12.0	—	—	ns
DCLK シングル出カクロック周期	tDCLK	CL=15pF,4mA	16.95	—	—	ns
DCLK デュアル出カクロック周期	tDCLK	CL=15pF,4mA	33.90	—	—	ns
ビデオ出力ホールド時間 (DCLK→)	tOHDC	CL=15pF,4mA	-3.0	—	—	ns
ビデオ出力ディレイ時間 (DCLK→)	tODDC	CL=15pF,4mA	—	—	3.0	ns
DCLK クロックデューティ比	dtDCLK	CL=15pF	40	—	60	%

入力信号の特性値は、入力電圧 DVDD\_IO または 0V で規定しています。また、出力信号の特性値は、出力電圧が DVDD\_IO/2 のポイント及びスルーレート OFF、CLK/DATA とも 4mA のドライブ能力設定です。

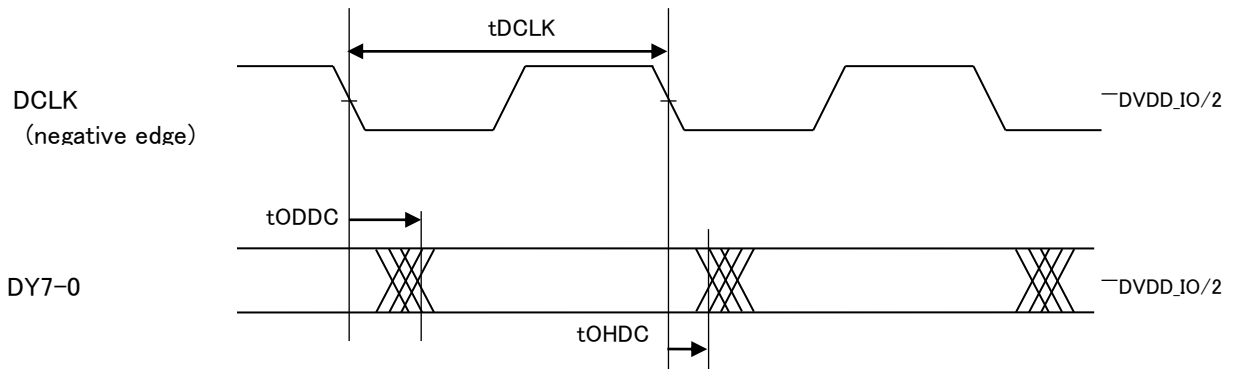
\* 1: 外部発振器等からのクロック入力時の規定です。入力クロックの tr/ta は、最大 5ns 以下を推奨します。



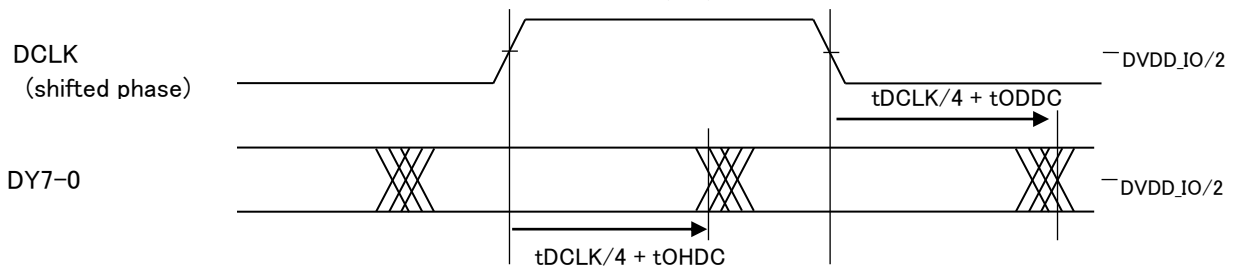
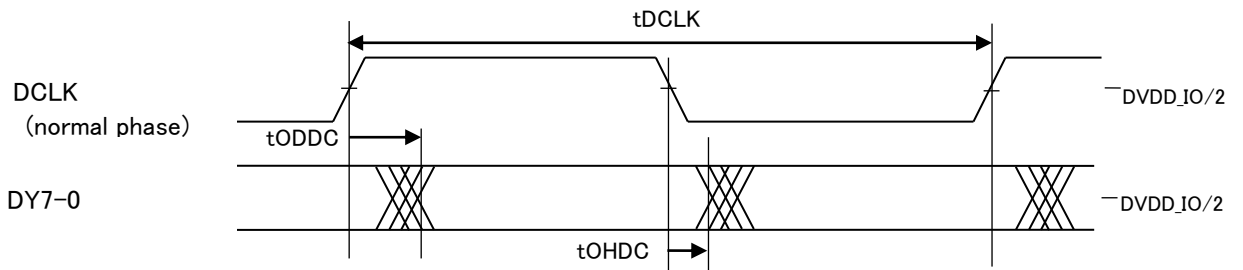




AC 特性 ビデオ出力系(シングルエッジ positive edge 出力)



AC 特性 ビデオ出力系(シングルエッジ negative edge 出力)



AC 特性 ビデオ出力系(デュアルエッジ出力)

## 直流特性(MIPI 出力)

DVDD\_IO, AVDD = 3.3V±0.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V±0.06V  
 DGND, AGND = 0V, Ta = -40~+105°C

項目	記号	条件	最小	標準	最大	単位
HS Transmitter						
HS Transmit static common-mode voltage	VCMTX(DC)		150	200	250	mV
HS transmit differential voltage	VOD		140	200	270	mV
HS output high voltage	VOHHS		—	—	360	mV
LP Transmitter						
Thevenin output high level	VOH		1.1	1.2	1.3	V
Thevenin output low level	VOL		-50	—	50	mV
Output impedance of LP transmitter	ZOLP		110	—	—	Ω

## 交流特性(MIPI 出力) (\*1)

DVDD\_IO, AVDD = 3.3V  
 DVDD\_MT, PVDD, DVDD\_C = 1.2V  
 DGND, AGND = 0V, Ta = 25°C

項目	記号	条件	最小	標準	最大	単位
HS Transmitter						
Common-mode variation between above 450MHz	VCMTX(HF)		—	—	15	mVpeak
Common-mode variation between 50MHz-450MHz	VCMTX(LF)		—	—	25	mVpeak
20%-80% rise time and fall time	tR and tF		—	—	0.3	UI
			150	—	—	ps
UI instantaneous	UIINSTTx		2.12	—	5.09	ns
LP Transmitter						
15%-85% rise time and fall time	TRLP/TFLP		—	—	25	ns
30%-85% rise time and fall time	TREOT		—	—	35	ns

\*1) MIPI 出力交流特性は、設計保証です。出荷検査は行っておりません。

## ■ コントロールレジスタ

### 9. コントロールレジスタ

ML86112 のコントロールレジスタは I2C バスより行います。

#00h-#0Fh の範囲がシステム制御/入出力制御関連、#10h-#76h の範囲がビデオデコーダ関連、#78h-#AFh の範囲がステータス/割り込み制御関連、#BCh-#BFh の範囲が内蔵テストパターン関連、#C0h-#FFh の範囲がその他制御のアドレスです。

コントロールレジスタ一覧表に記載のないアドレスは、レジスタを実装していません。 これらをアクセスした場合でもアクリッジを返します。

レジスタ制御を行なうことで、同期検出や画質調整、モード切り替えなど各種動作の設定が可能です。

また、VBI データ検出機能により検出したデータなど、内部レジスタを経由しコントロールレジスタから逐次読み出すことが可能です。

以下に各レジスタをアドレス順に説明致します。 レジスタ値のうち“(default)”が付いているものは初期値であることを示しています。

9.1. コントロールレジスタ一覧表

レジスタ アドレス	W/R	レジスタ名								初期値	機能	
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
#00h	W/R	VIF[3:0]			(res)	SPMD[1:0]			AVMD	11h	入力信号フォーマット設定	
#01h	W/R	(res)			CbCr_E DGE	DSLCE N	CLK_D RV	DO_DR V		00h	出力信号フォーマット設定 1	
#02h	W/R	SLEEP_ HIZ	(res)	OUT_HI Z	FIELD_I NV	(res)			CLK_IN V	89h	出力信号フォーマット設定 2	
#03h	W/R	(res)			DDRO_ CLKPH	(res)	DDRO_ MODE	DDRO_ SEL		00h	出力信号フォーマット設定 3	
#04h	W/R	(res)	VMSK- NTSC-4 43	(res)	VMSK-P AL-M	VMSK-P AL-N	VMSK-P AL-Nc	VMSK-P AL-60	(res)	5Fh	入力モード自動判定マスク設定	
#05h	W/R	(res)								00h	Reserved Register	
#06h	W/R	SELTTL	(res)			IP_OSE L	(res)			00h	出力信号フォーマット設定 4	
#07h	W/R	MIT_EN B	(res)		MIT_PN _SEL	(res)				08h	出力信号フォーマット設定 5	
#08h	W/R	(res)								08h	Reserved Register	
#09h	W/R	(res)	MIT_FI DINV	(res)					MIT_ST P	01h	出力信号フォーマット設定 6	
#0Ah	W/R	(res)								00h	Reserved Register	
#0Bh	-									-	-	
#0Ch	-									-	-	
#0Dh	W/R	ALL_PD EN	(res)							00h	パワーダウン設定	
#0Eh	R	(res)								xxh	Reserved Register	
#0Fh	W/R	(res)								00h	Reserved Register	
#10h	W/R	(res)	YC_SFM[1:0]		(res)					00h	Y/C 分離設定 1	
#11h	W/R	(res)				CT_TH R	(res)				00h	Y/C 分離設定 2
#12h	W/R	(res)	ADP_THR3[1:0]		ADP_THR2[1:0]		ADP_THR1[1:0]			10h	Y/C 分離設定 3	
#13h	-									-	-	
#14h	-									-	-	
#15h	-									-	-	
#16h	-									-	-	
#17h	-									-	-	
#18h	W/R	(res)								C0h	Reserved Register	
#19h	-									-	-	
#1Ah	-									-	-	
#1Bh	-									-	-	
#1Ch	-									-	-	
#1Dh	-									-	-	
#1Eh	-									-	-	
#1Fh	-									-	-	

レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#20h	W/R	(res)								24h	Reserved Register
#21h	W/R	(res)								0Ch	Reserved Register
#22h	W/R	(res)	FIDAIN V	(res)						04h	同期検出設定
#23h	W/R	(res)								1Fh	Reserved Register
#24h	W/R	(res)								C0h	Reserved Register
#25h	W/R	HSDLY[7:0]								00h	水平同期信号(HSYNC)位置調整
#26h	W/R	HVL DST[3:0]				HVL DSP[3:0]				00h	水平有効データ領域(HVALID)調整
#27h	W/R	VVL DST[3:0]				VVL DSP[3:0]				00h	垂直有効データ領域(VVALID)調整
#28h	W/R	VVL D_IP[7:0]								00h	I/P 有効領域設定
#29h	W/R	(res)								00h	Reserved Register
#2Ah	W/R	(res)								00h	Reserved Register
#2Bh	-	-								-	-
#2Ch	-	-								-	-
#2Dh	-	-								-	-
#2Eh	-	-								-	-
#2Fh	-	-								-	-
#30h	W/R	AGC_FT[1:0]	(res)	LOSET_ E	DIFF_L UM	(res)			50h	AGC 設定	
#31h	W/R	AGC_REF[7:0]								00h	AGC リファレンス設定
#32h	W/R	Y_LMT	(res)						80h	輝度出力レベル調整 1	
#33h	W/R	LGAIN_ WTPK	(res)						84h	輝度出力レベル調整 2	
#34h	W/R	(res)								00h	Reserved Register
#35h	W/R	PRE_FI L	APTR_FIL[1:0]	CORING_SEL[1:0]		APTR_FIL_WT[2:0]			00h	輝度出力レベル調整 3	
#36h	W/R	(res)	CTCNT[5:0]					(res)	00h	コントラスト調整	
#37h	W/R	(res)	LOSET_LV[6:0]						00h	輝度オフセット調整	
#38h	W/R	CTI_BAND[2:0]		CTI_CORING[1:0]		CTI_GAIN[2:0]			00h	CTI 設定	
#39h	-	-								-	-
#3Ah	-	-								-	-
#3Bh	-	-								-	-
#3Ch	-	-								-	-
#3Dh	-	-								-	-
#3Eh	-	-								-	-
#3Fh	-	-								-	-

レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#40h	W/R	ACC_LF_TM[1:0]		(res)						40h	ACC ループフィルタ & クロマ設定
#41h	W/R	ACC_REF[5:0]					(res)			00h	ACC リファレンス設定
#42h	W/R	C_LMT	(res)		CFORM	(res)				80h	クロマ出力レベル調整
#43h	W/R	CKIL_M D	CKIL_TH[1:0]		CKIL_P HS	CKIL_T V	(res)			40h	カラーキラー設定 1
#44h	W/R	(res)								14h	Reserved Register
#45h	W/R	HUE_CNT[7:0]								00h	色相コントロール
#46h	W/R	U_LV_CNT[6:0]						(res)		00h	クロマ Cb レベルコントロール
#47h	W/R	V_LV_CNT[6:0]						(res)		00h	クロマ Cr レベルコントロール
#48h	W/R	(res)								80h	Reserved Register
#49h	W/R	(res)								00h	Reserved Register
#4Ah	-	-								-	-
#4Bh	-	-								-	-
#4Ch	-	-								-	-
#4Dh	-	-								-	-
#4Eh	-	-								-	-
#4Fh	-	-								-	-
#50h	W/R	(res)	BB_FM ODE	(res)						89h	自走同期出力制御 1
#51h	W/R	BB_DSEL[1:0]		(res)						80h	自走同期出力制御 2
#52h	W/R	BB_Y[7:0]								26h	自走同期出力制御 3
#53h	W/R	BB_CB[7:0]								5Ah	自走同期出力制御 4
#54h	W/R	BB_CR[7:0]								ECh	自走同期出力制御 5
#55h	W/R	(res)								47h	Reserved Register
#56h	W/R	(res)	HDET_FLD_F[2:0]			(res)	HDET_FLD_R[2:0]			23h	自走同期出力制御 6
#57h	W/R	(res)	HDET_LINE_F[2:0]			(res)	HDET_LINE_R[2:0]			41h	自走同期出力制御 7
#58h	W/R	(res)								80h	Reserved Register
#59h	-	-								-	-
#5Ah	-	-								-	-
#5Bh	-	-								-	-
#5Ch	-	-								-	-
#5Dh	-	-								-	-
#5Eh	-	-								-	-
#5Fh	-	-								-	-

レジスタ アドレス	W/R	レジスタ名								初期値	機能	
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
#60h	W/R	LDWID	GLMOD	FMS	(res)			Y_FRC	Y_FMS	00h	FRC 制御設定	
#61h	-	-								-	-	
#62h	W/R	DIFF_S ET2	(res)								20h	アナログ設定 3
#63h	W/R	(res)								34h	Reserved Register	
#64h	W/R	(res)								FFh	Reserved Register	
#65h	W/R	(res)								00h	Reserved Register	
#66h	W/R	(res)								00h	Reserved Register	
#67h	-	-								-	-	
#68h	W/R	(res)	ANG_A GCS	(res)	DIFF_S ET	ADC_CH_SEL[2:0]			A0h	アナログ設定 1		
#69h	W/R	(res)		ANG_GAIN_SET[5:0]						7Fh	アナログ設定 2	
#6Ah	W/R	(res)								44h	Reserved Register	
#6Bh	W/R	(res)								00h	Reserved Register	
#6Ch	W/R	(res)								00h	Reserved Register	
#6Dh	R	(res)								xxh	Reserved Register	
#6Eh	R	(res)								xxh	Reserved Register	
#6Fh	W/R	(res)								00h	Reserved Register	
#70h	W/R	(res)	OSC_SEL[1:0]	SCFB_S EL	(res)	HS_RN G_SEL	(res)			14h	HPLL 設定 1	
#71h	W/R	(res)								80h	Reserved Register	
#72h	W/R	(res)								00h	Reserved Register	
#73h	W/R	(res)								00h	Reserved Register	
#74h	W/R	(res)	LKFLG_FLD_F[2:0]		(res)	LKFLG_FLD_R[2:0]			14h	HPLL ロック制御 1		
#75h	W/R	(res)	LKFLG_LINE_F[2:0]		(res)	LKFLG_LINE_R[2:0]			57h	HPLL ロック制御 2		
#76h	W/R	(res)								8Dh	Reserved Register	
#77h	-	-								-	-	
#78h	W/R	STATUS_SEL[3:0]			INT_ SEL	INT_ POL	(res)			60h	STATUS 出力設定 1	
#79h	W/R	(res)			MASK_ LKFLG_ B	MASK_ LKFLG_ B	MASK_ HDET	MASK_ HDET_ B	FFh	STATUS 出力設定 2		
#7Ah	W & C,R	(res)			INT_LK FLG	INT_LK FLG_B	INT_HD ET	INT_HD ET_B	xxh	ステータスクリア/ステータス		
#7Bh	-	-								-	-	
#7Ch	-	-								-	-	
#7Dh	-	-								-	-	
#7Eh	-	-								-	-	
#7Fh	-	-								-	-	

レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#80h	W/R	VBID_D T	(res)					LKFLG_ MON	00h	検出モニタ設定	
#81h	-	(res)								-	-
#82h	W/R	(res)								00h	Reserved Register
#83h	-	(res)								-	-
#84h	W/R	(res)								00h	Reserved Register
#85h	-	(res)								-	-
#86h	W/R	(res)								00h	Reserved Register
#87h	-	(res)								-	-
#88h	W/R	(res)								00h	Reserved Register
#89h	W/R	(res)	RST_C. C_O	RST_C. C_E	RST_C GMS_O	RST_C GMS_E	(res)	RST_W SS	00h	VBID 検出リセット設定	
#8Ah	R	(res)								xxh	Reserved Register
#8Bh	R	(res)								xxh	Reserved Register
#8Ch	R	(res)								xxh	Reserved Register
#8Dh	R	(res)								xxh	Reserved Register
#8Eh	R	(res)								xxh	Reserved Register
#8Fh	R	(res)								xxh	Reserved Register
#90h	R	FLD_FL AG	(res)	NTPAL	(res)	ST_IFM_DET[3:0]			xxh	ステータスレジスタ 1	
#91h	R	(res)	ST_LKF LG	ST_VTR DT	ST_VBI D_DT	(res)	ST_HLC K_DT	(res)	xxh	ステータスレジスタ 2	
#92h	R	(res)	VF_C.C _O	VF_C.C _E	VF_CG MS_O	VF_CG MS_E	(res)	VF_WS S	xxh	VBID フラグ	
#93h	R	C.C_O_DT2[7:0]								xxh	C.C ODD データ 2
#94h	R	C.C_O_DT1[7:0]								xxh	C.C ODD データ 1
#95h	R	C.C_E_DT2[7:0]								xxh	C.C EVEN データ 2
#96h	R	C.C_E_DT1[7:0]								xxh	C.C EVEN データ 1
#97h	R	CGMS_O_DT3[7:0]								xxh	CGMS ODD データ 3
#98h	R	CGMS_O_DT2[7:0]								xxh	CGMS ODD データ 2
#99h	R	C.C_O_ P1_ER	C.C_O_ P2_ER	(res)	CGMS_ O_CRC _ER	CGMS_O_DT1[3:0]			xxh	CGMS ODD データ 1	
#9Ah	R	CGMS_E_DT3[7:0]								xxh	CGMS EVEN データ 3
#9Bh	R	CGMS_E_DT2[7:0]								xxh	CGMS EVEN データ 2
#9Ch	R	C.C_E_ P1_ER	C.C_E_ P2_ER	(res)	CGMS_ E_CRC _ER	CGMS_E_DT1[3:0]			xxh	CGMS EVEN データ 1	
#9Dh	R	WSS_DG2[1:0]		WSS_DG3[2:0]			WSS_DG4[2:0]			xxh	WSS データ 2
#9Eh	R	WSS_P _ER	(res)	WSS_DG1[3:0]			WSS_DG2[3:2]			xxh	WSS データ 1
#9Fh	R	(res)								xxh	Reserved Register



レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#A0h	W/R	(res)								82h	Reserved Register
#A1h	W/R	(res)								41h	Reserved Register
#A2h	W/R	(res)								41h	Reserved Register
#A3h	W/R	(res)								82h	Reserved Register
#A4h	W/R	(res)								14h	Reserved Register
#A5h	W/R	(res)								28h	Reserved Register
#A6h	W/R	(res)								28h	Reserved Register
#A7h	W/R	(res)								14h	Reserved Register
#A8h	W/R	(res)								A5h	Reserved Register
#A9h	W/R	(res)								A5h	Reserved Register
#AAh	W/R	(res)								5Ah	Reserved Register
#ABh	W/R	(res)								5Ah	Reserved Register
#ACh	W/R	(res)								A5h	Reserved Register
#ADh	W/R	(res)								A5h	Reserved Register
#AEh	W/R	(res)								5Ah	Reserved Register
#AFh	W/R	(res)								5Ah	Reserved Register
#B0h	-	-								-	-
#B1h	-	-								-	-
#B2h	-	-								-	-
#B3h	-	-								-	-
#B4h	-	-								-	-
#B5h	-	-								-	-
#B6h	-	-								-	-
#B7h	-	-								-	-
#B8h	-	-								-	-
#B9h	-	-								-	-
#BAh	-	-								-	-
#BBh	-	-								-	-
#BCh	W/R	TMDEN	TMDSEL[2:0]			TOPT	TRENB	TGENB	TBENB	00h	内蔵テストパターン出力設定
#BDh	W/R	TPATCOL[7:0]								00h	内蔵テストパターン出力色設定
#BEh	W/R	(res)								00h	Reserved Register
#BFh	W/R	(res)								00h	Reserved Register

レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#C0h	W/R	(res)				-		(res)		00h	Reserved Register
#C1h	W/R	(res)								00h	Reserved Register
#C2h	W/R	(res)								00h	Reserved Register
#C3h	W/R	(res)								00h	Reserved Register
#C4h	W/R	-					(res)			00h	Reserved Register
#C5h	W/R	(res)								00h	Reserved Register
#C6h	W/R	-					(res)			00h	Reserved Register
#C7h	-	-								-	-
#C8h	-	-								-	-
#C9h	-	-								-	-
#CAh	W/R	(res)								00h	Reserved Register
#CBh	W/R	(res)								00h	Reserved Register
#CCh	W/R	(res)								00h	Reserved Register
#CDh	W/R	(res)								00h	Reserved Register
#CEh	W/R	(res)								00h	Reserved Register
#CFh	W/R	(res)								00h	Reserved Register
#D0h	W/R	(res)								02h	Reserved Register
#D1h	-	-								-	-
#D2h	W/R	(res)								00h	Reserved Register
#D3h	W/R	(res)								00h	Reserved Register
#D4h	W/R	(res)								00h	Reserved Register
#D5h	W/R	(res)								00h	Reserved Register
#D6h	W/R	(res)								00h	Reserved Register
#D7h	W/R	(res)								00h	Reserved Register
#D8h	W/R	(res)								00h	Reserved Register
#D9h	W/R	(res)								00h	Reserved Register
#DAh	W/R	(res)								00h	Reserved Register
#DBh	W/R	(res)								00h	Reserved Register
#DCh	W/R	(res)								00h	Reserved Register
#DDh	W/R	(res)								00h	Reserved Register
#DEh	W/R	(res)								2Ah	Reserved Register
#DFh	W/R	(res)								0Ah	Reserved Register

レジスタ アドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#E0h	W/R	(res)								00h	Reserved Register
#E1h	W/R	(res)								00h	Reserved Register
#E2h	W/R	(res)								00h	Reserved Register
#E3h	W/R	(res)								00h	Reserved Register
#E4h	W/R	(res)								00h	Reserved Register
#E5h	W/R	(res)								00h	Reserved Register
#E6h	W/R	(res)								00h	Reserved Register
#E7h	W/R	(res)								00h	Reserved Register
#E8h	W/R	(res)								00h	Reserved Register
#E9h	W/R	(res)								00h	Reserved Register
#EAh	W/R	(res)								00h	Reserved Register
#EBh	W/R	(res)								00h	Reserved Register
#ECh	W/R	(res)								00h	Reserved Register
#EDh	W/R	(res)								40h	Reserved Register
#EEh	W/R	(res)								00h	Reserved Register
#EFh	W/R	(res)								00h	Reserved Register
#F0h	W/R	(res)								00h	Reserved Register
#F1h	W/R	(res)								00h	Reserved Register
#F2h	W/R	(res)								00h	Reserved Register
#F3h	W/R	(res)								00h	Reserved Register
#F4h	W/R	(res)								00h	Reserved Register
#F5h	W/R	(res)								00h	Reserved Register
#F6h	-	-								-	-
#F7h	-	-								-	-
#F8h	-	-								-	-
#F9h	-	-								-	-
#FAh	W/R	(res)								80h	Reserved Register
#FBh	W/R	(res)								00h	Reserved Register
#FCh	W/R	(res)								00h	Reserved Register
#FDh	W/R	(res)								00h	Reserved Register
#FEh	W/R	(res)								00h	Reserved Register
#FFh	W/R	(res)								00h	Reserved Register

## 9.2. 入出力制御部/システム制御部コントロールレジスタ詳細

## 9.2.1. Sub Address #00h / 入力信号フォーマット設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#00h	VIF[3:0]				(res)	SPMD[1:0]		AVMD	11h

#00h/bit[7:4] VIF[3:0]、映像入力信号のビデオフォーマット指定

bit[0] AVMD="0"設定時に有効ですが、bit[0] AVMD="1"設定時(自動判別)においても、NTSC-MとNTSC-Jの選択は、本設定値が有効です。

- "0000" : NTSC-M
- "0001" : NTSC-J (default)
- "0010" : NTSC443
- "0011" : PAL
- "0100" : PAL-M
- "0101" : PAL-N
- "0110" : PAL-Nc
- "0111" : PAL-60
- "1000" ~ "1111" : 設定禁止

#00h/bit[3] 未定義

"0" (初期値)を設定してください。

#00h/bit[2:1] SPMD[1:0]、入力サンプリングクロックの設定

使用する入力映像信号とサンプリングクロックに合わせて動作モードを設定してください。動作クロックは倍速となります。

- "00" : NTSC/PAL ITU-R BT. 601 27MHz 動作 (default)
- "01" : NTSC Square-Pixel 24.5454MHz 動作
- PAL Square-Pixel 29.5MHz 動作
- "10" : NTSC 4FSC 28.6363MHz 動作
- PAL ITU-R BT. 601 27MHz 動作
- "11" : 設定禁止

Square-Pixel モード使用時は、レジスタ bit[0] AVMD を"0"に設定し、さらに bit[7:4] VIF[3:0]にてNTSCまたはPALを選択して使用してください。

**【注意】** "10"設定時、PALは自動判定モード(#00h/bit[0] AVMD="1")のみ使用可能です。自動判定結果がNTSCと判定された場合のみ、NTSC 4FSCで動作します。NTSC-MとNTSC-Jの選択は、#00h/bit[7:4] VIF[3:0]の設定値が有効です。

#00h/bit[0] AVMD、自動ビデオモード設定

入力信号のサンプリング周波数がITU-R BT.601またはNTSC-4FSC時、自動判定を行います。

- "0" : 固定モード (#00h/bit[7:4] VIF[3:0] レジスタ有効)
- "1" : 自動判定モード (default)

bit[2:1] SPMDが"00"または"10"時のみ自動判定が可能です。

#04hのマスク設定により、判定する入力信号を制限できます

NTSC-MとNTSC-Jの判別は#00h/bit[7:4] VIF[3:0]レジスタに従います。

## 9.2.2. Sub Address #01h / 出力信号フォーマット設定1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#01h	(res)				CbCr_E DGE	DSLCE N	CLK_ DRV	DO_ DRV	00h

#01h/bit[7:4] 未定義

“0000” (初期値) を設定してください。

#01h/bit[3] CbCr\_EDGE、Cb/Cr 基準位置設定

LVTTL(BT.656)出力時、色差データ Cb/Cr の基準を EAV または SAV どちらにするか選択します。

“0” : EAV を基準 (default)

“1” : SAV を基準

#01h/bit[2] DSLCEN、DCLK スルーレート制御

LVTTL(BT.656)出力時、DCLK, DY7-0 端子のスルーレート制御を行います。スルーレート ON により出力変化を緩やかにします。

DCLK 端子のスルーレート機能は、ドライブ能力が 8mA(CLK\_DRV=“1”)の時に有効です。

DY7-0 端子のスルーレート機能は、ドライブ能力が 4mA(DO\_DRV=“0”)の時に有効です。

“0” : スルーレート OFF (default)

“1” : スルーレート ON

#01h/bit[1] CLK\_DRV、DCLK ドライブ能力設定

LVTTL(BT.656)出力時、DCLK 端子のドライブ能力を選択します。

“0” : 4mA (default)

“1” : 8mA

#01h/bit[0] DO\_DRV、出力端子ドライブ能力設定

LVTTL(BT.656)出力時、DY7-DY0 出力端子のドライブ能力を選択します。

“0” : 4mA (default)

“1” : 2mA

## 9.2.3. Sub Address #02h / 出力信号フォーマット設定 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#02h	SLEEP_HIZ	(res)	OUT_HIZ	FIELD_INV	(res)			CLK_INV	89h

#02h/bit[7] SLEEP\_HIZ、SLEEP 時の出力端子状態設定

LVTTL(BT.656)出力時、スリープモード時の出力端子(DY7-DY0, DCLK)状態を選択します。

#02h/bit[5](OUT\_HIZ)="0"の時に有効です。

Hi-Z モードで使用する場合は、出力端子をプルアップまたはプルダウンし、中間電位の状態が発生しないようにしてください。

“0” : High or Low (Hi-Z にならない)

“1” : Hi-Z (default)

#02h/bit[6] 未定義

“0” (初期値) を設定してください。

#02h/bit[5] OUT\_HIZ、LVTTL 動作時の出力端子状態選択

LVTTL(BT.656)出力時の出力端子(DY7-DY0)状態を選択します。

Hi-Z モードで使用する場合は、出力端子をプルアップまたはプルダウンし、中間電位の状態が発生しないようにしてください。

“0” : Active (default)

“1” : Hi-Z

#02h/bit[4] FIELD\_INV、出力フィールドの選択

STATUS 端子から出力する出力フィールド信号、および LVTTL(BT.656)出力時の出力フィールド信号の論理を選択します。フィールド信号 ODD/EVEN は#78h/bit[7:4](STATUS\_SEL)の設定により

STATUS 端子から出力が可能です。

“0” : ODD= “H”、EVEN= “L” (default)

“1” : ODD= “L”、EVEN= “H”

#02h/bit[3:1] 未定義

“100” (初期値) を設定してください。

#02h/bit[0] CLK\_INV、出力クロック設定

LVTTL(BT.656)出力時、クロック出力(DCLK)の論理を反転します。設定値とクロック、データの関係については 4.2 LVTTL 出力(BT.656)の図をご確認ください。

“0” : 立ち上がりエッジ出力

“1” : 立ち下がりエッジ出力 (default)

## 9.2.4. Sub Address #03h / 出力信号フォーマット設定3 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#03h	(res)				DDRO_CLKPH	(res)	DDRO_MODE	DDRO_SEL	00h

#03h/bit[7:4] 未定義

“0000” (初期値) を設定してください。

#03h/bit[3] DDRO\_CLKPH、DDR クロック位相選択

LVTTTL(BT.656)出力時、Dual-Edge 使用時のクロックとデータの位相を選択します。設定値とクロック、データの関係については 4.2 LVTTTL 出力(BT.656)の図をご確認ください。

“0” : クロックエッジとデータを同じ位相で出力 (default)

“1” : クロックエッジとデータを半相ずらして出力

#03h/bit[2] 未定義

“0” (初期値) を設定してください。

#03h/bit[1] DDRO\_MODE、Dual Edge クロック出力設定

LVTTTL(BT.656)出力時、DCLK から出力するクロックを選択します。設定値とクロック、データの関係については 4.2 LVTTTL 出力(BT.656)の図をご確認ください。

“0” : Single Edge クロック (default)

“1” : Dual Edge クロック

#03h/bit[0] DDRO\_SEL、Dual Edge 動作モード設定

LVTTTL(BT.656)出力時、Dual-Edge 使用時の動作モードを選択します。Single end モード時は“0”を設定してください。設定値とクロック、データの関係については 4.2 LVTTTL 出力(BT.656)の図をご確認ください。

“0” : Dual Edge モード 1 (default)

“1” : Dual Edge モード 2

## 9.2.5. Sub Address #04h / 入力モード自動判定マスク設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#04h	(res)	VMSK-NTSC-443	(res)	VMSK-PAL-M	VMSK-PAL-N	VMSK-PAL-Nc	VMSK-PAL-60	(res)	5Fh

#04h/bit[7] 未定義

“0”（初期値）を設定してください。

#04h/bit[6] VMSK-NTSC-443

入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。  
このレジスタは NTSC-443 用です。

“0”：判定実施 / “1”：マスク (default)

#04h/bit[5] 未定義

“0”（初期値）を設定してください。

#04h/bit[4] VMSK-PAL-M

入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。  
このレジスタは PAL-M 用です。

“0”：判定実施 / “1”：マスク (default)

#04h/bit[3] VMSK-PAL-N

入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。  
このレジスタは PAL-N 用です。

“0”：判定実施 / “1”：マスク (default)

#04h/bit[2] VMSK-PAL-Nc

入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。  
このレジスタは PAL-Nc 用です。

“0”：判定実施 / “1”：マスク (default)

#04h/bit[1] VMSK-PAL-60

入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。  
このレジスタは PAL-60 用です。

“0”：判定実施 / “1”：マスク (default)

#04h/bit[0] 未定義

“1”（初期値）を設定してください。

**【注意】** NTSC-443、PAL-60 の両者を自動判定させると正常に判定ができなくなりますので、NTSC-443 または PAL-60 のいずれか一方をマスクしてください。



## 9.2.6. Sub Address #05h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#05h	(res)								00h

#05h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.2.7. Sub Address #06h / 出力信号フォーマット設定 4 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#06h	SELTTL	(res)				IP_OSEL	(res)		00h

#06h/bit[7] SELTTL、出力選択

出力を選択します。

“0” : MIPI CSI2 出力 (default) / “1” : LVTTL BT. 656 出力

#06h/bit[6:3] 未定義

“0000” (初期値) を設定してください。

#06h/bit[2] IP\_OSEL、フィールド内 IP 補間選択

フィールド内 IP 補間の有無を選択します。

“0” : フィールド内 IP 補間なし インタレース出力 (default)

“1” : フィールド内 IP 補間あり プログレッシブ出力

フィールド内 IP 補間選択を変更するときは#28h/bit[7:0]の設定も変更してください。

#06h/bit[0] 未定義

“0” (初期値) を設定してください。

9.2.8. Sub Address #07h / 出力信号フォーマット設定 5 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#07h	MIT_EN B	(res)		MIT_PN _SEL	(res)				08h

#07h/bit[7] MIT\_ENB、MIPI-Tx 起動設定

MIPI CSI2 出力の起動イネーブルです。

この機能は外部端子 MTPWDN でも制御可能です。

“0” : MIPI CSI2 OFF (default) / “1” : MIPI CSI2 ON

#07h/bit[6:5] 未定義

“00” (初期値) を設定してください。

#07h/bit[4] MIT\_PN\_SEL、MIPI-Tx ポート P/N 選択

MIPI CSI2 出力ポート P と N を入れ替えることが可能です。

“0” : 通常 (default)

10 pin: MTDOP

11 pin: MTDON

12 pin: MTCKP

13 pin: MTCKN

“1” : 入替

10 pin: MTDON

11 pin: MTDOP

12 pin: MTCKN

13 pin: MTCKP

#07h/bit[3:0] 未定義

“1000” (初期値) を設定してください。

9.2.9. Sub Address #08h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#08h	(res)								08h

#08h/bit[7:0] 未定義

“08h” (初期値) を設定してください。

## 9.2.10. Sub Address #09h / 出力信号フォーマット設定 6 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#09h	(res)	MIT_FID INV	(res)					MIT_ST P	01h

#09h/bit[7] 未定義

“0” (初期値) を設定してください。

#09h/bit[6] MIT\_FIDINV、MIPI-Tx Field 反転設定

MIPI CSI2 出力の Field Number とフィールドフラグ ODD/EVEN の対応を反転させることが可能です。  
この設定はインタレース出力のみ有効です。

- “0” : 通常 (default)  
       ODD / Field Number1  
       EVEN/ Field Number2
- “1” : 反転  
       ODD / Field Number2  
       EVEN/ Field Number1

#09h/bit[5:1] 未定義

“00000” (初期値) を設定してください。

#09h/bit[0] MIT\_STP、MIPI-Tx 出力停止設定

MIPI CSI2 出力のデータ・クロック出力を停止します。  
この機能は外部端子 MTSTP でも制御可能です。

- “0” : 出力  
       “1” : 出力停止 (default)

## 9.2.11. Sub Address #0Ah / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Ah	(res)								00h

#0Ah/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.2.12. Sub Address #0Dh/ パワーダウン設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Dh	ALL_PD EN	(res)							00h

#0Dh/bit[7] ALL\_PDEN、パワーダウン設定

本製品の内部動作を最小限にし、パワーダウンを行います。ALL\_PDEN="1"時は、同期信号、データ出力も停止します。

“0”：通常動作 (default) / “1”：パワーダウンモード

#0Dh/bit[6:0] 未定義

“0000000” (初期値) を設定して下さい。

## 9.2.13. Sub Address #0Eh / Reserved Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Eh	(res)								xxh

#0Eh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

## 9.2.14. Sub Address #0Fh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Fh	(res)								00h

#0Fh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.3. デコーダ部コントロールレジスタ詳細

## 9.3.1. Sub Address #10h / Y/C 分離設定 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#10h	(res)		YC_SFM[1:0]		(res)				00h

## #10h/bit[7:6] 未定義

“00”（初期値）を設定してください。

## #10h/bit[5:4] YC\_SFM[1:0]、Y/C 分離フィルタの設定

コンポジットビデオ信号を輝度データ(Y)と色差データ(C)に分離するフィルタです。

“00”：[NTSC] 適応型 / [PAL] 適応型 (default)

ライン間の相関で 2Line-Comb、3Line-Comb フィルタまたはトラップフィルタを適応的に選択するフィルタです。水平/垂直方向ともに YC 分離特性が良くなります。

“01”：[NTSC] Comb フィルタ / [PAL] Comb フィルタ

垂直方向の YC 分離特性の良いフィルタです。

“10”：[NTSC] Trap フィルタ / [PAL] Trap フィルタ

水平方向の YC 分離特性の良いフィルタです。

“11”：設定禁止

YC_SFM [1:0]	NTSC Y/C 分離方式	PAL Y/C 分離方式
00	適応型フィルタ	適応型フィルタ
01	3line コムフィルタ	2line コムフィルタ
10	トラップフィルタ	トラップフィルタ
11	設定禁止	設定禁止

## #10h/bit[3:0] 未定義

“0000”（初期値）を設定してください。

## 9.3.2. Sub Address #11h / Y/C 分離設定 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#11h	(res)					CT_THR	(res)		00h

## #11h/bit[7:3] 未定義

“00000” (初期値) を設定してください。

## #11h/bit[2] CT\_THR、Y/C 分離 COMB/TRAP 判定スレッシュホールド選択

適応型フィルタの COMB/TRAP 判定スレッシュホールドを選択します。

“0” : COMB と判定しやすい (default)

“1” : TRAP と判定しやすい

## #11h/bit[1:0] 未定義

“00” (初期値) を設定してください。

## 9.3.3. Sub Address #12h / Y/C 分離設定 3 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#12h	(res)		ADP_THR3[1:0]		ADP_THR2[1:0]		ADP_THR1[1:0]		10h

## #12h/bit[7:6] 未定義

“00” (初期値) を設定してください。

## #12h/bit[5:4] ADP\_THR3[1:0]、Y/C 分離エッジ判定スレッシュホールド選択

適応型フィルタの輝度エッジ判定スレッシュホールドを選択します。

輝度エッジを検出すると COMB フィルタで動作します。

“00” : COMB と判定しやすい

“01” : ↑ (default)

“10” : ↓

“11” : TRAP と判定しやすい

## #12h/bit[3:2] ADP\_THR2[1:0]、Y/C 分離輝度相関判定スレッシュホールド選択

適応型フィルタの輝度相関判定スレッシュホールドを選択します。

“10” : 相関ありと判定しやすい

“01” : ↑

“00” : ↓ (default)

“11” : 相関なしと判定しやすい

## #12h/bit[1:0] ADP\_THR1[1:0]、Y/C 分離色相関判定スレッシュホールド選択

適応型フィルタの色相関判定スレッシュホールドを選択します。

“10” : 相関ありと判定しやすい

“01” : ↑

“00” : ↓ (default)

“11” : 相関なしと判定しやすい

## 9.3.4. Sub Address #18h/ Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#18h	(res)								C0h

#18h/bit[7:0] 未定義

“C0h” (初期値) を設定してください。

## 9.3.5. Sub Address #20h/ Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#20h	(res)								24h

#20h/bit[7:0] 未定義

“24h” (初期値) を設定してください。

## 9.3.6. Sub Address #21h/ Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#21h	(res)								0Ch

#21h/bit[7:0] 未定義

“0Ch” (初期値) を設定してください。

## 9.3.7. Sub Address #22h / 同期検出設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値	
#22h	(res)	FID AINV	(res)							04h

#22h/bit[7] 未定義

“0” (初期値) を設定してください。

#22h/bit[6] FIDAINV、フィールド信号の自動トグルモード

片フィールド信号入力された場合に、ODD/EVEN 信号を自動的にトグルさせるモードです。

フィールドが連続した場合、1フィールド毎にフィールド信号を反転させます。

MIPI-CSI2 出力時の Frame Number、LVTTTL(BT.656)出力時(プログレッシブ出力含む)の F フラグ(フィールド情報)もトグルします。

“0”: OFF (default) / “1”: ON

#22h/bit[5:0] 未定義

“000100” (初期値) を設定してください。

## 9.3.8. Sub Address #23h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#23h	(res)								1Fh

#23h/bit[7:0] 未定義

“1Fh” (初期値) を設定してください。

## 9.3.9. Sub Address #24h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#24h	(res)								C0h

#24h/bit[7:0] 未定義

“C0h” (初期値) を設定してください。

## 9.3.10. Sub Address #25h / 水平同期信号 (HSYNC) 位置調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#25h	HSDLY[7:0]								00h

#25h/bit[7:0] HSDLY[7:0]、HSYNC 出力位置調整

アナログビデオ入力から検出した水平同期信号 HSYNC\_L 位置調整用のレジスタです。  
VSYNC\_L 出力も同時に調整されるので、HSYNC\_L と VSYNC\_L の位相は変化しません。  
通常は初期状態で使用できます。

“0111\_1111” : +127 pixel

|

“0000\_0000” : 0 pixel (default)

|

“1000\_0000” : -128 pixel



## 9.3.11. Sub Address #26h / 水平有効データ領域 (HVALID) 調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#26h	HVL DST[3:0]				HVL DSP[3:0]				00h

#26h/bit[7:4] HVL DST[3:0]、HVALID スタート位置調整

アナログビデオ入力から検出した水平有効データ期間 HVALID 立ち上がり位置調整用のレジスタです。通常は初期状態で使用できます。

“0111” : +7 pixel

|

“0000” : 0 pixel (default)

|

“1000” : -8 pixel

#26h/bit[3:0] HVL DSP[3:0]、HVALID ストップ位置調整

アナログビデオ入力から検出した水平有効データ期間 HVALID 立ち下がり位置調整用のレジスタです。通常は初期状態で使用できます。

“0111” : +7 pixel

|

“0000” : 0 pixel (default)

|

“1000” : -8 pixel

## 9.3.12. Sub Address #27h / 垂直有効データ領域 (VVALID) 調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#27h	VVL DST[3:0]				VVL DSP[3:0]				00h

#27h/bit[7:4] VVL DST[3:0]、VVALID スタート位置調整

アナログビデオ入力から検出した垂直有効データ期間 VVALID 立ち上がり位置調整用のレジスタです。通常は初期状態で使用できます。

“0111” : +7 line

|

“0000” : 0 line (default)

|

“1000” : -8 line

#27h/bit[3:0] VVL DSP[3:0]、VVALID ストップ位置調整

アナログビデオ入力から検出した垂直有効データ期間 VVALID 立ち下がり位置調整用のレジスタです。通常は初期状態で使用できます。

“0111” : +7 line

|

“0000” : 0 line (default)

|

“1000” : -8 line

9.3.13. Sub Address #28h / I/P 有効領域設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#28h	VVLD_IP[7:0]								00h

#28h/bit[7:0] VVLD\_IP、I/P 有効領域設定

インタレース動作(#06h/bit[2]="0")、プログレッシブ動作(#06h/bit[2]="1")で値を選択してください。

“00h” : インタレース動作時 (default)

“44h” : プログレッシブ動作時

上記以外 : 設定禁止

9.3.14. Sub Address #29h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#29h	(res)								00h

#29h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

9.3.15. Sub Address #2Ah / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#2Ah	(res)								00h

#2Ah/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.3.16. Sub Address #30h / AGC 設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#30h	AGC_FT[1:0]		(res)	LOSET_E	DIFF_LUM	(res)			50h

#30h/bit[7:6] AGC\_FT[1:0]、輝度デジタル AGC 機能の収束時間設定

輝度デジタル AGC 機能の収束時間設定を行います。

デジタル AGC は、検出した SYNC の深さを 40IRE として自動的に係数を設定し、それに合わせ輝度レベルを自動調整する機能です。

この機能により、入力レベルが変化しても常に一定の輝度データレベルが得られます。

収束時間は Slow Medium Fast とステップ毎に約 4 倍変化します。

ゲイン値の調整は#31h AGC\_REF[7:0]、オフセット値の調整は#37h LOSET\_LV[6:0]で行います。

“00”：Slow AGC モード

“01”：Medium AGC モード (default)

“10”：Fast AGC モード

“11”：設定禁止

#30h/bit[5] 未定義

“0” (初期値) を設定してください。

#30h/bit[4] LOSET\_E、輝度データオフセット設定

本ビットが“1”のとき MGC による輝度の調整を行います。

ゲイン値の調整は#31h AGC\_REF[7:0]、オフセット値の調整は#37h LOSET\_LV[6:0]で行います。

“0”：輝度オフセット機能 OFF (AGC 動作)

“1”：輝度オフセット機能 ON (MGC 動作) (default)

AGC/MGC モードは bit[7:6] AGC\_FT、bit[4] LOSET\_E の設定の組み合わせにより、以下のように分類されます。

#30/bit[7:6]	#30/bit[4]	動作
00	0	AGC Slow
01	0	AGC Medium
10	0	AGC Fast
11	0	設定禁止
XX	1	MGC

#30h/bit[3] DIFF\_LUM、差動入力輝度設定

差動入力時(#68h/bit[3]=“1”)は、“1”を設定して下さい。

“0”：シングルエンド入力時 (default)

“1”：差動入力時

#30h/bit[2:0] 未定義

“000” (初期値) を設定してください。

## 9.3.17. Sub Address #31h / AGC リファレンス設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#31h	AGC_REF[7:0]								00h

## #31h/bit[7:0] AGC REF[7:0]、AGC リファレンスレベル

輝度レベルの傾き調整機能です。

ペDESTALレベルを起点として傾きを調整します。

デジタル AGC モード/MGC モード設定どちらのモードでも有効です。

AGC モード時ゲイン係数は約  $(350 + \text{AGCRC の値})/350$  倍となります。

MGC モード時ゲイン係数は約  $(227 + \text{AGCRC の値})/227$  倍となります。

“0111 1111” : 約 1.36 倍 (AGC 時)      約 1.56 倍 (MGC 時)

|

“0000 0000” : 約 1 倍 (AGC 時)      約 1 倍 (MGC 時)      (default)

|

“1000 0000” : 約 0.63 倍 (AGC 時)      約 0.44 倍 (MGC 時)

## 9.3.18. Sub Address #32h / 輝度出力レベル調整 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#32h	Y_LMT	(res)							80h

## #32h/bit[7] Y\_LMT、出力輝度データリミッタ設定

輝度出力データの制限範囲を選択します。

“0” : リミット制御なし

輝度出力範囲 LVTTTL (BT. 656) 出力=1~254、  
MIPI-CS12 出力=0~255

“1” : リミット制御あり (default) 輝度出力範囲 16~235

## #32h/bit[6:0] 未定義

“0000000” (初期値) を設定してください。

9.3.19. Sub Address #33h / 輝度出力レベル調整 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#33h	LGAIN_WTPK	(res)							84h

#33h/bit[7] LGAIN\_WTPK、輝度レベルピーク検出時のゲイン調整

輝度レベルピーク検出設定です。

輝度レベルピーク検出時、輝度データのゲインを調整する機能です。

本設定は AGC モード時のみ有効となります。関連レジスタ#30h/bit[7:6]を参照してください。

“0” : ON / “1” : OFF (default)

#33h/bit[6:0] 未定義

“000\_0100” (初期値) を設定してください。

9.3.20. Sub Address #34h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#34h	(res)								00h

#34h/bit[7:0] 未定義

“00” (初期値) を設定してください。

## 9.3.21. Sub Address #35h / 輝度出力レベル調整 3 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#35h	PRE_FIL	APTR_FIL[1:0]		CORING_SEL[1:0]		APTR_FIL_WT[2:0]			00h

#35h/bit[7] PRE\_FIL、画質調整用フィルタ

プリフィルタとシャープフィルタが同時に働き、3MHz 付近の周波数が強調されます。

#33h/bit[7] LGAIN\_WTPK="0"に設定している場合、3MHz 付近の周波数が強調される事により輝度レベルピークを検出し、出力レベルが小さくなる場合があります。

"0" : OFF (default) / "1" : ON

#35h/bit[6:5] APTR\_FIL[1:0]、輪郭補正用フィルタ

輪郭補正用フィルタの特性設定です。bit[4:0]と組み合わせて使用します。

強調する周波数帯域を選択します。highレンジほど高域が強調されます。

"00" : middle range0 (default)

"01" : range1

"10" : range2

"11" : high range3

#35h/bit[4:3] CORING\_SEL[1:0]、輪郭補正を行うレベル設定

輪郭補正の対象強度の設定です。bit[6:5]bit[2:0]と組み合わせて使用します。

隣り合う画素のデータ差分量によって、その輪郭成分を強調するかどうかを選択します。

"00" : 常に強調する (default)

"01" : 強調感度 強 (データ差分量が小さくても強調補正を行います)

"10" : 強調感度 中

"11" : 強調感度 弱 (データ差分量が小さい場合は強調補正を行いません)

#35h/bit[2:0] APTR\_FIL\_WT[2:0]、輪郭補正用フィルタの係数設定

輪郭補正用フィルタの強調レベル設定です。bit[6:5]bit[4:3]と組み合わせて使用します。

高域の周波数が強調されます。

"000" : 強調レベル 0 (輪郭補正 OFF) (default)

"001" : 強調レベル 1

"010" : 強調レベル 2

"011" : 強調レベル 3

"100" : 強調レベル 4

"101" : 強調レベル 5

"110" : 強調レベル 6

"111" : 強調レベル 7 (一番強調します)

【注意】輪郭補正を行うと、輪郭が強調されアンダーシュートやオーバーシュートが発生する場合があります。

## 9.3.22. Sub Address #36h / コントラスト調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#36h	(res)	CTCNT[5:0]						(res)	00h

#36h/bit[7] 未定義

“0” (初期値) を設定してください。

#36h/bit[6:1] CTCNT[5:0]、コントラストレベルの調整

コントラストレベルの調整機能です。輝度のデジタル値 128 を中心に傾きを調整します。

“01 1111” : 63/32 倍

|

“00 0000” : 32/32 倍 (default)

|

“10 0001” : 1/32 倍

“10 0000” : 設定禁止

#36h/bit[0] 未定義

“0” (初期値) を設定してください。

## 9.3.23. Sub Address #37h / 輝度オフセット調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#37h	(res)	LOSET_LV[6:0]						(res)	00h

#37h/bit[7] 未定義

“0” (初期値) を設定してください。

#37h/bit[6:0] LOSET\_LV、輝度オフセット調整

ペDESTALレベルに対して輝度レベルに加算されるオフセット値の設定を行います。

本レジスタを設定することにより、輝度の調整が可能です。

“011 1111” : -7 IRE (輝度レベルが低くなる)

|

“000 0000” : ±0 IRE (default)

|

“100 0000” : +7 IRE (輝度レベルが高くなる)

## 9.3.24. Sub Address #38h / CTI 設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#38h	CTI_BAND[2:0]			CTI_CORING[1:0]		CTI_GAIN[2:0]			00h

#38h/bit[7:5] CTI\_BAND[2:0]、CTI リミット設定

クロマ信号輪郭補正時のリミットレベルを設定します。

“リミット値 小”設定より“リミット値 大”設定が強調されます。

“000”：リミット値 大 (default)

“001”：リミット値 中

“010”：リミット値 小

上記以外：設定禁止

#38h/bit[4:3] CTI\_CORING[1:0]、輪郭補正を行うレベル設定

輪郭補正の対象強度の設定です。bit[7:5]bit[2:0]と組み合わせて使用します。

隣り合う画素のデータ差分量によって、その輪郭成分を強調するかどうかを選択します。

“00”：常に強調する (default)

“01”：強調感度 強 (データ差分量が小さくても強調補正を行います)

“10”：強調感度 中

“11”：強調感度 弱 (データ差分量が小さい場合は強調補正を行いません)

#38h/bit[2:0] CTI\_GAIN[2:0]、輪郭補正強調レベル設定

輪郭補正用フィルタの強調レベル設定です。bit[7:5]bit[4:3]と組み合わせて使用します。

“000”：強調レベル 0 (輪郭補正 OFF) (default)

“001”：強調レベル 1

“010”：強調レベル 2

“011”：強調レベル 3

“100”：強調レベル 4

“101”：強調レベル 5

“110”：強調レベル 6

“111”：強調レベル 7 (一番強調します)



9.3.25. Sub Address #40h / ACC ループフィルタ & クロマ設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#40h	ACC_LF_TM[1:0]		(res)						40h

#40h/bit[7:6] ACC LF\_TM[1:0]、クロマデジタル ACC 機能の収束特性設定

クロマデジタル ACC または MCC モード設定、および ACC 機能の収束時間設定を行います。

デジタル ACC は、検出したバースト信号の振幅を 40IRE として自動的に係数を設定し、それに合わせクロマデータのゲインを自動調整する機能です。

この機能により、入力レベルが変化しても常に一定のクロマデータレベルが得られます。

収束時間は、Slow-Medium では約 4 倍、Slow-Fast では 64 倍の収束速度となります。

MCC モードは入力カラーバースト信号の振幅にかかわらず、クロマ倍率をレジスタ#41h

ACC\_REF[7:0]で決定します。

“00” : Fast ACC Mode

“01” : Slow ACC Mode (default)

“10” : Medium ACC Mode

“11” : MCC Mode

#40h/bit[5:0] 未定義

“00\_0000” (初期値) を設定してください。

9.3.26. Sub Address #41h / ACC リファレンス設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#41h	ACC_REF[5:0]						(res)		00h

#41h/bit[7:2] ACC\_REF[5:0]、ACC リファレンスレベル

クロマレベル(色レベル)の調整を行います。

ACC モード時ゲイン係数は約  $(44 + (\text{ACCRC の値}/4)) / 44$  倍となります。

MCC モード時ゲイン係数は約  $(32 + (\text{ACCRC の値}/4)) / 32$  倍となります。

“0111 1111” : 約 1.7 倍 (ACC 時) 約 1.97 倍 (MCC 時)

|

“0000 0000” : 約 1 倍 (ACC 時) 約 1 倍 (MCC 時) (default)

|

“1000 0000” : 約 0.27 倍 (ACC 時) 約 0 倍 (MCC 時)

このほかに#46h/bit[7:1] U\_LV\_CNT[6:0], #47h/bit[7:1] V\_LV\_CNT[6:0]で Cb,Cr 信号を個別にレベル調整可能です。

#41h/bit[1:0] 未定義

“00” (初期値) を設定してください。

## 9.3.27. Sub Address #42h / クロマ出力レベル調整 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#42h	C_LMT	(res)		CFORM	(res)				80h

#42h/bit[7] C\_LMT、出力クロマデータリミッタ設定

クロマ出力データの制限範囲を選択します。

“0”：リミット制御なし

クロマ出力範囲 LVTTTL (BT. 656) 出力=1~254、MIPI-CS12 出力=0~255

“1”：リミット制御あり (default)

クロマ出力範囲 16~240

#42h/bit[6:5] 未定義

“00” (初期値) を設定してください。

#42h/bit[4] CFORM、出力クロマデータフォーマット設定

LVTTTL (BT.656) 出力時、クロマ出力データのフォーマットを選択します。

“0”：オフセットバイナリ形式 (default)

“1”：2の補数形式

#42h/bit[3:0] 未定義

“0000” (初期値) を設定してください。

## 9.3.28. Sub Address #43h / カラーキラー設定1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#43h	CKIL_MD	CKIL_TH[1:0]		CKIL_PHS	CKIL_TV	(res)			40h

#43h/bit[7] CKIL\_MD、カラーキラーモード設定

カラーキラーモードを選択します。

“0”：オートカラーキラーモード (default)

カラーキラー閾値 bit[6:5] CKIL\_TH[1:0]の設定によりカラーバースト信号振幅レベル、サブキャリア位相、TVシステム自動判定に応じて自動的に白黒出力を行います。

“1”：強制カラーキラーモード

クロマデータを強制的に白黒出力とする機能です。

#43h/bit[6:5] CKIL\_TH[1:0]、カラーキラー閾値

オートカラーキラーモード(bit[7] CKIL\_MD=“0”)時の検出設定です。

NTSC/PAL 入力時のカラーキラー判定レベルは、基準カラーバースト信号振幅レベル(40IRE)との比率で設定します。

“00”：10%以下

“01”：5%以下

“10”：3%以下 (default)

“11”：カラーキラーOFF

#43h/bit[4] CKIL\_PHS、カラーキラーサブキャリア位相ロック判定

オートカラーキラーモード(bit[7] CKIL\_MD=“0”)時の検出設定です。

サブキャリア位相がロックしているかを判定し、ロックしていない場合にカラーキラーを行います。

“0”：OFF (default) / “1”：ON

#43h/bit[3] CKIL\_TV、カラーキラーTVシステム判定

オートカラーキラーモード(bit[7] CKIL\_MD=“0”)時の検出設定です。

TVシステム自動判定が判定できない時、及び判定中にカラーキラーを行います。

“0”：OFF (default) / “1”：ON

#43h/bit[2:0] 未定義

“000” (初期値) を設定してください。

## 9.3.29. Sub Address #44h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#44h	(res)								14h

#44h/bit[7:0] 未定義

“14h” (初期値) を設定してください。

## 9.3.30. Sub Address #45h / 色相コントロール (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#45h	HUE_CNT[7:0]								00h

#45h/bit[7:0] HUE\_CNT[7:0]、色相の調整

位相調整をします。1ビットで約 1.4 度変化します。(-178.6° ~ +180°)

“0111\_1111” : -178.6°

|

“0000\_0000” : 0° (default)

|

“1000\_0000” : +180°

## 9.3.31. Sub Address #46h / クロマ Cb レベルコントロール (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#46h	U_LV_CNT[6:0]							(res)	00h

#46h/bit[7:1] U\_LV\_CNT[6:0]、クロマデータ Cb レベルの調整

“011\_1111” : 95/32 倍

|

“000\_0000” : 32/32 倍 (default)

|

“110\_0001” : 1/32 倍

“110\_0000” : 設定禁止

|

“100\_0000” : 設定禁止

#46h/bit[0] 未定義

“0” (初期値) を設定してください。

9.3.32. Sub Address #47h / クロマ Cr レベルコントロール (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#47h	V_LV_CNT[6:0]							(res)	00h

#47h/bit[7:1] V\_LV\_CNT[6:0]、クロマデータ Cr レベルの調整

“011\_1111” : 95/32 倍

|

“000\_0000” : 32/32 倍 (default)

|

“110\_0001” : 1/32 倍

“110\_0000” : 設定禁止

|

“100\_0000” : 設定禁止

#47h/bit[0] 未定義

“0” (初期値) を設定してください。

9.3.33. Sub Address #48h - #49h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#48h	(res)								80h
#49h	(res)								00h

#48h/bit[7:0] 未定義

“80h” (初期値) を設定してください。

#49h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.3.34. Sub Address #50h / 自走同期出力制御 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#50h	(res)	BB_FMODE	(res)						89h

#50h/bit[7] 未定義

“1” (初期値) を設定してください。

#50h/bit[6] BB\_FMODE、強制自走同期出力モード設定

入力信号にかかわらず同期信号を強制的に自走出力し、#51h/bit[7:6] BB\_DSEL において選択した映像を出力します。

強制自走同期出力時も HLOCK 信号は入力信号により検出します。

#51h/bit[7:6]が“10”または“11”に設定されている場合は強制自走同期出力モードになりません。

“0” : OFF (default) / “1” : ON

#50h/bit[5:0] 未定義

“00\_1001” (初期値)を設定してください。

## 9. 3. 35. Sub Address #51h / 自走同期出力制御 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#51h	BB_DSEL[1:0]		(res)						80h

#51h/bit[7:6] BB\_DSEL[1:0]、自走同期出力時の出力データ選択

自走同期出力時の出力映像データを選択します。

“00”：任意色（#52h～#54hの設定データ）

“01”：ブラック

“10”：入力信号（default）

“11”：入力信号（モノクロ信号出力）

**【注意】** 強制自走同期出力時(#50h/bit[6]=“1”)では任意色またはブラック(“00”or“01”)に設定してください。

#51h/bit[5:0] 未定義

“00\_0000”（初期値）を設定してください。

## 9. 3. 36. Sub Address #52h / 自走同期出力制御 3 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#52h	BB_Y[7:0]								26h

#52h/bit[7:0] BB\_Y[7:0]、自走同期出力時の出力データ設定 1

#51h/bit[7:6] BB\_DSEL=“00”(任意色)設定時の輝度レベル設定です。

## 9. 3. 37. Sub Address #53h / 自走同期出力制御 4 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#53h	BB_CB[7:0]								5Ah

#53h/bit[7:0] BB\_CB[7:0]、自走同期出力時の出力データ設定 2

#51h/bit[7:6] BB\_DSEL=“00”(任意色)設定時の色差(Cb)レベル設定です。

2の補数形式で設定してください。

## 9. 3. 38. Sub Address #54h / 自走同期出力制御 5 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#54h	BB_CR[7:0]								ECh

#54h/bit[7:0] BB\_CR[7:0] 自走同期出力時の出力データ設定 3

#51h/bit[7:6] BB\_DSEL=“00”(任意色)設定時の色差(Cr)レベル設定です。

2の補数形式で設定してください。

9.3.39. Sub Address #55h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#55h	(res)								47h

#55h/bit[7:0] 未定義

“47h”（初期値）を設定してください。



## 9.3.40. Sub Address #56h / 自走同期出力制御 6 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#56h	(res)	HDET_FLD_F[2:0]			(res)	HDET_FLD_R[2:0]			23h

#56h/bit[7] 未定義

“0”（初期値）を設定してください。

#56h/bit[6:4] HDET\_FLD\_F[2:0]、同期検出設定（フィールド）1

同期検出状態から同期非検出判定への検出設定です。

無信号期間を下記設定フィールド数の連続性を見て、同期非検出(#91h[1]ST\_HLCK\_DT=“0”)と判定します。フィールド内の判定ライン数は#57h/bit[6:4](HDET\_LINE\_F)で設定します。

“000”：フィールド判定なし

（ライン判定のみ。ライン判定は#57h/bit[6:4]で設定します）

“001”：1 Field

“010”：2 Field (default)

“011”：5 Field

“100”：10 Field

“101”：50 Field

“110”：100 Field

“111”：255 Field

#56h/bit[3] 未定義

“0”（初期値）を設定してください。

#56h/bit[2:0] HDET\_FLD\_R[2:0]、同期検出設定（フィールド）2

同期非検出状態から同期検出判定への検出設定です。

信号入力期間を下記設定フィールド数の連続性を見て、同期検出(#91h[1]ST\_HLCK\_DT=“1”)と判定します。フィールド内の判定ライン数は#57h/bit[2:0](HDET\_LINE\_R)で設定します。

“000”：フィールド判定なし

（ライン判定のみ。ライン判定は#57h/bit[2:0]で設定します）

“001”：1 Field

“010”：2 Field

“011”：5 Field (default)

“100”：10 Field

“101”：50 Field

“110”：100 Field

“111”：255 Field

## 9.3.41. Sub Address #57h / 自走同期出力制御 7 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#57h	(res)	HDET_LINE_F[2:0]			(res)	HDET_LINE_R[2:0]			41h

#57h/bit[7] 未定義

“0”（初期値）を設定してください。

#57h/bit[6:4] HDET\_LINE\_F[2:0]、同期検出設定(ライン)1

同期検出状態から同期非検出判定への検出設定です。

無信号期間を下記設定ライン数の連続性を見て、同期非検出(#91h[1]ST\_HLCK\_DT=“0”)と判定します。#56h/bit[6:4](HDET\_FLD\_F)=“000”以外の時、1フィールド内で本設定の連続ライン数で判定を行い、その連続フィールド数をHDET\_FLD\_F設定に従い判定します。本設定が1フィールド内の総ライン数を超える場合は、総ライン数での連続判定を行います。

#56h/bit[6:4](HDET\_FLD\_F)=“000”の時、フィールドの境界によらず本設定の連続ライン数のみで判定を行います。

#56h/bit[6:4](HDET\_FLD\_F)=“000”かつ#56h/bit[2:0](HDET\_FLD\_R)=“000”に設定する場合、#57h/bit[6:4](HDET\_LINE\_F)と#57h/bit[2:0](HDET\_LINE\_R)は異なる値に設定してください。

- “000”： 設定禁止
- “001”： 1 Line
- “010”： 2 Line
- “011”： 5 Line
- “100”： 10 Line (default)
- “101”： 100 Line
- “110”： 500 Line
- “111”： 1000 Line

#57h/bit[3] 未定義

“0”（初期値）を設定してください。

#57h/bit[2:0] HDET\_LINE\_R[2:0]、同期検出設定(ライン)2

同期非検出状態から同期検出判定への検出設定です。

信号入力期間を下記設定ライン数の連続性を見て、同期検出(#91h[1]ST\_HLCK\_DT=“1”)と判定します。#56h/bit[2:0](HDET\_FLD\_R)=“000”以外の時、1フィールド内で本設定の連続ライン数で判定を行い、その連続フィールド数をHDET\_FLD\_R設定に従い判定します。本設定が1フィールド内の総ライン数を超える場合は、総ライン数での連続判定を行います。

#56h/bit[2:0](HDET\_FLD\_R)=“000”の時、フィールドの境界によらず本設定の連続ライン数のみで判定を行います。

#56h/bit[6:4](HDET\_FLD\_F)=“000”かつ#56h/bit[2:0](HDET\_FLD\_R)=“000”に設定する場合、#57h/bit[6:4](HDET\_LINE\_F)と#57h/bit[2:0](HDET\_LINE\_R)は異なる値に設定してください。

- “000”： 設定禁止
- “001”： 1 Line (default)
- “010”： 2 Line
- “011”： 5 Line
- “100”： 10 Line
- “101”： 100 Line
- “110”： 500 Line
- “111”： 1000 Line

9.3.42. Sub Address #58h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#58h	(res)								80h

#58h/bit[7:0] 未定義

“80h”（初期値）を設定してください。

## 9.3.43. Sub Address #60h / FRC 制御設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#60h	LDWID	GLMOD	FMS	(res)			Y_FRC	Y_FMS	00h

#60h/bit[7] LDWID、出力データのビット幅選択

LVTTL(BT.656)出力時、DY7-DY0 に出力されるデータの有効ビット数を選択します。

6bit モード時、DY7-DY2 を有効ビットとして使用してください。SAV,EAV は 8bit で出力されます。

“0” : 8bit モード (default)

“1” : 6bit モード

#60h/bit[6] GLMOD、出力データの階調モード選択

bit[7](LDWID)=“1”(6bit モード)時に有効な設定です。

LVTTL(BT.656)出力時、出力データの丸め処理と多階調化処理(輝度のみ)を選択することができます。

“0” : 丸め処理 (default)

“1” : 多階調化処理

#60h/bit[5] FMS、多階調化モード選択

bit[7](LDWID)=“1”(6bit モード)時に有効な設定です。

LVTTL(BT.656)出力時、内部輝度データの多階調化モードを選択します。

ML86112 がインタレース出力を行う場合に使用します。プログレッシブ出力を行う場合は“0”(初期値)を設定してください。

“0” : 後段のインタレース/プログレッシブ変換でフィールド処理を行っている場合 (default)

“1” : 後段のインタレース/プログレッシブ変換でラインダブラ処理を行っている場合

#60h/bit[4:2] 未定義

“000”(初期値)を設定してください。

#60h/bit[1] Y\_FRC、内部輝度データの階調モード選択

内部輝度データの丸め処理と多階調化処理を選択します。

“0” : 丸め処理 (default)

“1” : 多階調化処理

#60h/bit[0] Y\_FMS、内部輝度データの多階調化モード選択

内部輝度データの多階調化モードを選択します。

ML86112 がインタレース出力を行う場合に使用します。プログレッシブ出力を行う場合は“0”(初期値)を設定してください。

“0” : 後段のインタレース/プログレッシブ変換でフィールド処理を行っている場合 (default)

“1” : 後段のインタレース/プログレッシブ変換でラインダブラ処理を行っている場合

9.3.44. Sub Address #62h / アナログ設定 3 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#62h	DIFF_SET2	(res)							20h

#62h/bit[7] DIFF\_SET2、差動入力設定 2

差動入力時(#62h/bit[3]="1")は、“1”を設定して下さい。

“0”：シングルエンド入力時 (default)

“1”：差動入力時

#62h/bit[6:0] 未定義

“0100000” (初期値) を設定して下さい。

9.3.45. Sub Address #63h - #66h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#63h	(res)								34h
#64h	(res)								FFh
#65h	(res)								00h
#66h	(res)								00h

#63h/bit[7:0] 未定義

“34h” (初期値) を設定して下さい。

#64h/bit[7:0] 未定義

“FFh” (初期値) を設定して下さい。

#65h/bit[7:0] 未定義

“00h” (初期値) を設定して下さい。

#66h/bit[7:0] 未定義

“00h” (初期値) を設定して下さい。

## 9.3.46. Sub Address #68h / アナログ設定1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#68h	(res)	ANG_AGCS	(res)		DIFF_SET	ADC_CH_SEL[2:0]			A0h

#68h/bit[7] 未定義

“1” (初期値) を設定してください。

#68h/bit[6] ANG\_AGCS、アナログ AGC 機能の設定

SYNC レベルを検出し、アンプゲインを自動的に調整します。

マニュアルモードの場合、#69h/bit[5:0](ANG\_GAIN\_SET[5:0])でアンプゲインを設定します。

“0” : マニュアル設定 (default) / “1” : 自動設定

#68h/bit[5:4] 未定義

“10” (初期値) を設定してください。

#68h/bit[3] DIFF\_SET、差動入力設定

差動アナログ信号を使用する設定です。

“0” : シングルエンド入力 (default) / “1” : 差動入力

差動入力時(#68h/bit[3]=“1”)は、#30h/bit[3]=1、#62h/bit[7]=1 に設定してください。

#68h/bit[2:0] ADC\_CH\_SEL[2:0]、Analog Input Select

アナログビデオ信号の入力端子を選択するレジスタです。

差動入力設定#68h/bit[3](DIFF\_SET)と合わせて以下のように選択してください。

“0000” : CVBS1 VIN1 (default)  
 “0001” : CVBS2 VIN2  
 “0010” : CVBS3 VIN3  
 “0011” : CVBS4 VIN4  
 “1000” : 差動 CVBS1 VIN1 (正極性) VIN2 (負極性)  
 “1001” : 差動 CVBS2 VIN3 (正極性) VIN4 (負極性)  
 “1111” : スリープ  
 その他 : 設定禁止

差動入力時(#68h/bit[3]=“1”)は、#30h/bit[3]=1、#62h/bit[7]=1 に設定してください。

## 9.3.47. Sub Address #69h / アナログ設定 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#69h	(res)		ANG_GAIN_SET[5:0]						7Fh

#69h/bit[7:6] 未定義

“01” (初期値) を設定してください。

#69h/bit[5:0] ANG\_GAIN\_SET[5:0]、アナログアンプゲインのマニュアルセット

アナログアンプゲインをマニュアルモードで設定する場合のゲイン設定です。

ゲインの値は設計値です。

“00\_0000” : 0 ゲイン最大

|

“11\_1111” : 63 ゲイン最小 (default)

レジスタ #69h/bit[5:0]	設定値	ゲイン
00_0000	0	5.40
00_0010	2	4.32
00_0100	4	3.60
00_0111	7	2.88
00_1011	13	2.06
01_0000	16	1.80
01_0110	22	1.44
01_1101	29	1.17
10_0110	37	0.96
11_0001	49	0.76
11_1111 (*)	63	0.61

(\*) default 値

【計算式】 ゲイン =  $0.6 \times 504 \div (7 \times \text{設定値} + 56)$

9.3.48. Sub Address #6Ah - #6Ch / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#6Ah	(res)								44h
#6Bh	(res)								00h
#6Ch	(res)								00h

#6Ah/bit[7:0] 未定義

“44h” (初期値) を設定してください。

#6Bh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#6Ch/bit[7:0] 未定義

“00h” (初期値) を設定してください。

9.3.49. Sub Address #6Dh - #6Eh / Reserved Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#6Dh	(res)								xxh
#6Eh	(res)								xxh

#6Dh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#6Eh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

9.3.50. Sub Address #6Fh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#6Fh	(res)								00h

#6Fh/bit[7:0] 未定義

“00h” (初期値) を設定してください。



## 9.3.51. Sub Address #70h / HPLL 設定 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#70h	(res)	OSC_SEL[1:0]		SCFB_SEL	(res)	HS_RNG_SEL	(res)		14h

#70h/bit[7] 未定義

“0”（初期値）を設定してください。

#70h/bit[6:5] OSC\_SEL[1:0]、基準クロック選択

PLL 使用時の基準クロックを選択します。

“00”：32.000MHz (default)

“01”：25.000MHz

“10”：設定禁止

“11”：設定禁止

#70h/bit[4] SCFB\_SEL、サブキャリアフィードバック選択

PLL 発振周波数に応じてカラーサブキャリアにフィードバックをかけるレジスタです。

カラーサブキャリア周波数が規格値でライン周期が異なっている場合に“フィードバックあり”設定が有効です。

“0”：フィードバックなし / “1”：フィードバックあり (default)

#70h/bit[3] 未定義

“0”（初期値）を設定してください。

#70h/bit[2] HS\_RNG\_SEL、水平周期範囲選択

水平周期変動が規格に対して大きい場合、“1”に設定することで水平周期耐性が向上します。

“0”：拡張しない

“1”：拡張する (default)

#70h/bit[1:0] 未定義

“00”（初期値）を設定してください。

## 9.3.52. Sub Address #71h - #73h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#71h	(res)								80h
#72h	(res)								00h
#73h	(res)								00h

#71h/bit[7:0] 未定義

“80h”（初期値）を設定してください。

#72h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#73h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

## 9.3.53. Sub Address #74h / HPLL ロック制御 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#74h	(res)	LKFLG_FLD_F[2:0]			(res)	LKFLG_FLD_R[2:0]			14h

#74h/bit[7] 未定義

“0” (初期値) を設定してください。

#74h/bit[6:4] LKFLG\_FLD\_F[2:0]、PLL ラインロック検出設定(フィールド)1

ラインロック検出状態からラインロック非検出判定への検出設定です。

ラインロック不安定期間を下記設定フィールド数の連続性を見て、ラインロック非検出(#91h[6]ST\_LKFLG=“0”)と判定します。フィールド内の判定ライン数は#75h/bit[6:4](LKFLG\_LINE\_F)で設定します。

- “000” : フィールド判定なし  
(ライン判定のみ。ライン判定は#75h/bit[6:4]で設定します)
- “001” : 1 Field (default)
- “010” : 2 Field
- “011” : 5 Field
- “100” : 10 Field
- “101” : 50 Field
- “110” : 100 Field
- “111” : 255 Field

#74h/bit[3] 未定義

“0” (初期値) を設定してください。

#74h/bit[2:0] LKFLG\_FLD\_R[2:0]、PLL ラインロック検出設定(フィールド)2

ラインロック非検出状態からラインロック検出判定への検出設定です。

ラインロック安定期間を下記設定フィールド数の連続性を見て、ラインロック検出(#91h[6]ST\_LKFLG=“1”)と判定します。フィールド内の判定ライン数は#75h/bit[2:0](LKFLG\_LINE\_R)で設定します。

- “000” : フィールド判定なし  
(ライン判定のみ。ライン判定は#75h/bit[2:0]で設定します)
- “001” : 1 Field
- “010” : 2 Field
- “011” : 5 Field
- “100” : 10 Field (default)
- “101” : 50 Field
- “110” : 100 Field
- “111” : 255 Field

## 9.3.54. Sub Address #75h / HPLL ロック制御 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#75h	(res)	LKFLG_LINE_F[2:0]			(res)	LKFLG_LINE_R[2:0]			57h

## #75h/bit[7] 未定義

“0” (初期値) を設定してください。

## #75h/bit[6:4] LKFLG\_LINE\_F[2:0]、PLL ラインロック検出設定(ライン)1

ラインロック検出状態からラインロック非検出判定への検出設定です。

ラインロック不安定期間を下記設定ライン数の連続性を見て、ラインロック非検出

(#91h[6]ST\_LKFLG=“0”)と判定します。#74h/bit[6:4](LKFLG\_FLD\_F)=“000”以外の時、1 フィールド内で本設定の連続ライン数で判定を行い、その連続フィールド数を LKFLG\_FLD\_F 設定に従い判定します。本設定が 1 フィールド内の総ライン数を超える場合は、総ライン数での連続判定を行います。

#74h/bit[6:4](LKFLG\_FLD\_F)=“000”の時、フィールドの境界によらず本設定の連続ライン数のみで判定を行います。

#74h/bit[6:4](LKFLG\_FLD\_F)=“000”かつ#74h/bit[2:0](LKFLG\_FLD\_R)=“000”に設定する場合、#75h/bit[6:4](LKFLG\_LINE\_F)と#75h/bit[2:0](LKFLG\_LINE\_R)は異なる値に設定してください。

“000” : 設定禁止

“001” : 1 Line

“010” : 2 Line

“011” : 5 Line

“100” : 10 Line

“101” : 100 Line (default)

“110” : 500 Line

“111” : 1000 Line

## #75h/bit[3] 未定義

“0” (初期値) を設定してください。

## #75h/bit[2:0] LKFLG\_LINE\_R[2:0]、同期検出設定(ライン)2

ラインロック非検出状態からラインロック検出判定への検出設定です。

ラインロック安定期間を下記設定ライン数の連続性を見て、ラインロック検出(#91h[6]ST\_LKFLG=“1”)と判定します。#74h/bit[2:0](LKFLG\_FLD\_R)=“000”以外の時、1 フィールド内で本設定の連続ライン数で判定を行い、その連続フィールド数を LKFLG\_FLD\_R 設定に従い判定します。本設定が 1 フィールド内の総ライン数を超える場合は、総ライン数での連続判定を行います。

#74h/bit[2:0](LKFLG\_FLD\_R)=“000”の時、フィールドの境界によらず本設定の連続ライン数のみで判定を行います。

#74h/bit[6:4](LKFLG\_FLD\_F)=“000”かつ#74h/bit[2:0](LKFLG\_FLD\_R)=“000”に設定する場合、#75h/bit[6:4](LKFLG\_LINE\_F)と#75h/bit[2:0](LKFLG\_LINE\_R)は異なる値に設定してください。

“000” : 設定禁止

“001” : 1 Line

“010” : 2 Line

“011” : 5 Line

“100” : 10 Line

“101” : 100 Line

“110” : 500 Line

“111” : 1000 Line (default)

9.3.55. Sub Address #76h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#76h	(res)								8Dh

#76h/bit[7:0] 未定義

“8Dh”（初期値）を設定してください。

## 9.4. ステータス/割り込み制御部コントロールレジスタ詳細

## 9.4.1. Sub Address #78h / STATUS 出力設定 1 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#78h	STATUS_SEL[3:0]				INT_SEL	INT_POL	(res)		60h

#78h/bit[7:4] STATUS\_SEL[3:0]、STATUS 出力情報選択

STATUS 端子から出力される情報を選択します。

- “0000” : HVALID
- “0001” : VVALID
- “0010” : ODD/EVEN (“L” EVEN/ “H” ODD)
- “0011” : CSYNC
- “0100” : VHVALID
- “0101” : NTPAL フィールド周波数判定
- “0110” : HLOCK 検出情報 (default)
- “0111” : 設定禁止
- “1000” : 設定禁止
- “1001” : VBID 検出情報 (“L” 非検出/ “H” 検出)
- “1010” : 設定禁止
- “1011” : 設定禁止
- “1100” : 設定禁止
- “1101” : 設定禁止
- “1110” : PLL ロックフラグ
- “1111” : 割り込み通知出力

#78h/bit[3] INT\_SEL、割り込み出力動作選択

割り込み出力の動作を選択します。

#78h/bit[7:4](STATUS\_SEL)で“割り込み出力”を選択した場合に有効です。

- “0” : 割り込みレベル出力 (default)  
割り込み要因が発生するとクリアされるまで通知を維持します。  
通知をクリアするには#7Ah(INT\_xx)で Write クリアしてください。
- “1” : 割り込み要因モニタ  
割り込み要因が発生すると通知しますが、割り込み要因がなくなると自動で通知を解除します。

#78h/bit[2] INT\_POL、割り込み出力極性選択

割り込み出力の極性を選択します。

#78h/bit[7:4](STATUS\_SEL)で“割り込み出力”を選択した場合に有効です。

- “0” : “L” 通知(アクティブ) “H” 非通知 (default)
- “1” : “H” 通知(アクティブ) “L” 非通知

#78h/bit[1:0] 未定義

“00” (初期値)を設定してください。

## 9.4.2. Sub Address #79h / STATUS 出力設定 2 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#79h	(res)				MASK_LKFLG	MASK_LKFLG_B	MASK_HDET	MASK_HDET_B	FFh

割り込み検出機能でマスクする情報を選択します。

STATUS\_SEL (#78h/bit[7:4]) で割り込み通知を選択している場合、マスクしていない情報のいずれかを検出すると STATUS 端子から割り込み通知を出力します。

#79h/bit[7:4] 未定義

“0000” (初期値) を設定してください。

#79h/bit[3] MASK\_LKFLG、PLL ラインロック ロック検出マスク

ラインロック判定(#91h/bit[6])=1 検出時の通知をマスクします。

“0” : マスクしない

“1” : マスクする (default)

#79h/bit[2] MASK\_LKFLG\_B、PLL ラインロック アンロック検出マスク

ラインロック判定(#91h/bit[6])=0 検出時の通知をマスクします。

“0” : マスクしない

“1” : マスクする (default)

#79h/bit[1] MASK\_HDET、アナログ入力信号検出マスク

アナログ入力の HLOCK 判定(#91h/bit[1])=1 検出時の通知をマスクします。

“0” : マスクしない

“1” : マスクする (default)

#79h/bit[0] MASK\_HDET\_B、アナログ入力無信号検出マスク

アナログ入力の HLOCK 判定(#91h/bit[1])=0 検出時の通知をマスクします。

“0” : マスクしない

“1” : マスクする (default)

## 9.4.3. Sub Address #7Ah / ステータスクリア/ステータス (W&amp;C, R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Ah	(res)				INT_ LKFLG	INT_ LKFLG_ B	INT_ HDET	INT_ HDET_ B	xxh

STATUS 出力設定 2 (#79h) でマスク解除設定された検出フラグをモニタ/クリアします。検出時にフラグが“0”となり、“1”を Write するとフラグがクリアされます。

STATUS\_SEL (#78h/bit[7:4]) で割り込み通知を選択し、INT\_SEL (#78h/bit[3]) で“割り込みレベル出力”を選択している場合、いずれかのフラグを検出すると STATUS 端子から割り込み通知を出力し、クリアされると割り込み通知が解除されます。

#7Ah/bit[7:4] 未定義

リード時は“0”または“1”が出力されます。

#7Ah/bit[3] INT\_LKFLG、PLL ラインロック ロック検出

ラインロック判定のロック検出時に“0”になります。ラインロック判定は#80h/bit[0](LKFLG\_MON)を“1”に設定時、#91h/bit[6]でモニタ可能です。

“0”：検出 (“1” Write 時フラグクリア)

“1”：非検出

#7Ah/bit[2] INT\_LKFLG\_B、PLL ラインロック アンロック検出

ラインロック判定のアンロック検出時に“0”になります。ラインロック判定は#80h/bit[0](LKFLG\_MON)を“1”に設定時、#91h/bit[6]でモニタ可能です。

“0”：検出 (“1” Write 時フラグクリア)

“1”：非検出

#7Ah/bit[1] INT\_HDET、アナログ入力信号検出

アナログ入力の HLOCK 判定(#91h/bit[1])=1 検出時に“0”になります。

“0”：検出 (“1” Write 時フラグクリア)

“1”：非検出

#7Ah/bit[0] INT\_HDET\_B、アナログ入力無信号検出

アナログ入力の HLOCK 判定(#91h/bit[1])=0 検出時に“0”になります。

“0”：検出 (“1” Write 時フラグクリア)

“1”：非検出

## 9.4.4. Sub Address #80h / 検出モニタ設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#80h	VBID_DT	(res)						LKFLG_MON	00h

## #80h/bit[7] VBID\_DT、VBID 期間のデータ検出モード

VBI 期間のデータ検出を行う設定です。VBI データを検出する場合には“1”を設定してください。

“0”：非検出 (default) / “1”：検出

## #80h/bit[6:1] 未定義

“00\_0000” (初期値) を設定してください。

## #80h/bit[0] LKFLG\_MON、ラインロックフラグモニタ設定

ラインロックフラグのモニタを行う設定です。“1”を設定すると#91h/bit[6](ST\_LKFLG)でラインロックフラグをモニタできます。

“0”：モニタしない (default) / “1”：モニタする

## 9.4.5. Sub Address #82h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#82h	(res)								00h

## #82h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.4.6. Sub Address #84h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#84h	(res)								00h

## #84h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.4.7. Sub Address #86h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#86h	(res)								00h

## #86h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.4.8. Sub Address #88h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#88h	(res)								00h

## #88h/bit[7:0] 未定義

“00h” (初期値) を設定してください。



9.4.9. Sub Address #89h / VBID 検出リセット設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#89h	(res)	RST_ C.C_ O	RST_ C.C_ E	RST_ CGMS_ O	RST_ CGMS_ E	(res)		RST_ WSS	00h

各データが存在したか否かは、デコーダ内に記憶されます。  
 それらの結果は#92h VBID Flag Register から読み出すことができます。  
 ただし、一旦記憶した内容は各リセット設定を行わない限り消えることはありません。  
 なお、信号の状態や内容によっては検出できないこともあります。  
 以下に、VBID フラグリードシーケンス例を示します。

【注意】本機能を使用する場合、入力信号の状態によっては VBID の有無、内容を誤って出力することがあります。本機能を安定してお使いいただくために、信号を数フィールドに渡って読み取り内容が安定していることをご確認の上、検出データをご使用ください。

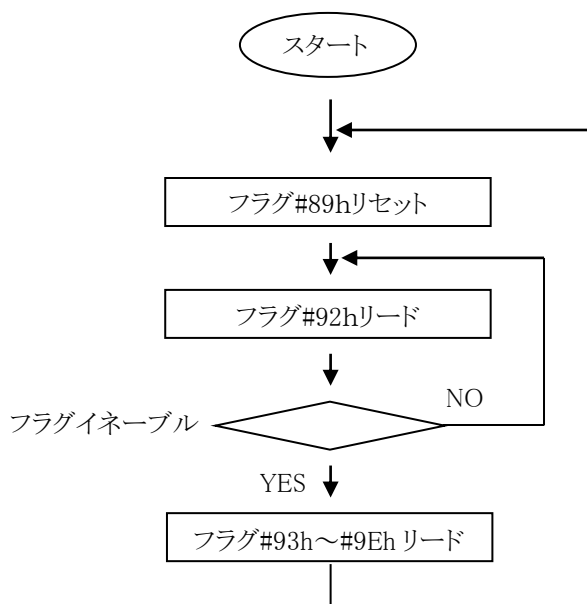


図 : VBID フラグリードシーケンス

各リセット要求は、“1”設定でリセットを実行します。  
リセット実行後は自動的に“0”に戻ります。

#89h/bit[7] 未定義

“0”（初期値）を設定してください。

#89h/bit[6] RST\_C.C.O、C.C. data(ODD Field)のリセット要求

“1”：Flag Reset 実行

“0”：Flag Reset しない (default)

#89h/bit[5] RST\_C.C.E、C.C. data(EVEN Field)のリセット要求

“1”：Flag Reset 実行

“0”：Flag Reset しない (default)

#89h/bit[4] RST\_C.GMS.O、CGMS data(ODD Field)のリセット要求

“1”：Flag Reset 実行

“0”：Flag Reset しない (default)

#89h/bit[3] RST\_C.GMS.E、CGMS data(EVEN Field)のリセット要求

“1”：Flag Reset 実行

“0”：Flag Reset しない (default)

#89h/bit[2:1] 未定義

“00”（初期値）を設定してください。

#89h/bit[0] RST\_WSS、WSS dataのリセット要求

“1”：Flag Reset 実行

“0”：Flag Reset しない (default)

## 9.4.10. Sub Address #8Ah - #8Fh / Reserved Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Ah	(res)								xxh
#8Bh	(res)								xxh
#8Ch	(res)								xxh
#8Dh	(res)								xxh
#8Eh	(res)								xxh
#8Fh	(res)								xxh

#8Ah/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#8Bh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#8Ch/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#8Dh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#8Eh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

#8Fh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

## 9.4.11. Sub Address #90h / ステータスレジスタ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#90h	FLD_FL AG	(res)	NTPAL	(res)	ST_IFM_DET[3:0]				xxh

#90h/bit[7] FLD\_FLAG、フィールド情報の読み出し

アナログ入力映像信号のフィールド情報をモニタできます。

“0” : EVEN フィールド

“1” : ODD フィールド

#90h/bit[6] 未定義

リード時は“0”または“1”が出力されます。

#90h/bit[5] NTPAL、NTSC/PAL フィールド周波数判定の読み出し

アナログ入力映像信号のフィールド周波数判定をモニタできます。

“0” : NTSC (60Hz)

“1” : PAL (50Hz)

#90h/bit[4] 未定義

リード時は“0”または“1”が出力されます。

#90h/bit[3:0] ST\_IFM\_DET[3:0]、入力フォーマットの自動判定結果の読み出し

アナログ入力映像信号の自動判定結果が格納されます。

“0000” : NTSC-M

“0001” : NTSC-J

“0010” : NTSC-443

“0011” : PAL

“0100” : PAL-M

“0101” : PAL-N

“0110” : PAL-Nc

“0111” : PAL-60

## 9.4.12. Sub Address #91h / ステータスレジスタ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#91h	(res)	ST_LKF LG	ST_VTR DT	ST_VBI D_DT	(res)		ST_HLC K_DT	(res)	xxh

#91h/bit[7] 未定義

リード時は“0”または“1”が出力されます。

#91h/bit[6] ST\_LKFLG、ラインロックフラグモニタ

ラインロックフラグをモニタできます。モニタを有効にするには#080h/bit[0](LKFLG\_MON)を“1”に設定してください。モニタ無効時は“0”が出力されます。

“0”：アンロック(不安定状態) / “1”：ロック(安定状態)

#91h/bit[5] ST\_VTR\_DT、VTR 検出モニタ

VTRを検出したかをモニタできます。

“0”：非検出 / “1”：検出

#91h/bit[4] ST\_VBID\_DT、VBID データ検出

#92h/bit[7:0]の各 VBID フラグを検出したかをモニタできます。

“0”：非検出 / “1”：検出

#91h/bit[3] 未定義

リード時は“0”または“1”が出力されます。

#91h/bit[2] 未定義

リード時は“0”または“1”が出力されます。

#91h/bit[1] ST\_HLCK\_DT、HLOCK 検出モニタ

1.4.6.同期処理部 に記載されている HLOCK 判定条件に基づいた入力信号同期の検出をモニタできます。

“0”：非検出 / “1”：検出

#91h/bit[0] 未定義

リード時は“0”または“1”が出力されます。

## 9.4.13. Sub Address #92h / VBID フラグ (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#92h	(res)	VF_C.C _O	VF_C.C _E	VF_ CGMS_ O	VF_ CGMS_ E	(res)		VF_ WSS	xxh

VBID の検出結果と、VBID データが読み出し可能フラグが格納されるレジスタです。  
CC、CGMS、WSS に関しては#93h~#9Eh に読み出しデータが格納されます。

#92h/bit[7] 未定義

リード時は“0”が出力されます。

#92h/bit[6] VF\_C.C\_O、CC data Ready(odd field)#92h/bit[5] VF\_C.C\_E、CC data Ready(even field)#92h/bit[4] VF\_CGMS\_E、CGMS data Ready(odd field)#92h/bit[3] VF\_CGMS\_E、CGMS data Ready(even field)#92h/bit[2] 未定義

リード時は“0”が出力されます。

#92h/bit[1] 未定義

リード時は“0”が出力されます。

#92h/bit[0] VF\_WSS、WSS data Ready

## 9.4.14. Sub Address #93h / C.C ODD データ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#93h	C.C_O_DT2[7:0]								xxh

#93h/bit[7:0] C.C O\_DT2[7:0]、character two b0, b6, p2

ODD クローズドキャプションデータ character2 の値を読み出せます。

## 9.4.15. Sub Address #94h / C.C ODD データ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#94h	C.C_O_DT1[7:0]								xxh

#94h/bit[7:0] C.C O\_DT1[7:0]、character one b0, b6, p1

ODD クローズドキャプションデータ character1 の値を読み出せます。

## 9.4.16. Sub Address #95h / C.C EVEN データ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#95h	C.C_E_DT2[7:0]								xxh

#95h/bit[7:0] C.C E\_DT2[7:0]、character two b0, b6, p2

EVEN クローズドキャプションデータ character2 の値を読み出せます。

## 9.4.17. Sub Address #96h / C.C EVEN データ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#96h	C.C_E_DT1[7:0]								xxh

#96h/bit[7:0] C.C E\_DT1[7:0]、character one b0, b6, p1

EVEN クローズドキャプションデータ character1 の値を読み出せます。

## 9.4.18. Sub Address #97h / CGMS ODD データ 3 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#97h	CGMS_O_DT3[7:0]								xxh

#97h/bit[7:0] CGMS\_O\_DT3[7:0]、Bit13..20

ODD CGMS データの Bit13~Bit20 の値を読み出せます。

## 9.4.19. Sub Address #98h / CGMS ODD データ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#98h	CGMS_O_DT2[7:0]								xxh

#98h/bit[7:0] CGMS\_O\_DT2[7:0]、Bit5..12

ODD CGMS データの Bit5~Bit12 の値を読み出せます。

## 9.4.20. Sub Address #99h / CGMS ODD データ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#99h	C.C_O_P1_ER	C.C_O_P2_ER	(res)	CGMS_O_CRC_ER	CGMS_O_DT1[3:0]				xxh

#99h/bit[7] C.C\_O\_P1\_ER、C.C. ODD PTY1 エラー検出

ODD クローズドキャプションデータ PTY1 のパリティエラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#99h/bit[6] C.C\_O\_P2\_ER、C.C. ODD PTY2 エラー検出

ODD クローズドキャプションデータ PTY2 のパリティエラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#99h/bit[5] 未定義

リード時は“0”が出力されます。

#99h/bit[4] CGMS\_O\_CRC\_ER、CGMS ODD CRC エラー検出

ODD CGMS データの CRC エラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#99h/bit[3:0] CGMS\_O\_DT1[3:0]、Bit1..4

ODD CGMS データの Bit1~Bit4 の値を読み出せます。



## 9.4.21. Sub Address #9Ah / CGMS EVEN データ 3 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Ah	CGMS_E_DT3[7:0]								xxh

#9Ah/bit[7:0] CGMS\_E\_DT3[7:0]、Bit13, 20

EVEN CGMS データの Bit13~Bit20 の値を読み出せます。

## 9.4.22. Sub Address #9Bh / CGMS EVEN データ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Bh	CGMS_E_DT2[7:0]								xxh

#9Bh/bit[7:0] CGMS\_E\_DT2[7:0]、Bit5, 12

EVEN CGMS データの Bit5~Bit12 の値を読み出せます。

## 9.4.23. Sub Address #9Ch / CGMS EVEN データ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Ch	C.C_E_P1_ER	C.C_E_P2_ER	(res)	CGMS_E_CRC_ER	CGMS_E_DT1[3:0]				xxh

#9Ch/bit[7] C.C\_E\_P1\_ER、C.C. EVEN PTY1 エラー検出

EVEN クローズドキャプションデータ PTY1 のパリティエラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#9Ch/bit[6] C.C\_E\_P2\_ER、C.C. EVEN PTY2 エラー検出

EVEN クローズドキャプションデータ PTY2 のパリティエラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#9Ch/bit[5] 未定義

リード時は“0”が出力されます。

#9Ch/bit[4] CGMS\_E\_CRC\_ER、CGMS EVEN CRC エラー検出

EVEN CGMS データの CRC エラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

#9Ch/bit[3:0] CGMS\_E\_DT1[3:0]、Bit1, 4

EVEN CGMS データの Bit1~Bit4 の値を読み出せます。

## 9. 4. 24. Sub Address #9Dh / WSS データ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Dh	WSS_DG2[1:0]		WSS_DG3[2:0]			WSS_DG4[2:0]			xxh

## #9Dh/bit[7:6] WSS\_DG2[1:0]、Group2 Bit6, 7

WSS データグループ 2(Bit6,7) の値を読み出せます。

## #9Dh/bit[5:3] WSS\_DG3[2:0]、Group3 Bit8, 9, 10

WSS データグループ 3(Bit8,9,10) の値を読み出せます。

## #9Dh/bit[2:0] WSS\_DG4[2:0]、Group4 Bit11, 12, 13

WSS データグループ 4(Bit11,12,13) の値を読み出せます。

## 9. 4. 25. Sub Address #9Eh / WSS データ 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Eh	WSS_P_ER	(res)	WSS_DG1[3:0]				WSS_DG2[3:2]		xxh

## #9Eh/bit[7] WSS\_P\_ER、WSS PTY エラー検出

WSS データのパリティエラー判定結果を読み出せます。

“0”：エラー無し / “1”：エラー有り

## #9Eh/bit[6] 未定義

リード時は“0”が出力されます。

## #9Eh/bit[5:2] WSS\_DG1[3:0]、Group1 Bit0, 1, 2, 3

WSS データグループ 1(Bit0,1,2,3) の値を読み出せます。

## #9Eh/WSS[1:0] WSS\_DG2[3:2]、Group2 Bit4, 5

WSS データグループ 2(Bit4,5) の値を読み出せます。

## 9. 4. 26. Sub Address #9Fh / Reserved Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#9Fh	(res)								xxh

## #9Fh/bit[7:0] 未定義

リード時は“0”または“1”が出力されます。

## 9.4.27. Sub Address #A0h - #A7h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#A0h	(res)								82h
#A1h	(res)								41h
#A2h	(res)								41h
#A3h	(res)								82h
#A4h	(res)								14h
#A5h	(res)								28h
#A6h	(res)								28h
#A7h	(res)								14h

#A0h/bit[7:0] 未定義

“82h” (初期値) を設定してください。

#A1h/bit[7:0] 未定義

“41h” (初期値) を設定してください。

#A2h/bit[7:0] 未定義

“41h” (初期値) を設定してください。

#A3h/bit[7:0] 未定義

“82h” (初期値) を設定してください。

#A4h/bit[7:0] 未定義

“14h” (初期値) を設定してください。

#A5h/bit[7:0] 未定義

“28h” (初期値) を設定してください。

#A6h/bit[7:0] 未定義

“28h” (初期値) を設定してください。

#A7h/bit[7:0] 未定義

“14h” (初期値) を設定してください。

## 9.4.28. Sub Address #A8h - #AFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#A8h	(res)								A5h
#A9h	(res)								A5h
#AAh	(res)								5Ah
#ABh	(res)								5Ah
#ACh	(res)								A5h
#ADh	(res)								A5h
#AEh	(res)								5Ah
#AFh	(res)								5Ah

#A8h/bit[7:0] 未定義

“A5h”（初期値）を設定してください。

#A9h/bit[7:0] 未定義

“A5h”（初期値）を設定してください。

#AAh/bit[7:0] 未定義

“5Ah”（初期値）を設定してください。

#ABh/bit[7:0] 未定義

“5Ah”（初期値）を設定してください。

#ACh/bit[7:0] 未定義

“A5h”（初期値）を設定してください。

#ADh/bit[7:0] 未定義

“A5h”（初期値）を設定してください。

#AEh/bit[7:0] 未定義

“5Ah”（初期値）を設定してください。

#AFh/bit[7:0] 未定義

“5Ah”（初期値）を設定してください。

## 9.5. テストパターン生成部コントロールレジスタ詳細

## 9.5.1. Sub Address #BCh/ 内蔵テストパターン出力設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#BCh	TMDEN	TMDSEL[2:0]			TOPT	TRENB	TGENB	TBENB	00h

#BCh/bit[7] TMDEN、テストパターン出力モード

ブロック図の“Test Pattern Block”搭載のテストパターン出力を制御します。

本ビットを“1”に設定する事により内蔵テストパターンを出力します。

“0”：ディセーブル (default) / “1”：イネーブル

#BCh/bit[6:4] TMDSEL、内蔵テストパターンの出力選択

“000”：水平線形グラデーション1 (default)

#BCh/bit[3]、TOPT を参照ください。

“001”：水平線形グラデーション2

1ピクセルごとに1階調上ります。

“010”：クロスハッチ

20x20ピクセル、線幅2ピクセルの格子を出力します。

#BCh/bit[3]、TOPT を参照ください。

“011”：垂直線形グラデーション

1ラインごとに1階調上ります。

“100”：カラーバー

#BCh/bit[3]、TOPT を参照ください。

“101”：ラスタ

#BCh[2:0]および#BDhにて設定した色を全面出力します。

“110”：設定禁止

“101”：設定禁止

#BCh/bit[3] TOPT、テストパターン出力オプション設定

TMDSELにて設定したテストパターンを、下表の通り出力します。

TMDSEL	TOPT	テストパターン出力
000	0	3ピクセルごとに1階調上ります。
	1	2ピクセルごとに1階調上ります。
010	0	黒地に白線のクロスハッチを出力します。
	1	白地に黒線のクロスハッチを出力します。
100	0	80ピクセルごとに出力色が変化します。
	1	40ピクセルごとに出力色が変化します。

#BCh/bit[2] TRENb、テスト Cr 出力

本設定は、TMDSEL="010"(クロスハッチ)、“100”(カラーバー)以外に有効です。

グラデーション出力時(TMDSEL="000/001/011")は、本ビットに“1”を設定した場合、Cr 成分フル出力をします。

ラスト出力時(TMDSEL="101")は、Cr 成分のレベル設定選択を行います。本ビットに“1”を設定した後、TPATCOL[7:0]でレベルを設定してください。

(グラデーション出力時)

“0”：出力しない(default) / “1”：出力する

(ラスト出力時)

“0”：設定しない(default) / “1”：設定する

#BCh/bit[1] TGENb、テスト Y 出力

本設定は、TMDSEL="010"(クロスハッチ)、“100”(カラーバー)以外に有効です。

グラデーション出力時(TMDSEL="000/001/011")は、本ビットに“1”を設定した場合、Y 成分フル出力をします。

ラスト出力時(TMDSEL="101")は、Y 成分のレベル設定選択を行います。本ビットに“1”を設定した後、TPATCOL[7:0]でレベルを設定してください。

(グラデーション出力時)

“0”：出力しない (default) / “1”：出力する

(ラスト出力時)

“0”：設定しない(default) / “1”：設定する

#BCh/bit[0] TBENb、テスト Cb 出力

本設定は、TMDSEL="010"(クロスハッチ)、“100”(カラーバー)以外に有効です。

グラデーション出力時(TMDSEL="000/001/011")は、本ビットに“1”を設定した場合、Cb 成分フル出力をします。

ラスト出力時(TMDSEL="101")は、Cb 成分のレベル設定選択を行います。本ビットに“1”を設定した後、TPATCOL[7:0]でレベルを設定してください。

(グラデーション出力時)

“0”：出力しない (default) / “1”：出力する

(ラスト出力時)

“0”：設定しない(default) / “1”：設定する

グラデーション出力時、TRENb、TGENb および TBENb の設定組み合わせにより、7 種類の出力が可能です。

## 9.5.2. Sub Address #BDh/ 内蔵テストパターン出力色設定 (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#BDh	TPATCOL[7:0]								00h

#BDh/bit[7:0] TPATCOL、テスト出力レベル

TPATCOL 設定は、#BCh/bit[6:4] TMDSEL="101"(ラスト)の場合に有効です。#BCh[2:0]にて"1"に設定した色成分の出力レベルを設定します。

## 9.5.3. Sub Address #BE - #BFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#BEh	(res)								00h
#BFh	(res)								00h

#BEh/bit[7:0] 未定義

"00h" (初期値) を設定してください。

#BFh/bit[7:0] 未定義

"00h" (初期値) を設定してください。

## 9.6. その他 コントロールレジスタ詳細

## 9.6.1. Sub Address #C0h - #C6h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#C0h	(res)				-		(res)		00h
#C1h	(res)								00h
#C2h	(res)								00h
#C3h	(res)								00h
#C4h	-							(res)	00h
#C5h	(res)								00h
#C6h	-							(res)	00h

#C0h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C1h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C2h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C3h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C4h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C5h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#C6h/bit[7:0] 未定義

“00h” (初期値) を設定してください。



## 9.6.2. Sub Address #CAh - #CFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#CAh	(res)								00h
#CBh	(res)								00h
#CCh	(res)								00h
#CDh	(res)								00h
#CEh	(res)								00h
#CFh	(res)								00h

#CAh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#CBh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#CCh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#CDh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#CEh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#CFh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

## 9.6.3. Sub Address #D0h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#D0h	(res)								02h

#D0h/bit[7:0] 未定義

“02h”（初期値）を設定してください。

## 9.6.4. Sub Address #D2h - #DBh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#D2h	(res)								00h
#D3h	(res)								00h
#D4h	(res)								00h
#D5h	(res)								00h
#D6h	(res)								00h
#D7h	(res)								00h
#D8h	(res)								00h
#D9h	(res)								00h
#DAh	(res)								00h
#DBh	(res)								00h

#D2h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D3h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D4h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D5h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D6h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D7h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D8h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#D9h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#DAh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#DBh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

## 9.6.5. Sub Address #DCh - #DFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#DCh	(res)								00h
#DDh	(res)								00h
#DEh	(res)								2Ah
#DFh	(res)								0Ah

#DCh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#DDh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#DEh/bit[7:0] 未定義

“2Ah”（初期値）を設定してください。

#DFh/bit[7:0] 未定義

“0Ah”（初期値）を設定してください。

## 9.6.6. Sub Address #E0h - #E9h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#E0h									(res) 00h
#E1h									(res) 00h
#E2h									(res) 00h
#E3h									(res) 00h
#E4h									(res) 00h
#E5h									(res) 00h
#E6h									(res) 00h
#E7h									(res) 00h
#E8h									(res) 00h
#E9h									(res) 00h

#E0h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E1h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E2h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E3h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E4h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E5h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E6h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E7h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E8h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#E9h/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.6.7. Sub Address #EAh - #EFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#EAh	(res)								00h
#EBh	(res)								00h
#ECh	(res)								00h
#EDh	(res)								40h
#EEh	(res)								00h
#EFh	(res)								00h

#EAh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#EBh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#ECh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#EDh/bit[7:0] 未定義

“40h” (初期値) を設定してください。

#EEh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

#EFh/bit[7:0] 未定義

“00h” (初期値) を設定してください。

## 9.6.8. Sub Address #F0h - #F5h / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#F0h	(res)								00h
#F1h	(res)								00h
#F2h	(res)								00h
#F3h	(res)								00h
#F4h	(res)								00h
#F5h	(res)								00h

#F0h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#F1h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#F2h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#F3h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#F4h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#F5h/bit[7:0] 未定義

“00h”（初期値）を設定してください。

## 9.6.9. Sub Address #FAh - #FFh / Reserved Register (W/R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#FAh	(res)								80h
#FBh	(res)								00h
#FCh	(res)								00h
#FDh	(res)								00h
#FEh	(res)								00h
#FFh	(res)								00h

#FAh/bit[7:0] 未定義

“80h”（初期値）を設定してください。

#FBh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#FCh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#FDh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

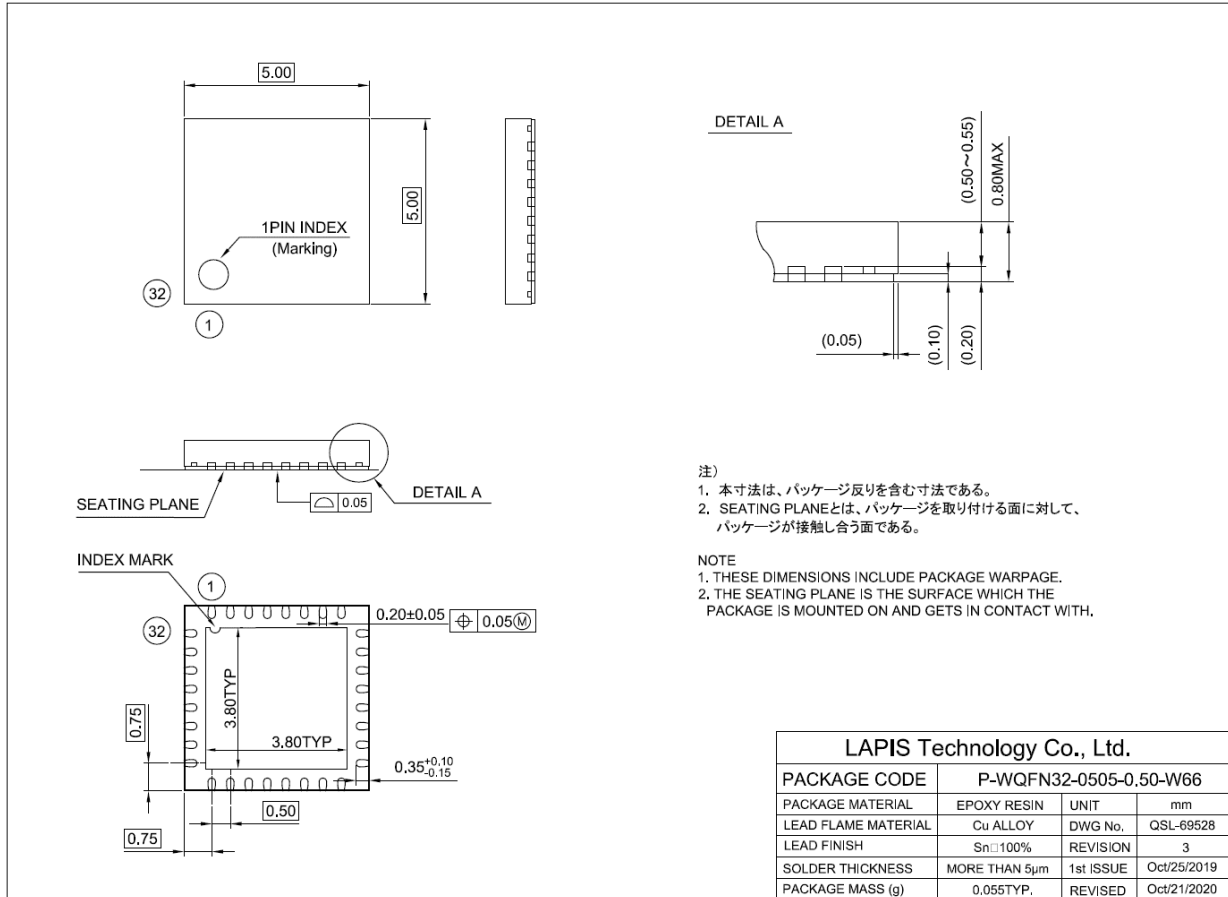
#FEh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

#FFh/bit[7:0] 未定義

“00h”（初期値）を設定してください。

■ パッケージ寸法図



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。

[ご使用上の注意]

ML86112 のアナログ入力部は、標準映像信号を基準にして開発しております。非標準映像信号においても安定した動作が得られるよう改良を行っておりますが、弱電界地域の放送波受信信号や VTR 再生信号、信号源の切り替えを伴う映像信号、ノイズの混入した信号、各種カメラやゲーム機の簡易ビデオ信号など、信号状態や使用環境にはさまざまな状況があり、すべての信号で安定動作が確認されているものではありません。

ご採用にあたりましては、想定される信号状態・ご使用環境にて、ユーザ様側で充分なご評価・ご検討をお願い致します。



■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL86112-01	2022.3.10	—	129	初版発行
FJDL86112-02	2022.9.22	129	129	誤記修正
FJDL86112-03	2024.2.16	129	129	P2 用途、ラインアップ追加 誤記修正

## ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格<sup>(\*)</sup>、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、デレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。  
(\*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続きを行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複製することを堅くお断りします。

Copyright 2022 – 2024 LAPIS Technology Co., Ltd.

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

LTSZ08023・01・002