



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML86640

NTSC/PAL 方式対応 単一電源 P/I 変換機能搭載 小型デジタルビデオエンコーダ

■ 概要

ML86640 は、NTSC/PAL 方式対応のデジタルビデオエンコーダです。ITU-R BT.656、ITU-R BT.601 等のデジタル映像入力をアナログ映像信号に変換します。デジタル映像入力は、RGB 24bit、YCbCr 24bit / 16bit / 8bit、ITU-R BT.656 に対応します。入力走査方式はインタレース・プログレッシブの両者に対応します。アナログ映像出力は、NTSC/PAL コンポジット信号 1ch です。プログレッシブのデジタルデータをインタレース信号として出力する、P/I 変換を搭載しています。出力信号は、映像表示機器に直接接続して使用することが可能です。外付けビデオアンプは必要ありません。

■ 特長

- 対応映像方式
NTSC/PAL
- 入力走査方式
インタレース/プログレッシブ
- 入力データフォーマット

ITU-R BT.656 スタイル:	YCbCr 4:2:2	8bit 多重化 同期信号情報付加 (インタレース/プログレッシブ)
	YCbCr 4:2:2	: 8bit 多重化 同期信号別 (インタレース/プログレッシブ)
	YCbCr 4:2:2	: 16bit 非多重化 (インタレース/プログレッシブ)
	YCbCr 4:4:4	: 24bit 非多重化 (インタレース/プログレッシブ)
	RGB 4:4:4	: 24bit 非多重化 (インタレース/プログレッシブ)
- 入力 CLK 周波数

インタレース入力		
27MHz	:	BT.656 / 8bit YCbCr
13.5MHz	:	BT.656 DDR / 8bit YCbCr DDR
13.5MHz	:	16bit/24bit YCbCr
13.5MHz	:	24bit RGB
プログレッシブ入力		
54MHz	:	BT.656 / 8bit YCbCr
27MHz	:	BT.656 DDR / 8bit YCbCr DDR
27MHz	:	16bit/24bit YCbCr
27MHz	:	24bit RGB
		(※DDR:ダブルデータレート)
- 出力フォーマット
Composite (CVBS)
- 走査方式変換機能
Progressive to Interlace



- カラーバー出力機能内蔵
- 輝度レベル調整機能
- 色差レベル調整機能
- 拡張輝度レンジモード(1-254 入力可能)
- 拡張色差レンジモード(1-254 入力可能)
- スタンバイモード
- R/G/B, Y/Cb/Cr 入力ポートスワップ
- 入力データ MSB-LSB スワップ
- PI 変換時のフィールド入力機能

- CGMS/WSS 情報付加機能
- クローズド・キャプション情報付加機能
- シリアルインタフェース : I²C Slave、Max400kHz
スレーブアドレス 88h (1000_100x)

- 動作周囲温度 (Ta) : -40~105°C

- 電源電圧 : 3.3V 単一 (I/O、コア、アナログ)

- パッケージ : 48pin TQFP (P-TQFP48-0707-0.50-ZK6)

■ 用途

- ・ カーナビゲーション
- ・ ディスプレイオーディオ
- ・ 車載カメラ
- ・ ドライブレコーダ
- ・ TV ドアホン

■ ラインアップ

品名	出荷形態
ML86640TBZ0AX	トレイ

■ ブロック図

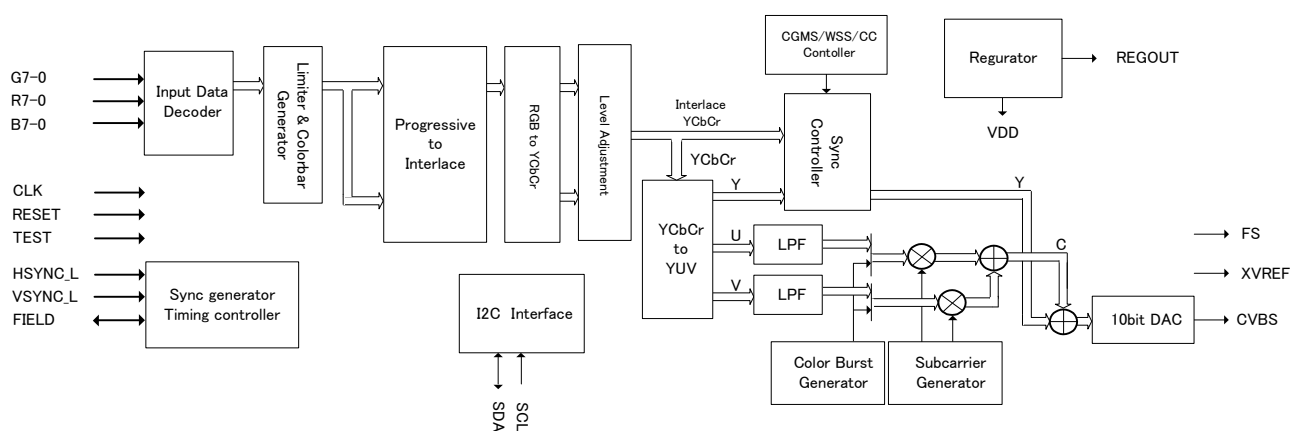
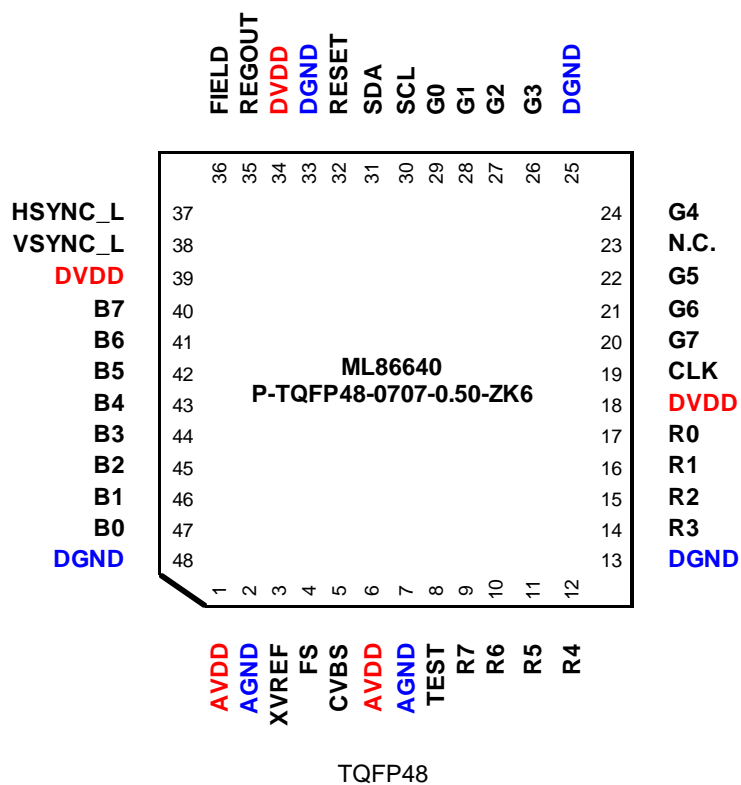


図1: ブロック図

■ 端子接続
(上面図)



注:

不使用入力端子は、“L”または“H”レベルに固定し、OPEN とならないようにしてください。
TEST 端子は“L”レベルに固定してください。

■ 端子機能

端子機能

端子番号	端子名	I/O	機能	備考	初期状態
1	AVDD	—	アナログ用電源(3.3V)		-
2	AGND	—	アナログ用 GND		-
3	XVREF	O	基準電圧入出力端子 XVREF 端子と AGND との間に 0.01 μ F の容量を接続してください。		出力
4	FS	O	フルスケール調整端子 FS 端子と AGND との間に 150 Ω の抵抗を接続してください。※抵抗の許容誤差は $\pm 1\%$ 以内を推奨します。		出力
5	CVBS	O	アナログコンポジット信号出力端子 応用回路例の外付け部品を参照してください。 ※抵抗の許容誤差は $\pm 1\%$ 以内を推奨します。		出力
6	AVDD	—	アナログ用電源(3.3V)		-
7	AGND	—	アナログ用 GND		-
8	TEST	I	テスト端子 L 固定で使用してください。	PD	入力
9	R7	I	デジタルビデオデータ入力端子 (MSB)		入力
10	R6	I	デジタルビデオデータ入力端子		入力
11	R5	I	デジタルビデオデータ入力端子		入力
12	R4	I	デジタルビデオデータ入力端子		入力
13	DGND	—	デジタル用 GND		-
14	R3	I	デジタルビデオデータ入力端子		入力
15	R2	I	デジタルビデオデータ入力端子		入力
16	R1	I	デジタルビデオデータ入力端子		入力
17	R0	I	デジタルビデオデータ入力端子 (LSB)		入力
18	DVDD	—	デジタル用電源(3.3V)		-
19	CLK	I	ピクセルクロック入力端子		入力
20	G7	I	デジタルビデオデータ入力端子 (MSB)		入力
21	G6	I	デジタルビデオデータ入力端子		入力
22	G5	I	デジタルビデオデータ入力端子		入力
23	N.C.	—			-
24	G4	I	デジタルビデオデータ入力端子		入力
25	DGND	—	デジタル用 GND		-
26	G3	I	デジタルビデオデータ入力端子		入力
27	G2	I	デジタルビデオデータ入力端子		入力
28	G1	I	デジタルビデオデータ入力端子		入力
29	G0	I	デジタルビデオデータ入力端子 (LSB)		入力
30	SCL	I	I2C バス用クロック入力端子	ST, 5V-tolerant	入力
31	SDA	I/O	I2C バス用データ入出力端子	ST, 5V-tolerant	入力
32	RESET	I	リセット入力端子	ST	入力

端子番号	端子名	I/O	機能	備考	初期状態
33	DGND	—	デジタル用 GND		-
34	DVDD	—	デジタル用電源(3.3V)		-
35	REGOUT	O	レギュレータ電圧出力端子 REGOUT 端子と DGND との間に 4.7 μ F \pm 20% 以上の容量を接続してください。		出力
36	FIELD	I/O	フィールド信号入出力端子		入力
37	HSYNC_L	I	水平同期信号入力端子		入力
38	VSYNC_L	I	垂直同期信号入力端子		入力
39	DVDD	—	デジタル用電源(3.3V)		-
40	B7	I	デジタルビデオデータ入力端子 (MSB)		入力
41	B6	I	デジタルビデオデータ入力端子		入力
42	B5	I	デジタルビデオデータ入力端子		入力
43	B4	I	デジタルビデオデータ入力端子		入力
44	B3	I	デジタルビデオデータ入力端子		入力
45	B2	I	デジタルビデオデータ入力端子		入力
46	B1	I	デジタルビデオデータ入力端子		入力
47	B0	I	デジタルビデオデータ入力端子 (LSB)		入力
48	DGND	—	デジタル用 GND		-

PD = pull-down. ST = Schmitt Trigger.

注: pull-down 抵抗は、約 40k Ω です。

不使用入力端子は、“L”または“H”レベルに固定し、OPEN とならないようにしてください。

■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧 (I/O 用・コア用)	DVDD	Ta=25°C	-0.3V~4.6V	V
電源電圧 (アナログ用)	AVDD	Ta=25°C	-0.3V~4.6V	V
入力電圧	V _I	Ta=25°C	-0.3V~DVDD+0.3	V
出力短絡電流	I _{os}	-	50	mA
許容損失	P _D	Ta=25°C	1	W
保存温度	T _{stg}	-	-55~125	°C

注記: 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損う恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格を超えない状態で製品をご使用ください。

● 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (I/O 用・コア用)	DVDD	3.0	3.3	3.6	V
電源電圧 (アナログ用)	AVDD	3.0	3.3	3.6	V
動作周囲温度	T _a	-40	25	105	°C

● 直流特性

Ta=-40~105°C, DVDD=3.3V±0.3V, AVDD=3.3V±0.3V, DGND, AGND=0V

項目	記号	条件	Min.	Typ.	Max.	単位
Hレベル入力電圧 1	V _{IH1}	LVTTTL	2.0	-	DVDD +0.3V	V
Hレベル入力電圧 2	V _{IH2} *1	5Vトレラント/Schmitt	2.1	-	5.5	V
Hレベル入力電圧 3	V _{IH3} *2	Schmitt	2.1	-	DVDD +0.3V	V
Lレベル入力電圧 1	V _{IL1}	LVTTTL	-0.3	-	0.8	V
Lレベル入力電圧 2	V _{IL2} *3	Schmitt	-0.3	-	0.7	V
Hレベル出力電圧	V _{OH} *4	I _{OH} = -4mA	2.4	-	-	V
Lレベル出力電圧	V _{OL}	I _{OL} = 4mA	-	-	0.4	V
入力リーク電流	I _{IL}	V _{IN} =DVDD or DGND	-10	-	+10	μA
Hレベル入力電流(プルダウン)	I _{IHd}	V _{IN} =DVDD	20	-	200	μA
出力リーク電流	I _{OL}	V _{OUT} =DVDD or DGND	-10	-	+10	μA
電源電流 (動作時)	I _{DVDD}	RGB 4:4:4 24bit Progressive	-	-	50	mA
	I _{AVDD}	R _L =75 CLK=54MHz	-	-	50	mA
電源電流 (スタンバイ時)	I _{DDs}	CLK=0MHz V _{IN} =V _{IL} STANDBY:0Fh[0]=1	-	-	1	mA
REGOUT 端子出力電圧	V _{REG}	—	-	2.4	2.75	V

*1: V_{IH2} は、SDA、SCL 端子に適用します。*2: V_{IH3} は、RESET 端子に適用します。*3: V_{IL2} は、SDA、SCL、RESET 端子に適用します。*4: V_{OH} は、FIELD 端子に適用します。(#02h[7]:FLDEN=1 のとき)

● 交流特性

Ta=-40~105°C, DVDD=3.3V±0.3V, AVDD=3.3V±0.3V, DGND,AGND=0V

項目	記号	条件	Min.	Typ.	Max.	単位
クロック周波数 (CLK 周波数)	F _{CLK}	NTSC/PAL ITU-R BT.601	-	13.5	-	MHz
			-	27	-	MHz
			-	54	-	MHz
クロックデューティー比	dt _{CLK}	-	45	-	55	%
入力データセットアップ時間	t _{SI}	-	3	-	-	ns
入力データホールド時間	t _{HI}	-	1	-	-	ns
リセットパルス時間(電源投入時以外)	t _{RSTP}	-	200	-	-	ns

注：CLK 周波数精度は、±100ppm 以内を推奨します。

● I2C 交流特性

I²C 規格表(標準モード)

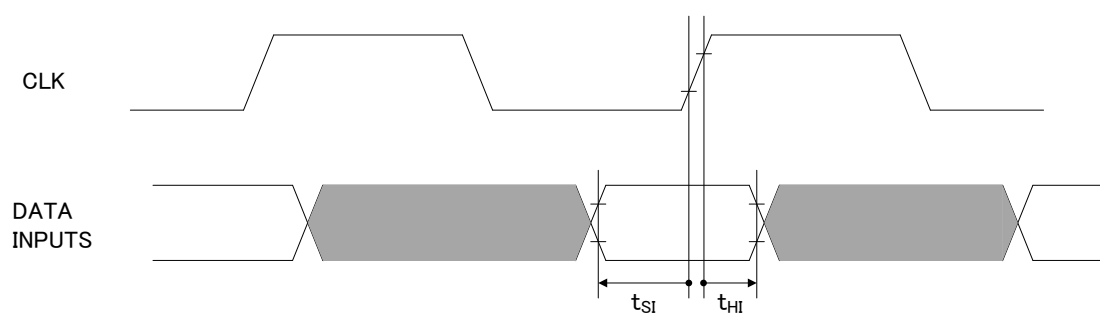
記号	パラメータ	Min	Typ	Max	単位
t _{CCI2C}	SCL 周期	10			μs
t _{LI2C}	クロック LOW 期間	4.7			μs
t _{HI2C}	クロック HIGH 期間	4.0			μs
t _{DHI2C}	データホールドタイム	0			ns
t _{DSI2C}	データセットアップタイム	250			ns

I²C 規格表(高速モード)

記号	パラメータ	Min	Typ	Max	単位
t _{CCI2C}	SCL 周期	2.5			μs
t _{LI2C}	クロック LOW 期間	1.3			μs
t _{HI2C}	クロック HIGH 期間	0.6			μs
t _{DHI2C}	データホールドタイム	0			ns
t _{DSI2C}	データセットアップタイム	100			ns

■ 入力タイミング

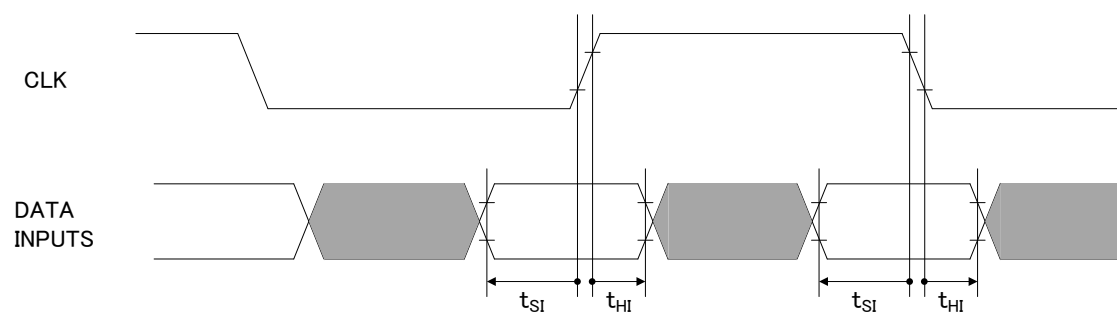
(1) 入力タイミング



入力信号: R7-0,G7-0,B7-0,VSYNC_L, HSYNC_L

(注: 上記入力信号の取り込みクロックエッジの極性は、レジスタ設定により反転することが可能です。)

(2) 入力タイミング(DDR モード)



入力信号: R7-0,G7-0,B7-0,VSYNC_L, HSYNC_L

(注: 本モードは、ITU-R BT.656 スタイル もしくは YCbCr 4:2:2 8bit + 同期信号 入力モードにおいて設定することが可能です。)

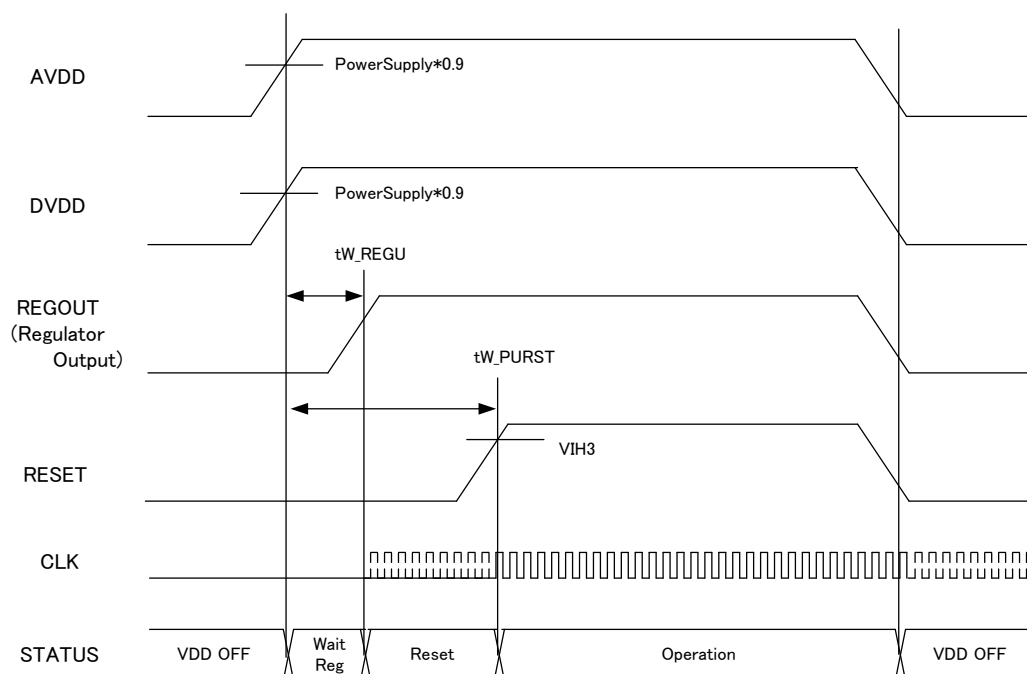
■ 電源投入方法

各電源 (AVDD, DVDD) 間に投入順の制約はありません。どの電源から立上げ、立ち下げてもご使用いただけます。電源投入からリセット時間 (tW_PURST) まで RESET 端子は“L”入力をしてください。リセット時間 (tW_PURST) 経過後より LSI の制御が可能となります。

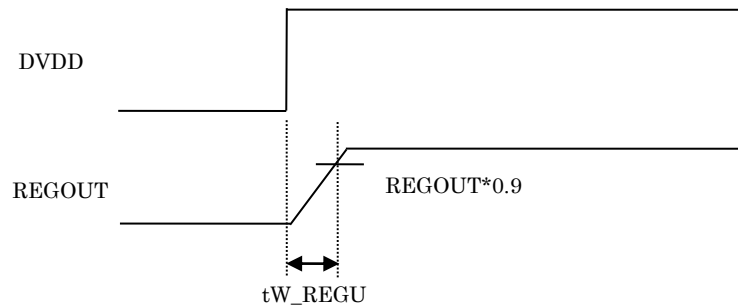
電源遮断後、再び電源投入を行う場合は、各電源は 0V の状態から行ってください。

入力端子への電圧印加は、すべての電源に規定の電圧を印加した状態で行ってください。

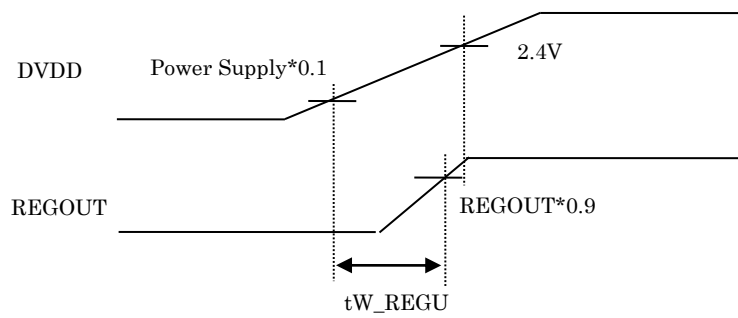
項目	記号	Min	Typ	Max	単位	備考
リセット時間	tW_PURST	2	—	—	ms	—
レギュレータ起動待ち時間	tW_REGU	—	100	—	us	(*1):DVDD が矩形状 (遅延 0) に立上がる場合
		—	200	—	us	(*2):DVDD が 300us で立上がる場合



- (*1) DVDD が矩形状(遅延 0)に立ち上がる場合
 tW_REGU はレギュレータ回路の遅延時間を示します。



- (*2) DVDD が 300us で立ち上がる場合



■ I2C インタフェースタイミング

内部レジスタの設定は、I²C インタフェースを介して行います。I²C インタフェースは、CLK 端子に入力するクロックで処理を行なっているため、I²C 通信中はクロックを入力してください。本インタフェースは、SCL 周波数 400KHz に準拠しています。図 2 に基本タイミングを示します。SCL が“H”期間には、SDA の値は変化しないようにしてください。タイミングパラメータの値は、交流特性を参照してください。

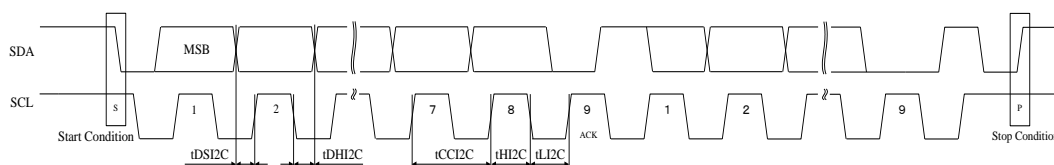


図 2: I²C インタフェース基本タイミング

I²C インタフェースの入力フォーマットを図 3、図 4 に示します。

ライトフォーマット

S	Slave address (write)	A	Sub address	A	Data 0	A	Data n	A	P
---	-----------------------	---	-------------	---	--------	---	-------	--------	---	---

図 3: ライトフォーマット

指定したサブアドレスのレジスタにデータを書き込みます。複数データを連続して書き込むと、データ毎にサブアドレスが自動的にインクリメントされます。

リードフォーマット

S	Slave address (write)	A	Sub address	A	Sr	Slave address (read)	A	Data 0	Am	Data n	Am	P
---	-----------------------	---	-------------	---	----	----------------------	---	--------	----	-------	--------	----	---

図 4: リードフォーマット

指定したサブアドレスのレジスタのデータを読み出します。複数データを連続して読み出すと、データ毎にサブアドレスが自動的にインクリメントされます。

表 1 入力フォーマット図中の記号一覧

記号	意味
S	スタート条件
Sr	再スタート条件
Slave address	スレーブアドレス “1000_100X” X は Read/Write 識別ビット (“1”: Read, “0”: Write)
A	アクノリッジ(スレーブ)
Am	アクノリッジ(マスタ)
Sub address	サブアドレス
Data n	Sub address のライト・リードデータ
P	ストップ条件

■ 入力走査方式

NTSC/PAL 方式は、表 2 に示す入力走査方式に対応しています。

表 2: 入力走査方式

入力走査方式	ライン数	周波数
NTSC インタレース	262.5 本	59.94Hz
NTSC プログレッシブ	525 本	59.94Hz
PAL インタレース	312.5 本	50Hz
PAL プログレッシブ	625 本	50Hz

■ 映像入力タイミング

水平方向 映像信号入力タイミング

(1) ITU-R BT.656 スタイル (NTSC/PAL)

本モードでは、ピクセルデータ4ワードの SAV、EAV より同期タイミング情報を抽出し動作制御を行います。SAV、EAV に同期タイミング情報が含まれていますので、HSYNC_L、VSYNC_L 信号を接続しなくてもエンコード処理が可能です。インタフェースタイミングを図 5 に示します。有効ピクセル数は、NTSC、PAL いずれも 720 ピクセルです。

DDR モード時は、表 3 の CLK 数が 1/2 になります。

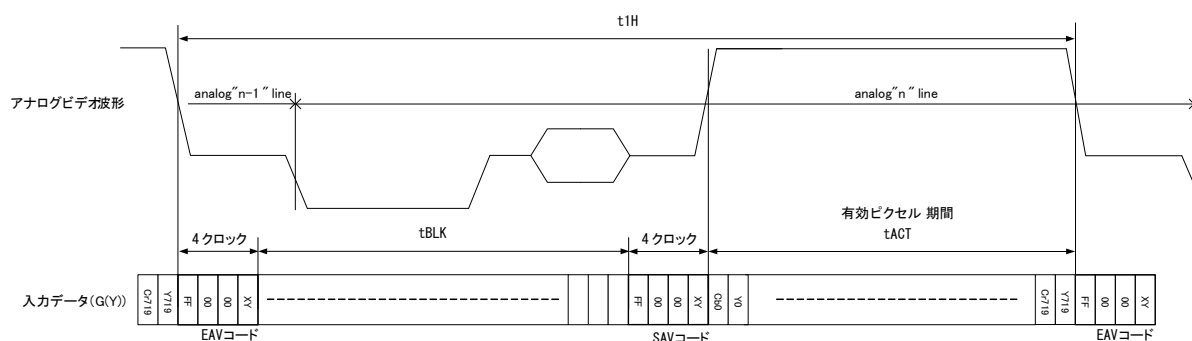


図 5: ITU-R BT.656 スタイル 入力モード

表 3: tBLK, tACT, t1H の規定値 (CLK 数)

映像方式	tBLK	tACT	t1H
NTSC	268	1440	1716
PAL	280	1440	1728

SAV、EAV 情報は、8 ビットの情報として認識します。SAV、EAV のパリティ情報は扱いません。
水平、垂直同期信号 HSYNC_L、VSYNC_L は 'L' レベル入力をするなどして端子が OPEN 状態にならないようにしてください。

(2) YCbCr 4:2:2 8bit + 同期信号 入力モード

本モードは、水平、垂直同期信号をHSYNC_L端子、VSYNC_L端子より入力します。本モードに対応した入力フォーマットを図10に示します。入力する同期信号は、CLKの立ち上がりエッジに同期して取り込みます。(入力データ取り込みのCLK極性は、レジスタ設定にて反転することが可能です)

入力ピクセルデータの有効期間(アクティブビデオ期間)は、水平同期信号HSYNC_Lの取り込みCLKから、tSTAで規定されるCLK後に開始します。有効期間は、tACTで規定されます。tSTA、tACTは、ピクセル周波数に対して表4のように規定します。DDRモード時は、表4のCLK数が1/2になります。

表 4: tSTA, tACT, tFP の規定値 (CLK 数)

映像方式	tSTA	tACT	tFP
NTSC ITU-R BT.601	244	1440	32
PAL ITU-R BT.601	264	1440	24

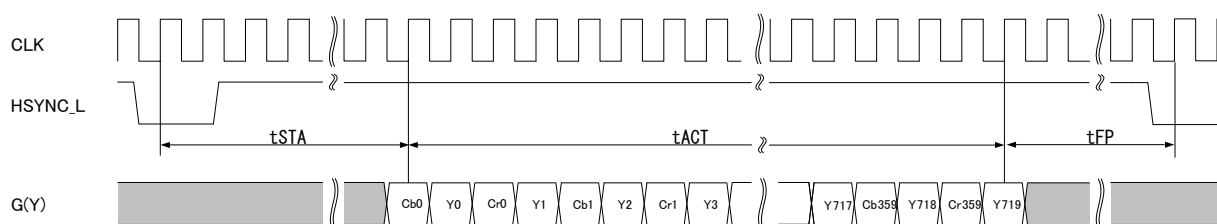


図 10: YCbCr 4:2:2 8bit + 同期信号 入力モード

(3) YCbCr 4:2:2 16bit + 同期信号 / YCbCr 4:4:4 24bit + 同期信号 / RGB 4:4:4 24bit + 同期信号 入力モード

本モードは、水平、垂直同期信号を HSYNC_L 端子、VSYNC_L 端子より入力します。本モードに対応した入力フォーマットを

図 11 と図 12 に示します。入力する同期信号は、CLK の立ち上がりエッジに同期して取り込みます。(入力データ取り込みの CLK 極性は、レジスタ設定にて反転することが可能です)

入力ピクセルデータの有効期間(アクティブビデオ期間)は、水平同期信号 HSYNC_L の取り込み CLK から、tSTA で規定される CLK 後に開始します。有効期間は、tACT で規定されます。tSTA、tACT は、ピクセル周波数に対して表 5 のように規定します。

表 5: tSTA, tACT, tFP の規定値 (CLK 数)

映像方式	tSTA	tACT	tFP
NTSC ITU-R BT.601	122	720	16
PAL ITU-R BT.601	132	720	12

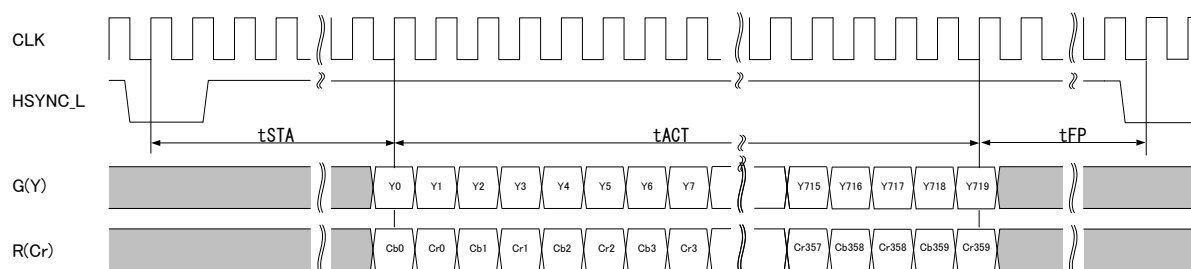


図 11: YCbCr 4:2:2 16bit + 同期信号 入力モード

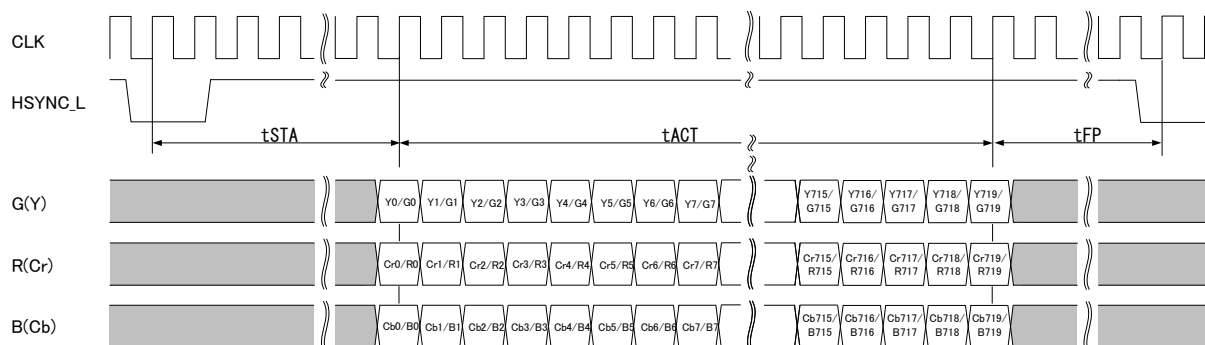


図 12: YCbCr 4:4:4 24bit + 同期信号 / RGB 4:4:4 24bit + 同期信号 入力モード

垂直方向 映像信号入力タイミング

(1) 垂直方向 映像信号入力タイミング (NTSC インタレース)

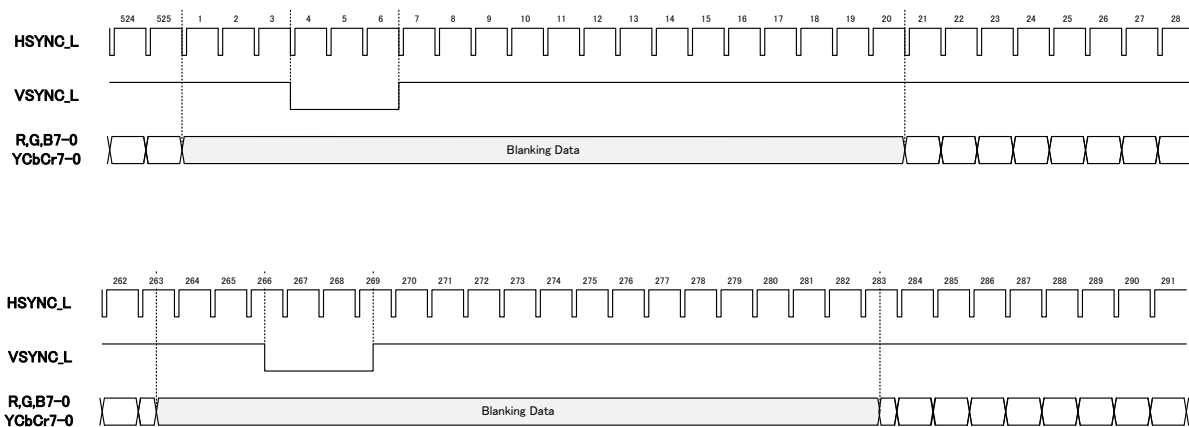


図 13: 垂直入力タイミング (NTSC インタレース)

(2) 垂直方向 映像信号入力タイミング (PAL インタレース)

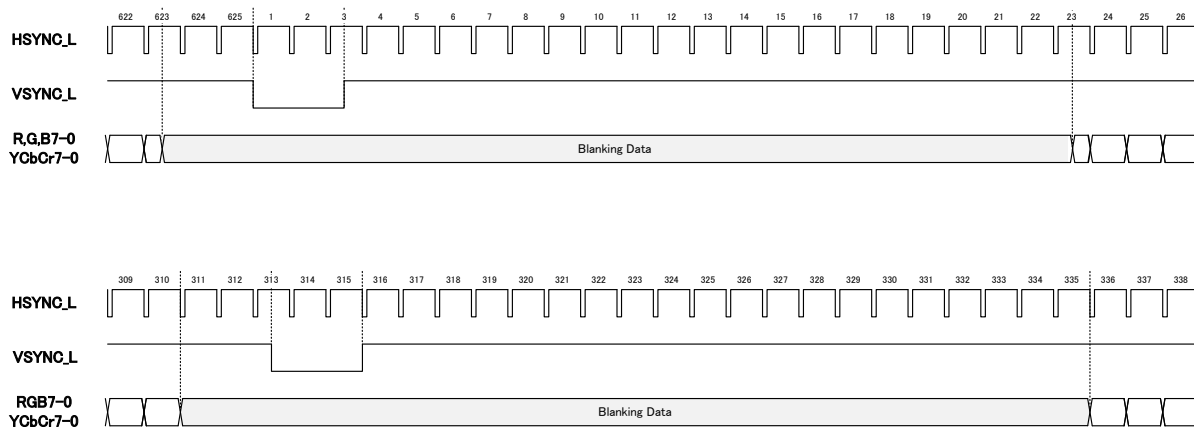


図 14: 垂直入力タイミング (PAL インタレース)

(3) 垂直方向 映像信号入力タイミング (NTSC プログレッシブ)

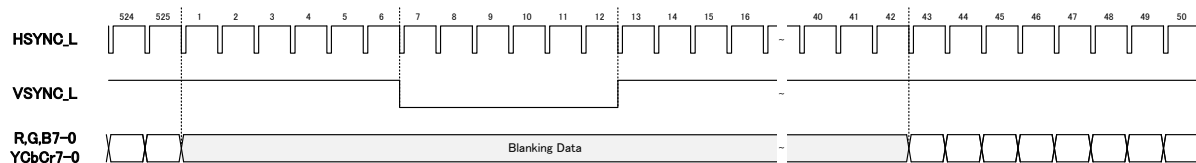


図 15: 垂直入力タイミング (NTSC プログレッシブ)

(4) 垂直方向 映像信号入力タイミング (PAL プログレッシブ)

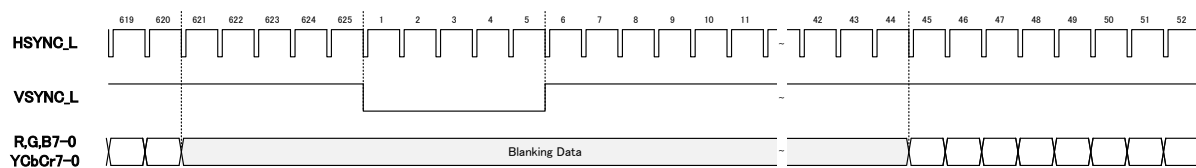


図 16: 垂直入力タイミング (PAL プログレッシブ)

■ 映像入力フォーマット設定

前項までに示した映像入力タイミング、ならびに映像入力フォーマットは、内部レジスタにて設定します。リセット後の初期設定は、プログレッシブ RGB 4:4:4 24bit + 同期信号 入力モードです。データ入力ポートは、内部レジスタ(PORT_CHG)設定により変更が可能です。各入力形式で使用しない端子は、“L”または“H”レベルに固定してください。各映像入力タイミングのレジスタ設定を表 6 に示します。

表 6:映像入力フォーマット設定

走査方式	データタイプ	bit幅	データ入力ポート	色差レート	入力CLK周波数 [MHz]	#00h[4]	#00h[3]	#00h[2]	#01h[2]	#01h[1]	#01h[0]
						DDRMOD	MLTDAT	IMODSEL2	I444SEL	IRGBSEL	IPRGSEL
インタレース	ITU-R BT.656-4スタイル	8bit	G	4:2:2	27MHz	0	0	1	0	0	0
	YCbCr 4:2:2 8bit + 同期信号	8bit	G	4:2:2	27MHz	0	1	1	0	0	0
	ITU-R BT.656-4スタイル (DDR)	8bit	G	4:2:2	13.5MHz	1	0	1	0	0	0
	YCbCr 4:2:2 8bit + 同期信号 (DDR)	8bit	G	4:2:2	13.5MHz	1	1	1	0	0	0
	YCbCr 4:2:2 16bit + 同期信号	16bit	G,R	4:2:2	13.5MHz	0	0	0	0	0	0
	YCbCr 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	13.5MHz	0	0	0	1	0	0
	RGB 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	13.5MHz	0	0	0	1	1	0
プログレッシブ	ITU-R BT.656-4スタイル	8bit	G	4:2:2	54MHz	0	0	1	0	0	1
	YCbCr 4:2:2 8bit + 同期信号	8bit	G	4:2:2	54MHz	0	1	1	0	0	1
	ITU-R BT.656-4スタイル (DDR)	8bit	G	4:2:2	27MHz	1	0	1	0	0	1
	YCbCr 4:2:2 8bit + 同期信号 (DDR)	8bit	G	4:2:2	27MHz	1	1	1	0	0	1
	YCbCr 4:2:2 16bit + 同期信号	16bit	G,R	4:2:2	27MHz	0	0	0	0	0	1
	YCbCr 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	27MHz	0	0	0	1	0	1
	RGB 4:4:4 24bit + 同期信号 (default)	24bit	G,R,B	4:4:4	27MHz	0	0	0	1	1	1

※各入力形式で使用しない端子は、“L”または“H”レベルに固定し、OPEN とならないようにしてください。

データ入力ポート入替設定

#00h[7:6] PORT_CHG	入力端子		
	G 端子	R 端子	B 端子
00	G/Y	R/Cr	B/Cb
01	R/Cr	B/Cb	G/Y
10	B/Cb	R/Cr	G/Y
11	R/Cr	G/Y	B/Cb

■ 入力データレベル

本項では、YCbCr、RGB の入力データレベル、および CbCr のデータフォーマット(オフセットバイナリ、2の補数)の選択について説明します。

(1) YCbCr 入力のデータレベル (ITU-R BT.601)

入力レベルは ITU-R BT.601 で規定されるレベルを 8 ビットで入力してください。入力レベル範囲を図 17 に示します。

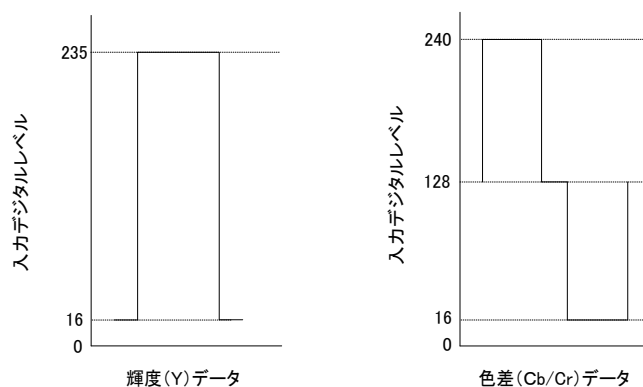


図 17: 8 ビット YCbCr 入力レベル範囲

入力データは、以下に示す値の範囲でクリップされます。

8 ビットデータ

輝度データ: $Y > 235$ の時 $Y=235$ にクリップ 色差データ: $C > 240$ の時 $C=240$ にクリップ
 $Y < 16$ の時 $Y=16$ にクリップ $C < 16$ の時 $C=16$ にクリップ

色差データ形式は、内部レジスタ IN2S の指定により、オフセットバイナリ形式、2の補数形式を選択できます。

表 7: IN2S レジスタ機能

#01h[6] IN2S	機能
0	オフセットバイナリ形式(default)
1	2の補数形式

(2) YCbCr 入力のデータレベル (拡張輝度レンジモード)

拡張輝度レンジモードは、輝度データ範囲の下限として $Y=1$ (8ビット)、上限として $Y=254$ (8ビット) までのデータを扱うことができます。拡張輝度レンジモードを設定するためには、内部レジスタ SBON を "1" に設定してください。拡張輝度レンジでは、入力データのクリップ範囲を以下に拡張します。

8ビットデータ

輝度データ: $Y > 254$ の時 $Y=254$ にクリップ
 $Y < 1$ の時 $Y=1$ にクリップ
 色差データ: $C > 240$ の時 $C=240$ にクリップ
 $C < 16$ の時 $C=16$ にクリップ

表 8: SBON レジスタ

#03h[4] SBON	機能
0	ITU-R BT.601 レンジ(default)
1	拡張輝度レンジ

入力輝度信号として、 $Y=1$ と $Y=16$ を入力した例を図 18 に示します。拡張輝度レンジモードを適用しない場合、輝度信号は $Y=16$ でクリップされるため、図 18-A に示すように出力輝度レベルは黒レベル 0 として出力されます。一方、拡張輝度レンジモードを適用した場合、図 18-B のように $Y=1$ は黒レベル以下の信号として(スーパーブラックレベル)出力することができます。

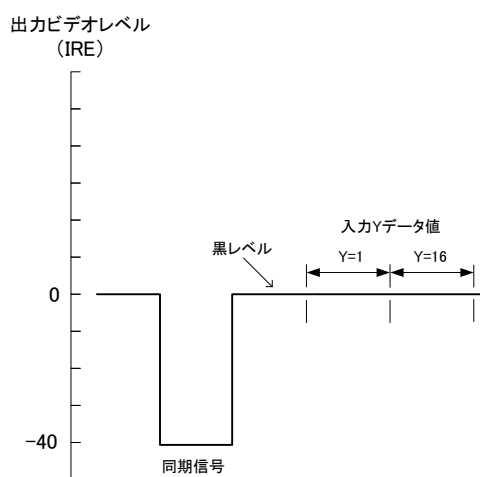


図 18-A: 拡張輝度レンジ非適用

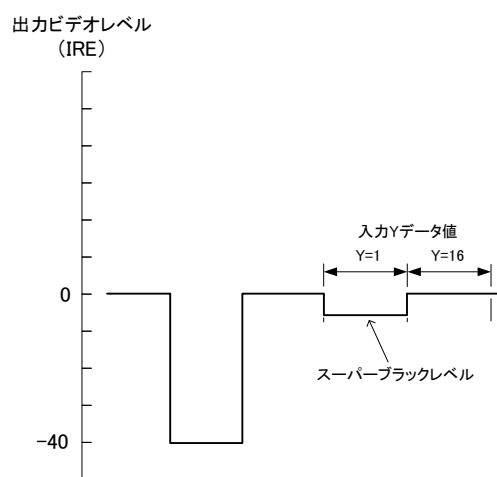


図 18-B: 拡張輝度レンジ適用

次に、入力輝度信号として Y=254 と Y=235 を入力した一例を図 19 に示します。拡張輝度レンジモードを適用しない場合、輝度信号は Y=235 でクリッピングされるため、白レベルとなって出力されます。一方、拡張輝度レンジモードを適用した場合、図 19-B のように Y=254 は白レベル以上の信号として(スーパーホワイトレベル)出力することができます。

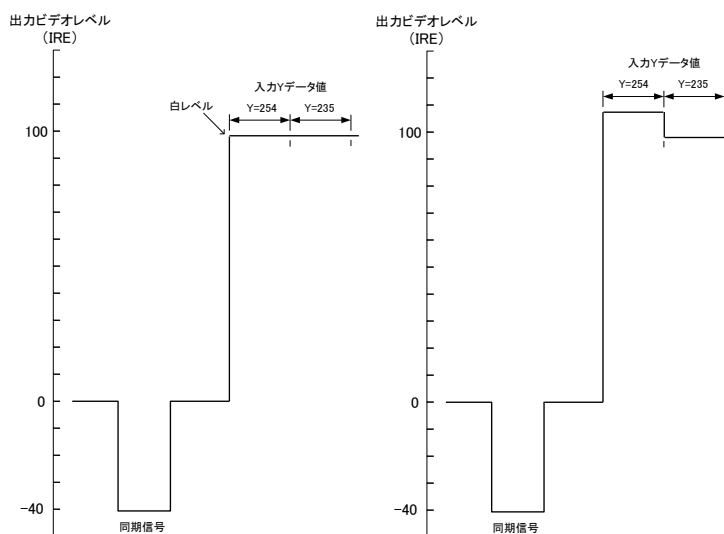


図 19-A: 拡張輝度レンジ非適用

図 19-B: 拡張輝度レンジ適用

(3) RGB 入力のデータレベル

入力データのレベル範囲は、フルスケール(0~255)、または ITU-R BT.601 で規定されるレベル範囲(16~235)の2種類のレベル範囲から選択できます。レベル範囲の選択は、内部レジスタ RGBLEV によって設定します。

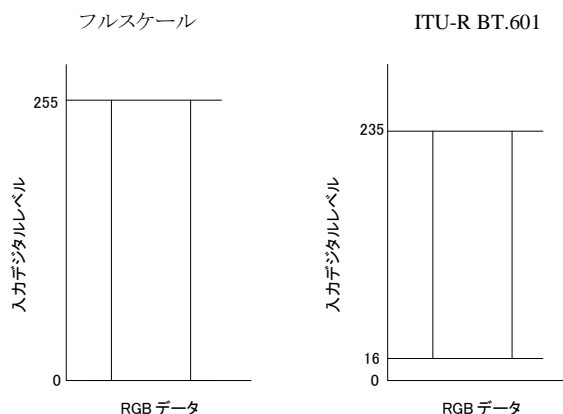


図 20: 8ビットRGB 入力レベル範囲

表 9: RGBLEV レジスタ機能

#03h[3] RGBLEV	機能
0	フルスケール(default)
1	ITU-R BT.601

ITU-R BT.601 モードで入力されたデータが以下の値をとる場合、以下に示す値の範囲でクリップされます。

8ビットデータ

RGB データ > 235 の時 RGB=235 にクリップ
 RGB データ < 16 の時 RGB=16 にクリップ

■ 映像出力レベル

(1) コンポジット NTSC Setup 0IRE

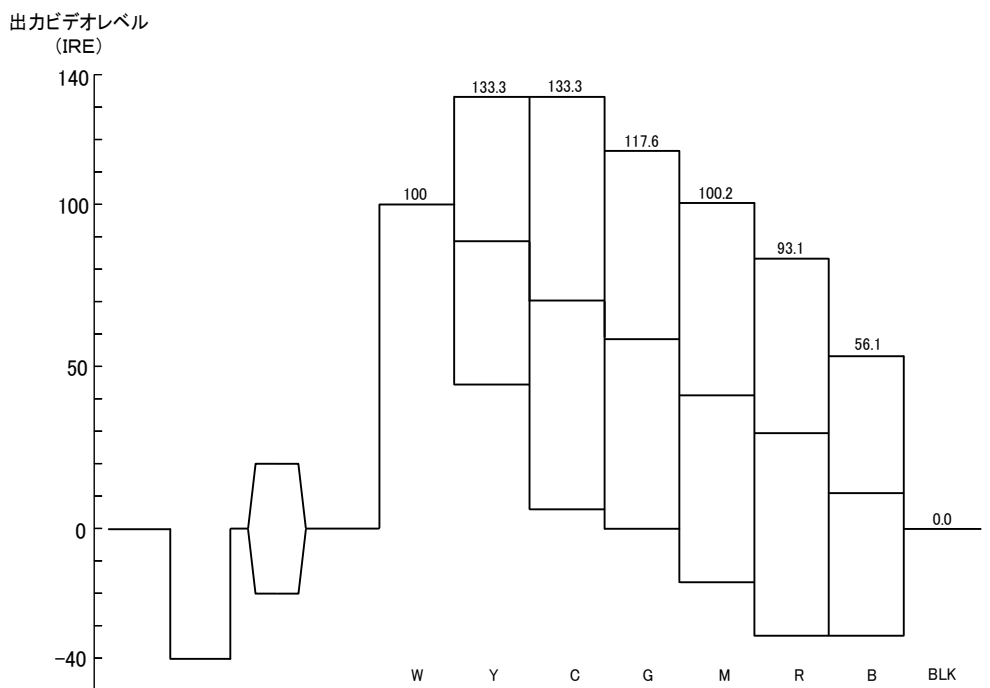


図 21:NTSC コンポジットビデオ出力レベル (Setup 0.0IRE)

(2) コンポジット NTSC Setup 7.5IRE

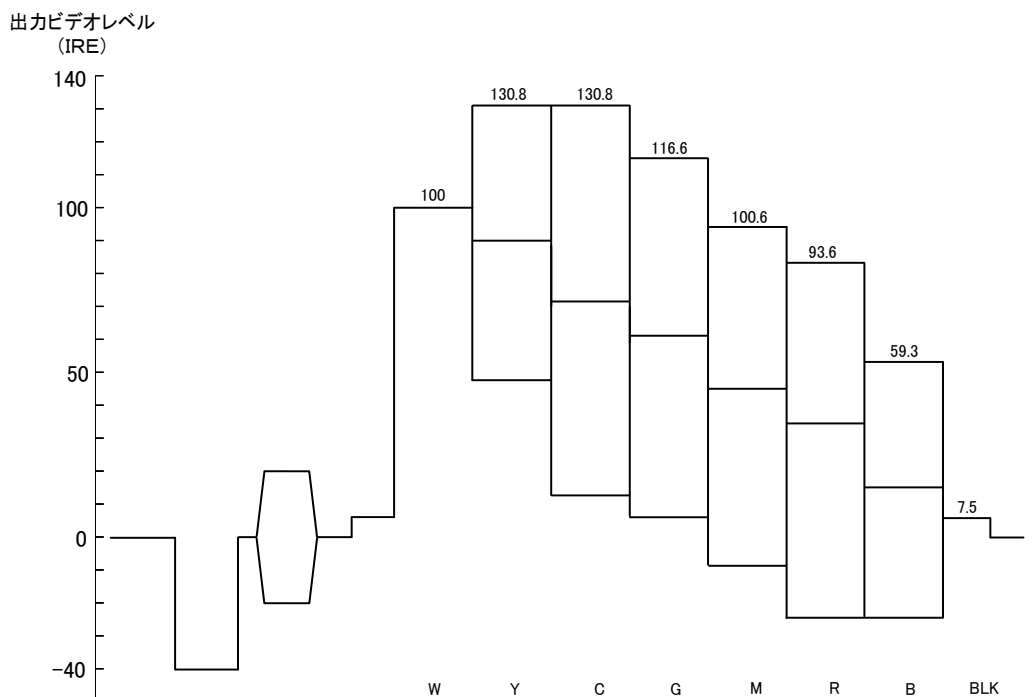


図 22:NTSC コンポジットビデオ出力レベル (Setup 7.5IRE)

(3) コンポジット PAL

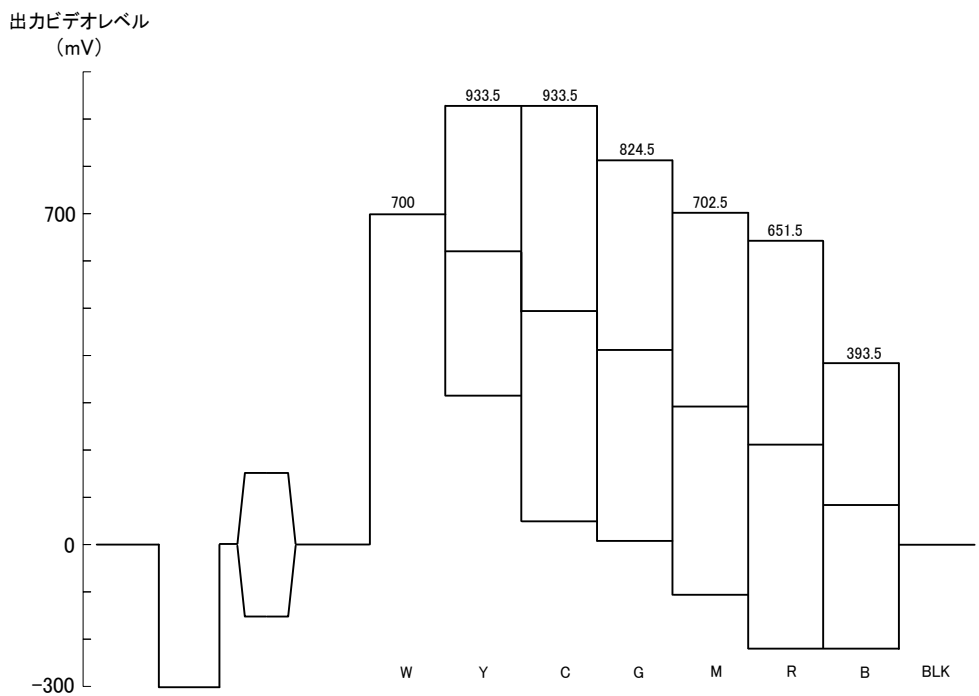
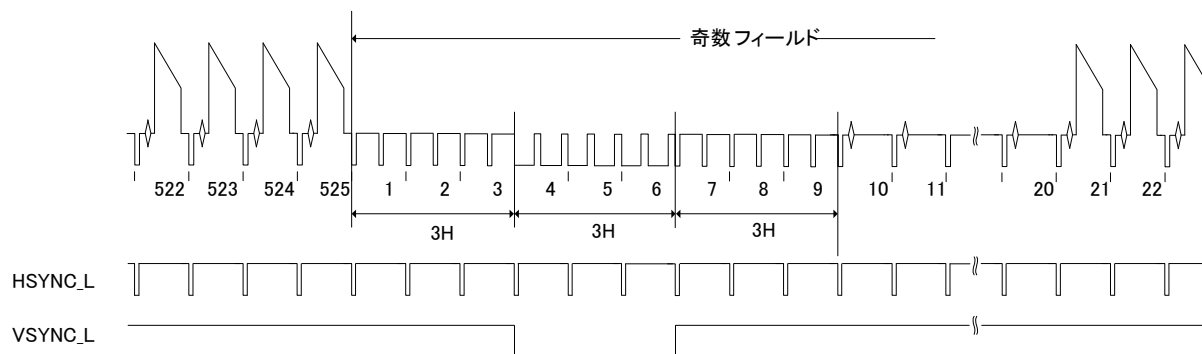


図 23: PAL コンポジットビデオ出力レベル

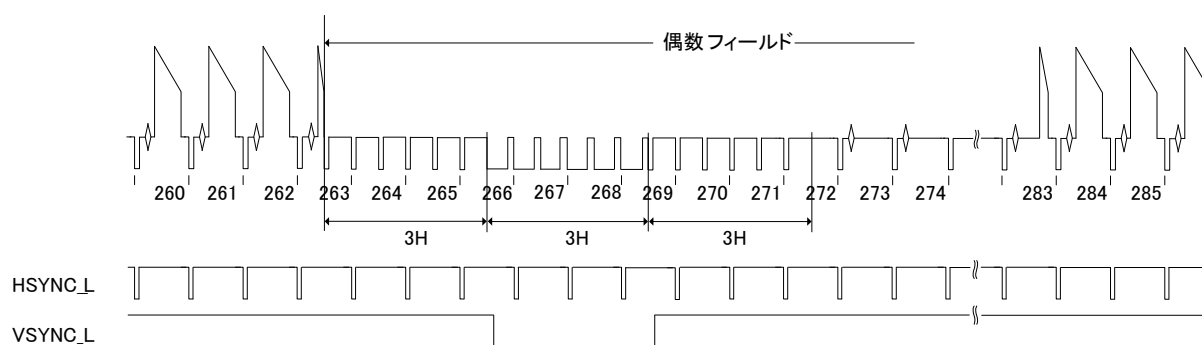
■ 映像出力タイミング

垂直方向 ブランキング期間波形

(1) コンポジット NTSC インタレース



【偶数フィールド -> 奇数フィールド】



【奇数フィールド -> 偶数フィールド】

図 24: コンポジット NTSC インタレース時の垂直ブランキング期間の波形

(2) コンポジット PAL インタレース

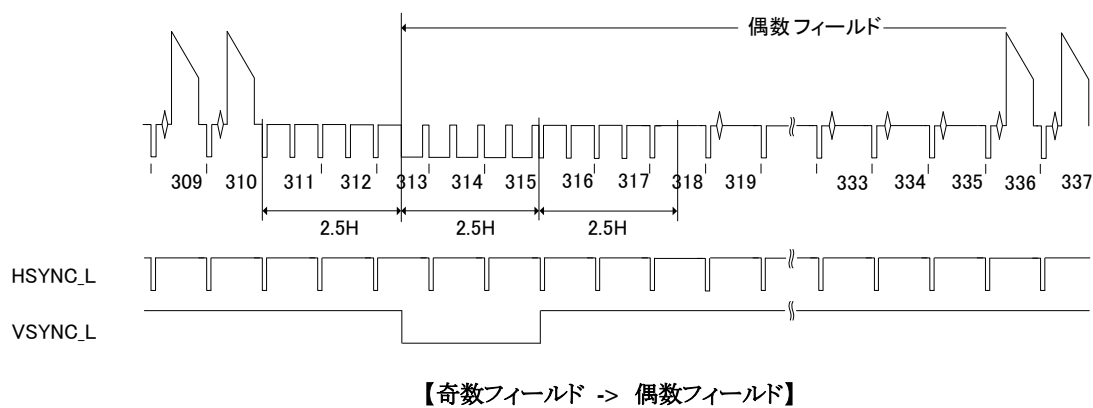
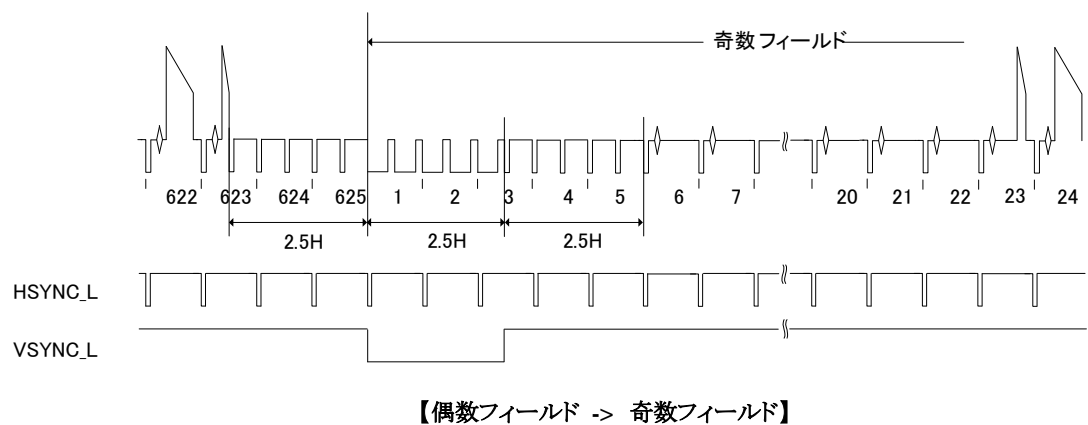


図 25: コンポジット PAL インタレース時の垂直ブランキング期間の波形

水平方向 ブランキング期間波形

コンポジット信号の水平ブランキング波形のピクセル数による規定を図 26、表 10 に示します。

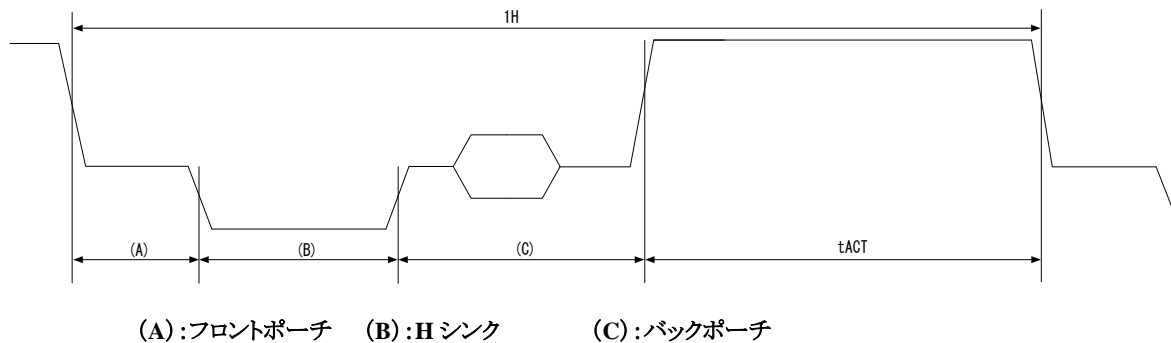


図 26: コンポジット信号の H ブランク期間

表 10: H ブランク期間のピクセル数

映像方式	(A)	(B)	(C)
NTSC ITU-R BT.601	16	63	59
PAL ITU-R BT.601	12	63	69

■ 機能説明

● P/I 変換

プログレッシブ→インタレース変換機能

ML86640 は、プログレッシブ入力信号 (YCbCr, RGB) を P/I 変換し、インタレース映像として出力します。インタレース映像への変換は、奇数フィールドはプログレッシブ入力データの奇数ライン、偶数フィールドはプログレッシブ入力データの偶数ラインを使用します。

表 11: P/I 変換動作の有無

#01h[0] IPRGSEL	P/I 変換
0	オフ
1	イネーブル(default)

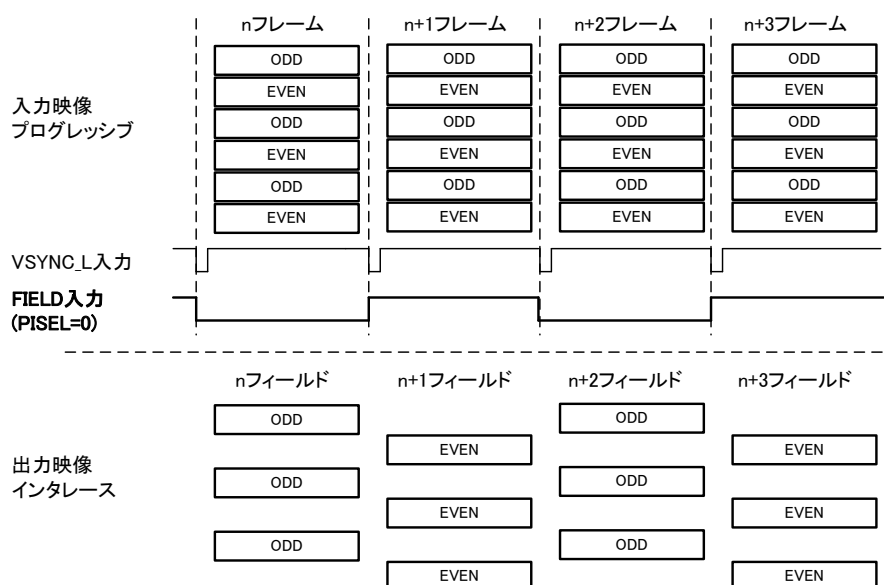
また、レジスタ#02h/bit[6](PIFLD)="1"に設定することで、FIELD 端子からのフィールド情報入力により出力インタレース信号に用いる入力プログレッシブ映像の奇数/偶数ラインを指定することができます。FIELD 信号が“L”のときに奇数ライン、“H”のときに偶数ラインから出力映像を生成します(レジスタ#02h/bit[5](PISEL)の設定により、FIELD 信号の論理反転が可能です)。FIELD 信号はプログレッシブ入力の 1 フレームごとにトグルして入力してください。

※フィールド信号出力イネーブル(#02h/bit[7](FLDEN)=1)の場合をのぞき、FIELD 端子へは“L”または“H”を入力して、OPEN とならないようにしてください。

表 12: フィールド情報入力機能

#02h[6] PIFLD	フィールド信号入力
0	オフ(default)
1	イネーブル

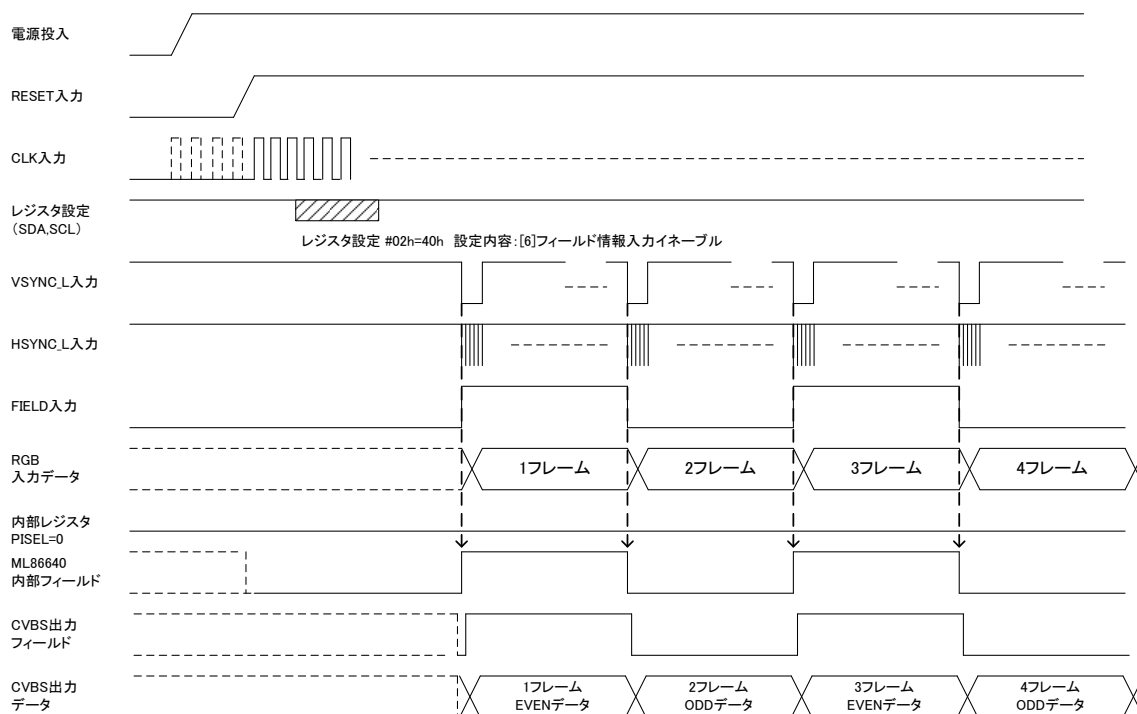
FIELD 信号入力イネーブル時の P/I 変換動作図



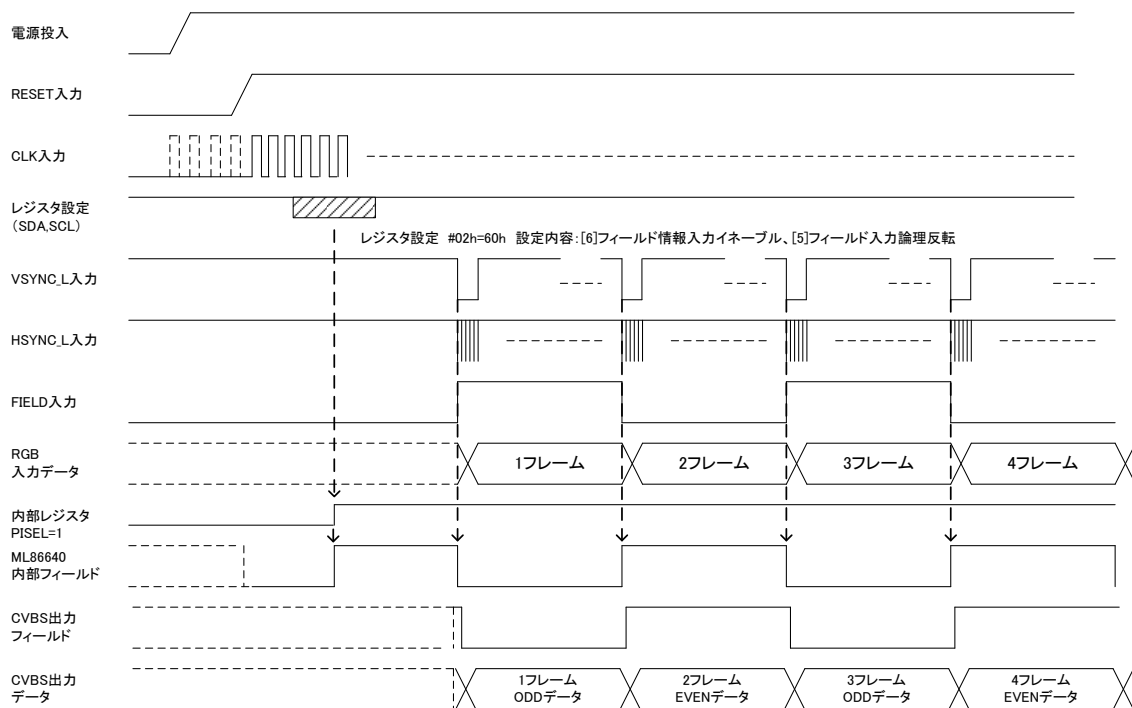
P/I 変換 動作開始シーケンス

P/I 変換動作は、リセット解除後の VSYNC_L 立下りを基準に動作開始します。

1. PIFLD=1, PISEL=0 のとき (設定例:NTSC プログレッシブ RGB 4:4:4 24bit + 同期信号 入力モード)

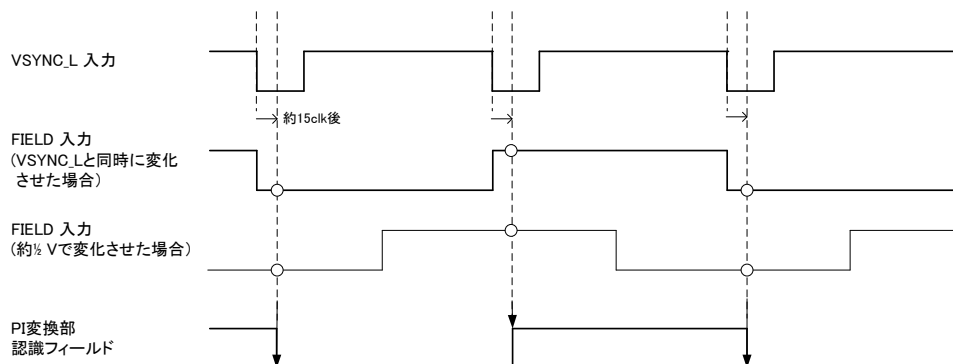


2. PIFLD=1, PISEL=1 のとき (設定例:NTSC プログレッシブ RGB 4:4:4 24bit + 同期信号 入力モード)



FIELD 信号入力タイミング

P/I 変換動作に反映する FIELD 信号は、VSYNC_L 入力の立下りエッジを起点に約 15CLK サイクル後の論理を取り込みます。レジスタ #02h/bit[5](PISEL)により、FIELD 信号の論理反転が可能です。



P/I 変換時の垂直ブランキング期間の波形

本エンコーダのインタレーススキャンモードにおける有効ライン数は、ITU-R BT.601 (NTSC : 242.5H、PAL : 287.5H) に準拠しています。ただし、P/I 変換を行なった場合、P/I 変換後の有効ライン数は、P/I 変換アルゴリズムの関係上、ITU-R BT.601 で定められた有効ライン数よりも少なくなります。

(1) NTSC P/I 変換後の垂直ブランキング期間の波形

NTSC では、奇数フィールドは上端1ライン分少ない 241.5H、偶数フィールドは上端 1/2 ライン+1ライン分少ない 241H を有効データとして出力します。図中の点線で示したデータが少なくなります。

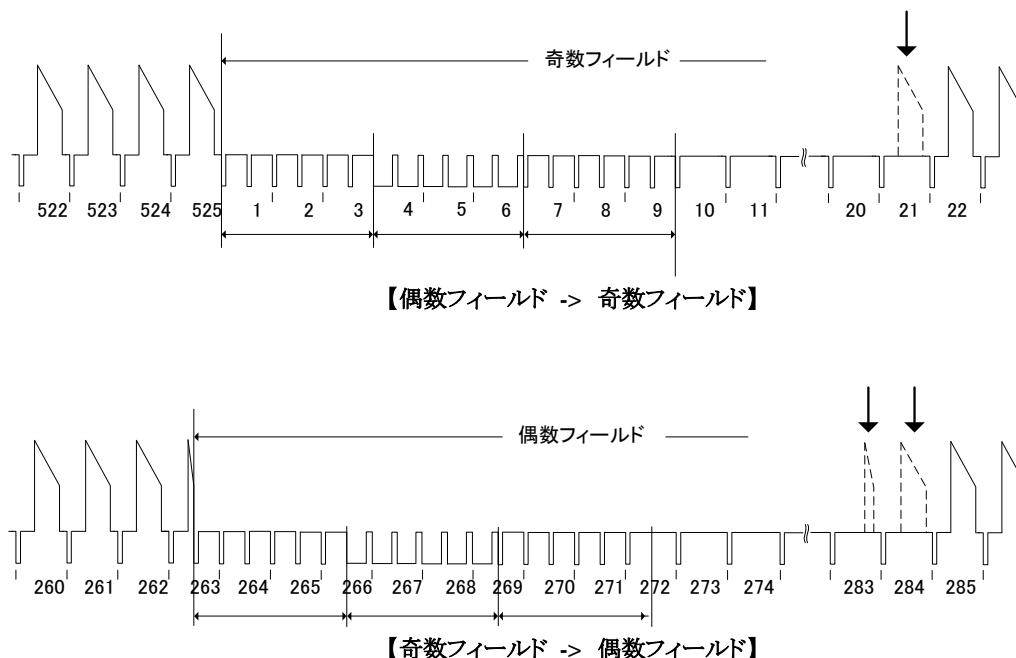


図 27: P/I 変換後の NTSC インタレース垂直ブランキング期間の波形

(2) PAL P/I 変換後の垂直ブランキング期間の波形

PAL 方式では、奇数フィールドは上端1ライン分(1/2H ライン)少ない 287H、偶数フィールドは 287.5H を有効データとして出力します。図中の点線で示したデータが少なくなります。

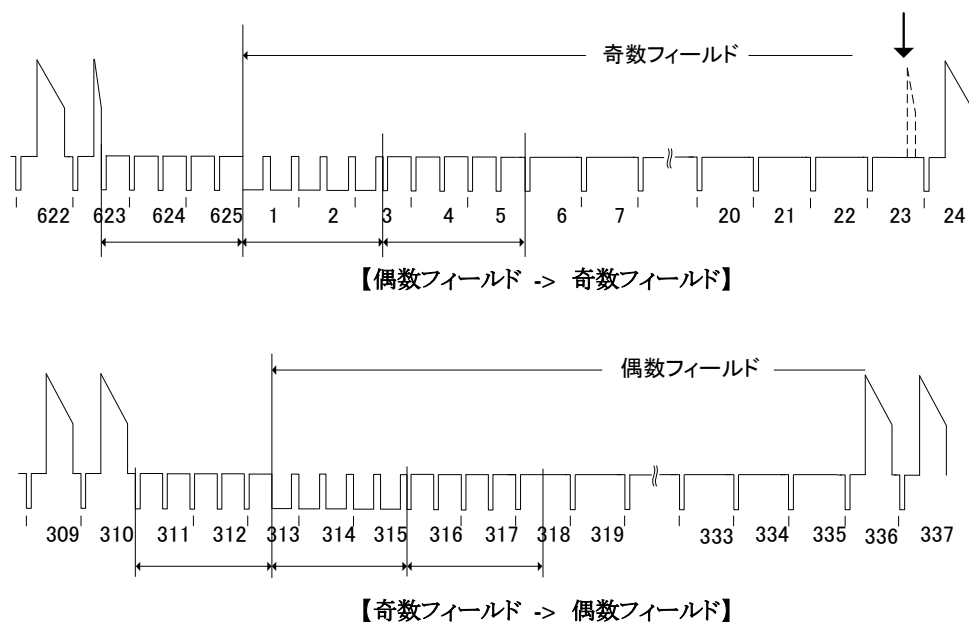


図 28: P/I 変換後の PAL インタレース垂直ブランキング期間の波形

● スタンバイモード

スタンバイモードは、STANDBY レジスタにより制御します。スタンバイモード中は、内部 DAC はパワーダウン、DAC 出力はゼロ出力となり、消費電流を低減することができます。スタンバイモード中も、内部レジスタへのアクセスは可能です。DAC 出力のみをゼロ出力させたい場合は、内部レジスタ MUTE を設定してください。

表 13:STANDBY レジスタ機能

#0Fh[0] STANDBY	機能
0	通常動作(default)
1	スタンバイ動作

● ミュートモード

MUTE レジスタは、DAC へのデジタル信号を ALL"0"に設定し、DAC からゼロ出力をする機能です。

表 14:MUTE レジスタ機能

#0Fh[1] MUTE	機能
0	通常動作(default)
1	MUTE 動作

● 映像無入力モード

エンコーダに映像信号/同期信号が入力されない場合、エンコーダ内部で同期信号を生成することにより、エンコーダ単体で映像信号を出力することが可能です。出力できる映像信号は、ブルーバック、カラーバー、黒レベル出力より選択できます。

注:#00h/bit[3:2]=01(ITU-R BT.656 スタイル)のとき、本設定は無効です。

表 15:NOSIG レジスタ機能

#08h[7] NOSIG	機能
0	通常モード(default)
1	映像無入力モード

● CC

クローズド・キャプション

EIA-608 規格に基づいたクローズド・キャプション (CC) 機能が使用可能です。それぞれのラインキャプション情報は、503KHz で同期した 26 サイクルの信号として多重化されています。各サイクルの説明は以下の通りです。

1～7サイクル

クロックラン・イン期間: キャプションデータがキャプション情報と同期を取る為のクロック信号。

8～10 サイクル

スタートコード: 論理レベル“001”の固定信号

11～26 サイクル

キャプション情報: ビット0-6のASCIIコードと、ビット7奇数パリティビットの組み合わせで2組(2Byte)の多重情報。11～18 サイクルでFirst Byteを、19～26 サイクルでSecond ByteをLSB Firstで多重します。

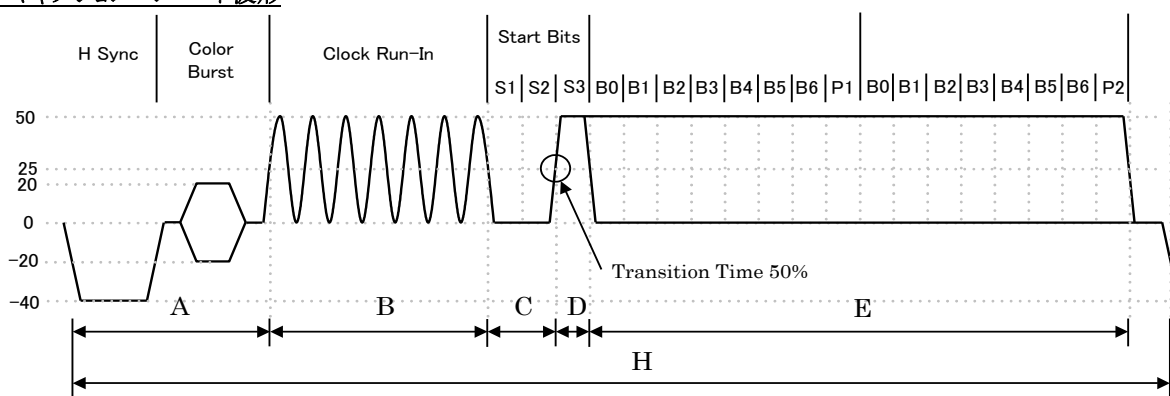
クローズドキャプションエンコード波形

図 29: CC エンコード波形

A: (H Sync To Clock Run-in)	...10.500μS
B: (Clock Run-in)	...12.910μS
C: (Clock Run-in to Start Bit)	... 3.972μS
D: (Data Bit)	... 1.986μS
E: (Data Characters)	...31.778μS
H : (Horizontal Line)	...63.556μS

Data Bit High	
Clock Run-in Maximum	...50IRE
Data Bit Low	
Clock Run-in Minimum	...0IRE
Data Bit Differential	
Clock Run-in Differential	...50IRE

*PAL についても同様のタイミングで出力します。

クローズドキャプション制御レジスタ

・機能の On/Off	CCEN[1:0]		
	CCEN[0]	1:Odd Field On,	0:Off
	CCEN[1]	1:Even Filed On,	0:Off
・ラインセレクト	CCLN[4:0]	4~35, 267~298 Line(NTSC)	
		<u>*Default Line 21,284</u>	
		5~36, 318~349 Line(PAL)	
・クローズドキャプションデータ	CCODT0[7:0]	Odd First Byte Data	
	CCODT1[7:0]	Odd Second Byte Data	
	CCEDT0[7:0]	Even First Byte Data	
・キャプションデータの状態 (リードオンリーレジスタ)	CCSTAT[1:0]		
	CCSTAT[0]	Odd CC Data Status	
	CCSTAT[1]	Even CC Data Status	
		1:外部からのレジスタ書きこみ終了(CC Data Enable)	
		0:データエンコード終了 (0x80 Data Output)	

使用方法

クローズドキャプションデータは、奇数フィールドの場合 CCOD0 及び CCOD1 に、偶数フィールドの場合 CCED0 及び CCED1 にデータが書き込まれたことにより、データが更新されたものとします。(CCSTAT=1)データが更新されるとその後にやってくる所定のラインにエンコードされます。(CCSTAT=0)データの更新がなされない場合は 80h コードを出力しクローズドキャプションデータ多重時のパリティビットはホスト側が用意します。

● CGMS

コピー・ジェネレーション・マネージメント・システム

CGMS 情報のエンコード機能に対応しています。入力映像信号が NTSC の時、垂直ブランキング期間のライン20、およびライン283に情報を重畳します。CGMS データは、Word0～2の14ビットデータと、CRCC の6ビットデータの計20ビットから構成されます。各データビットの内容を表 16-1～16-2 に示します。

CRCC データは、多項式: X^6+X+1 に基づいて自動的に計算して生成されるモードと、ユーザーが CRCC データの値を直接指定するモードが選択可能です。CRCC データを直接指定する場合は、内部レジスタ CRCON を"1"に設定してください。

表 16-1: Word0 情報 (bit 0～5)

bit	値	機能
bit 0	0	アクセプト比 4:3
	1	アクセプト比 16:9
bit 1	0	表示フォーマット ノーマル
	1	表示フォーマット レターボックス
bit 2		未定義
bit 5:3		ビデオ、オーディオ等の ID 信号

表 16-2: Word1,2 情報 (bit 6～13)

bit	機能
bit 9:6	Word0 に付随する ID 信号
bit 13:7	Word0 に付随する ID 信号、情報

CGMS 機能を有効にするためには、下記のレジスタを設定してください。

表 17: CGMSEN レジスタ機能

#16h[7] CGMSEN	機能
0	CGMS 無効(default)
1	CGMS 有効

表 18: CRCON レジスタ機能

#18h[7] CRCON	機能
0	CRC データ内部自動生成モード(default)
1	CRC データユーザー指定モード

【レジスタ名】:CRCDATA 【レジスタアドレス】: #18h bit [5:0]
 【機能】: ユーザーが指定するCRCデータを格納するレジスタです。
 【初期値】: 0h

インタレース出力時のCGMS波形を図30に示します。

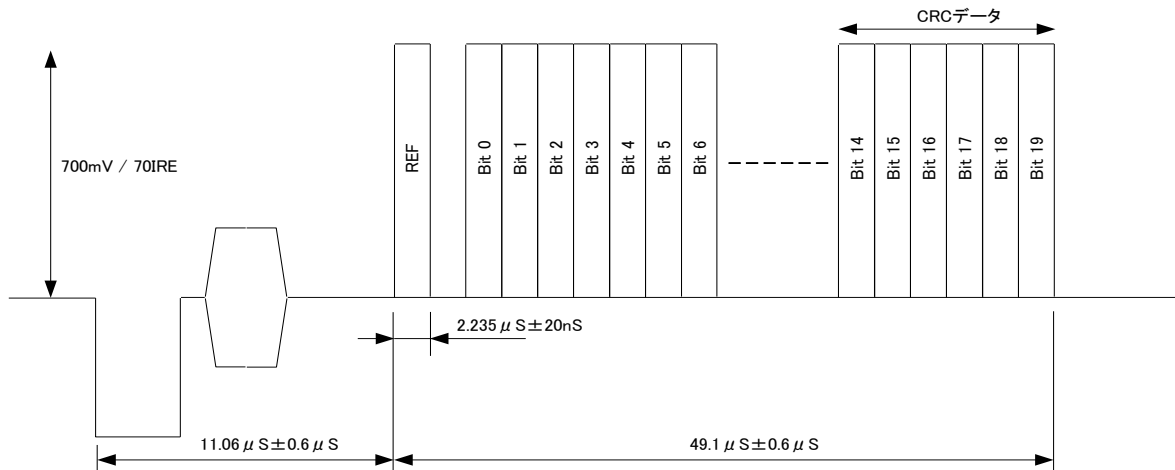


図 30: インタレース出力時のCGMS波形

● WSS

ワイド・スクリーン・シグナリング

アクセプト比判別情報、サブタイトル情報等を重畳するワイド・スクリーン・シグナリング(WSS)のエンコード機能に対応しています。入力映像信号がPALの時のみ、垂直ブランク期間のライン23に情報を重畳します。WSSデータは14ビットデータです。各データビットの内容を表19-1～19-4に示します。

表 19-1:アクセプト比情報 (bit 0～3)

bit 3:0	アクセプト比	フォーマット	位置
0001	4:3	ノーマル	適用不可
1000	14:9	レターボックス	センター
0100	14:9	レターボックス	トップ
1101	16:9	レターボックス	センター
0010	16:9	レターボックス	トップ
1011	>16:9	レターボックス	センター
0111	14:9	フルモード	
1110	16:9	フルモード	

表 19-2:PALplus 関連情報 (bit 4～7)

bit	値	機能
bit4	0	カメラモード
	1	フィルムモード
bit 5	0	標準コーディング
	1	動き適用型カラー・プラス
bit 6	0	ヘルパーなし
	1	被変調ヘルパー
bit 7	0	リザーブ
	1	リザーブ

表 19-3:字幕情報 (bit 8～10)

bit	値	機能
bit 8	0	TeleText 字幕なし
	1	TeleText 字幕あり
bit 9:10	00	字幕なし
	10	画面内に字幕あり
	01	画面外に字幕あり
	11	リザーブ

表 19-4:サラウンド情報 (bit 11)

bit	値	機能
bit 11	0	サウンド・サラウンド情報なし
	1	サウンド・サラウンド情報あり

bit 12～13: リザーブ

WSS 機能を有効にするためには、下記のレジスタを設定してください。

表 20: WSEN レジスタ機能

#1Ah[7] WSEN	機能
0	WSS 無効(default)
1	WSS 有効

WSS 波形を図 31 に示します。

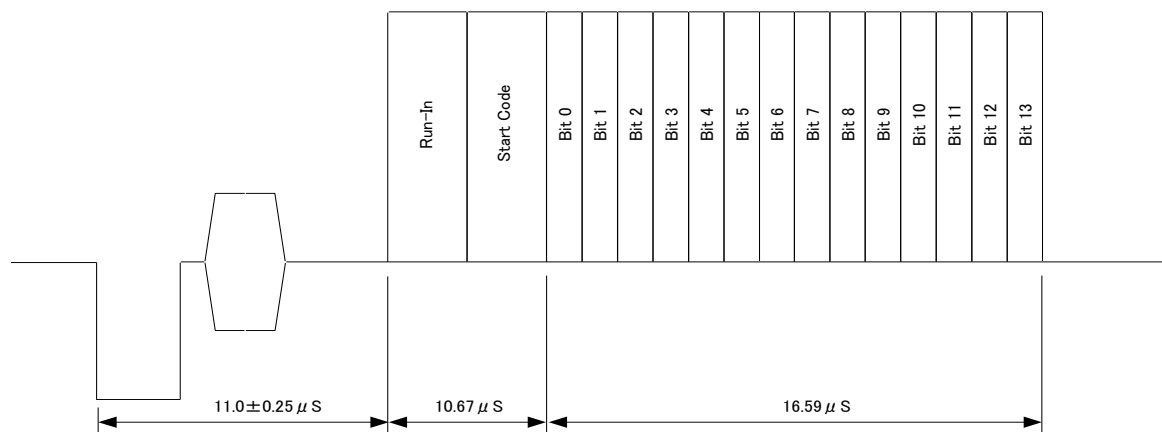


図 31: WSS 波形

■ レジスタ説明

ML86640 のレジスタは I²C バスでコントロールを行ないます。レジスタ制御を行なうことで、画質の調整、モード切替えなど各種機能の変更が可能です。

レジスタアドレスは、I²C バスのサブアドレスとして#00-#3F までを割当てています。一部のレジスタは Read 専用です。説明のないアドレスのレジスタには初期値以外のデータを書き込まないでください。

次項より各レジスタをアドレス順に説明致します。

レジスタ値のうち “*”または“(default)”が付いているものは初期値であることを示しています。

■ レジスタマップ

内部レジスタの設定は、I²C インタフェースにより行います。

表 21: レジスタマップ

レジスタ アドレス	W/R	レジスタ名								初期値
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
#00h	W/R	PORT_CHG		BIT_CHG	DDRMOD	MLTDAT	IMODESEL2	-		00h
#01h	W/R	-	IN2S	-		NPSEL	I444SEL	IRGBSEL	IPRGSEL	07h
#02h	W/R	FLDEN	PIFLD	PISEL	NEGCK	-				00h
#03h	W/R	CBON	BBON	BLON	SBON	RGBLEV	SETUP	OUTLEV[1:0]		03h
#04h	W/R	-			CLEV	-				00h
#05h	W/R	-								00h
#06h	W/R	-				BLKADJ				08h
#07h	W/R	-								00h
#08h	W/R	NOSIG	-							00h
#09h	W/R	CVBSGAINY								80h
#0Ah	W/R	CVBSGAINC								80h
#0Bh	W/R	-								00h
#0Ch	W/R	-								00h
#0Dh	W/R	-						APEN[1:0]		00h
#0Eh	W/R	-								00h
#0Fh	W/R	-						MUTE	STANDBY	00h
#10h	W/R	CCEN [1:0]		-	CCLN [4:0]				11h	
#11h	W/R	CCOD0 [7:0]								00h
#12h	W/R	CCOD1 [7:0]								00h
#13h	W/R	CCED0 [7:0]								00h
#14h	W/R	CCED1 [7:0]								00h
#15h	R Only	-						CCSTAT [1:0]		03h
#16h	W/R	CGMSEN	-	WD01 [5:0]				00h		
#17h	W/R	WD02 [7:0]								00h
#18h	W/R	CRCON	-	CRCDATA[5:0]				00h		
#19h	W/R	GP12 [7:0]								00h
#1Ah	W/R	WSSSEN	-	GP34[5:0]				00h		
#1Bh	W/R	reserved								00h
~	W/R									00h
#1Fh	W/R									00h
#20h	R Only									FFh
~	R Only									FFh
#39h	R Only									FFh
#3Ah	R Only									86h
#3Bh	R Only									64h
#3Ch	W/R									x0h
#3Dh	W/R									00h
#3Eh	W/R									80h
#3Fh	W/R									00h

サブアドレス 1B~3F の reserved はシステムの予約レジスタです。このレジスタは使用しないでください。

■ レジスタ機能

● Sub Address #00h / 入力信号フォーマット設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#00h	PORT_CHG		BIT_CHG	DDRMOD	MLTDAT	IMODSEL2	-		00h

#00h/bit[7:6] PORT_CHG

デジタルビデオ入力ポートの選択を行います。

“00” : G 端子:Y/G、 R 端子:Cr/R、 B 端子:Cb/B (default)

“01” : G 端子:Cr/R、 R 端子:Cb/B、 B 端子:Y/G

“10” : G 端子:Cb/B、 R 端子:Cr/R、 B 端子:Y/G

“11” : G 端子:Cr/R、 R 端子:Y/G、 B 端子:Cb/B

#00h/bit[5] BIT_CHG

デジタルビデオ入力ポートの MSB-LSB を入れ替えます。

“0” : 通常 (default)

“1” : MSB-LSB 入れ替え

#00h/bit[4] DDRMOD

ダブルデータレート入力を有効にします。対応可能なモードは、ITU-R BT.656、もしくは YCbCr 4:2:2 8bit+同期信号入力モードです。

“0” : シングルデータレート (default)

“1” : ダブルデータレート

#00h/bit[3], MLTDAT

入力データが 8bit のとき、ITU-R BT.656 入力、または YCbCr 4:2:2 8bit +同期信号入力モードを選択します。映像入力フォーマットの設定一覧は、表 22 を参照してください。

0 : ITU-R BT.656 スタイル入力を選択 (default)

1 : YCbCr 4:2:2 8bit +同期信号入力を選択

#00h/bit[2], IMODSEL2

入力インタフェースの設定レジスタです。

映像入力フォーマットの設定一覧は、表 22 を参照してください。

0 : YCbCr 4:2:2 16bit +同期信号 または YCbCr/RGB 4:4:4 24bit +同期信号 (default)

1 : YCbCr BT.656 または YCbCr 4:2:2 8bit +同期信号

#00h/bit[1:0]

“00”を設定してください。

表 22:映像入力フォーマット設定

走査方式	データタイプ	bit幅	データ 入力 ポート	色差 レート	入力CLK 周波数 [MHz]	#00h[4]	#00h[3]	#00h[2]	#01h[2]	#01h[1]	#01h[0]
						DDRMOD	MLTDAT	IMODSEL2	I444SEL	IRGBSEL	I444SEL
インタレース	ITU-R BT.656-4スタイル	8bit	G	4:2:2	27MHz	0	0	1	0	0	0
	YCbCr 4:2:2 8bit + 同期信号	8bit	G	4:2:2	27MHz	0	1	1	0	0	0
	ITU-R BT.656-4スタイル (DDR)	8bit	G	4:2:2	13.5MHz	1	0	1	0	0	0
	YCbCr 4:2:2 8bit + 同期信号 (DDR)	8bit	G	4:2:2	13.5MHz	1	1	1	0	0	0
	YCbCr 4:2:2 16bit + 同期信号	16bit	G,R	4:2:2	13.5MHz	0	0	0	0	0	0
	YCbCr 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	13.5MHz	0	0	0	1	0	0
	RGB 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	13.5MHz	0	0	0	1	1	0
プログレッシブ	ITU-R BT.656-4スタイル	8bit	G	4:2:2	54MHz	0	0	1	0	0	1
	YCbCr 4:2:2 8bit + 同期信号	8bit	G	4:2:2	54MHz	0	1	1	0	0	1
	ITU-R BT.656-4スタイル (DDR)	8bit	G	4:2:2	27MHz	1	0	1	0	0	1
	YCbCr 4:2:2 8bit + 同期信号 (DDR)	8bit	G	4:2:2	27MHz	1	1	1	0	0	1
	YCbCr 4:2:2 16bit + 同期信号	16bit	G,R	4:2:2	27MHz	0	0	0	0	0	1
	YCbCr 4:4:4 24bit + 同期信号	24bit	G,R,B	4:4:4	27MHz	0	0	0	1	0	1
	RGB 4:4:4 24bit + 同期信号 (default)	24bit	G,R,B	4:4:4	27MHz	0	0	0	1	1	1

● Sub Address #01h / 入力信号フォーマット設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#01h	-	IN2S	-	-	NPSEL	I444SEL	IRGBSEL	IPRGSEL	07h

#01h/bit[7]

“0”を設定してください。

#01h/bit[6] IN2S

入力色差信号 (Cb/Cr) の数値フォーマットを選択します。

0 : オフセットバイナリ形式 (default)

1 : 2 の補数形式

#01h/bit[5:4]

“00”を設定してください。

#01h/bit[3] NPSEL

入力映像信号の方式 (NTSC/PAL) を選択します。

0 : NTSC (default)

1 : PAL

#01h/bit[2] I444SEL

入力映像信号の色差サンプリングレートを選択します。

映像入力フォーマットの設定一覧は、表 22 を参照してください。

0 : 4:2:2

1 : 4:4:4 (default)

#01h/bit[1] IRGBSEL

入力映像信号の種別 (YCbCr/RGB) を選択します。

映像入力フォーマットの設定一覧は、表 22 を参照してください。

0 : YCbCr 入力

1 : RGB 入力(default)

#01h/bit[0] IPRGSEL

入力映像信号の走査方式 (インタレース/プログレッシブ) を選択します。

映像入力フォーマットの設定一覧は、表 22 を参照してください。

0 : インタレース入力

1 : プログレッシブ入力(default)

● Sub Address #02h / 入力信号フォーマット設定 3 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#02h	FLDEN	PIFLD	PISEL	NEGCK	-	-	-	-	00h

#02h/bit[7] FLDEN

FIELD 端子から CVBS 出力信号のフィールド情報を出します。

(奇数フィールド:FIELD 出力="L" 偶数フィールド:FIELD 出力="H")

注:フィールド信号入力端子と同一端子のため、フィールド信号出力イネーブル時はフィールド入力機能をご使用いただけません。

0: オフ (default)

1: フィールド信号出力イネーブル

#02h/bit[6] PIFLD

P/I 変換動作において、FIELD 端子からフィールド情報を入力することで、出力インタレース信号に用いる入力プログレッシブ映像の奇数ライン/偶数ラインを指定します。

(奇数ライン:FIELD 入力="L" 偶数ライン:FIELD 入力="H")

#02h/bit[5] PISEL の設定により、FIELD 入力の論理反転が可能です。

0: オフ (default)

1: フィールド信号入力イネーブル

#02h/bit[5] PISEL

P/I 変換において、フィールド信号入力イネーブル時(#02h/bit[6](PIFLD)=1)、FIELD 入力の論理を反転します。

0: FIELD 入力="L":“奇数ライン、 FIELD 入力="H":偶数ライン (default)

1: FIELD 入力="H":“奇数ライン、 FIELD 入力="L":偶数ライン

フィールド信号入力ディセーブル時(#02h/bit[6](PIFLD)=0)、P/I 変換の開始フィールドを選択します。

開始フィールドは、リセット解除後の初回 VSYNC_L 立下りを起点としたフレームから生成します。

0: 偶・奇・偶・奇フィールド・・・の順にインタレース信号を発生します(default)

1: 奇・偶・奇・偶フィールド・・・の順にインタレース信号を発生します

#02h/bit[4] NEGCK

入力信号の取り込みクロックエッジを選択します。

0: CLK 立上り (default)

1: CLK 立下り

#02h/bit[3:0]

“0000”を設定してください。

● Sub Address #03h / 出力データ制御 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#03h	CBON	BBON	BLON	SBON	RGBLEV	SETUP	OUTLEV		03h

#03h/bit[7] CBON

カラーバー信号を出力します。

- 0 : オフ (default)
- 1 : カラーバー信号出力

#03h/bit[6] BBON

ブルーバック信号を出力します。

- 0 : オフ (default)
- 1 : ブルーバック信号出力

#03h/bit[5] BLON

黒レベル信号を出力します。

- 0 : オフ (default)
- 1 : 黒レベル信号出力

#03h/bit[4] SBON

YCbCr 入力データの輝度値の範囲を選択します。

SBON は、輝度信号の量子化範囲を選択するレジスタです。通常の ITU-R BT.601 で規定される範囲 (16~235) に加えて、輝度拡張レンジモードとして、輝度信号が 1~254 の範囲のデータを扱うことが可能です。このモードを使用することで、ペダスタル以下の黒を出力することも可能となります。

- 0 : ITU-R BT.601 レンジモード (default)
- 1 : 拡張輝度レンジモード

#03h/bit[3] RGBLEV

RGB 入力データの範囲を選択します。

- 0 : フルスケール (0~255) (default)
- 1 : ITU-R BT.601 (16~235)

#03h/bit[2] SETUP

NTSC 出力信号の 7.5IRE セットアップの有無を指定します。

- 0 : 7.5IRE セットアップなし (default)
- 1 : 7.5IRE セットアップあり

#03h/bit[1:0] OUTLEV

内蔵カラーバーの出力レベルを選択をします。

- 00 : 25%カラーバー
- 01 : 50%カラーバー
- 10 : 75%カラーバー
- 11 : 100%カラーバー (default)

● Sub Address #04h / 出力データ制御 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#04h	-	-	-	CLEV	-	-	-	-	00h

#04h/bit[7:5]

“000”を設定してください。

#04h/bit[4] CLEV

YCbCr 入力データの色差データ範囲を選択します。

CLEV は色差信号の量子化範囲を選択するレジスタです。通常の ITU-R BT.601 で規定される範囲 (16-240) に加えて、拡張色差レンジモードとして、色差信号が 1~254 の範囲のデータを扱うことが可能です。

0: ITU-R BT.601 レンジモード (default)

1: 拡張色差レンジモード

#04h/bit[3:0]

“0000”を設定してください。

● Sub Address #06h / 出力データ制御 3 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#06h	-	-	-	-	BLKADJ				08h

#06h/bit[7:4]

“0000”を設定してください。

#06h/bit[3:0] BLKADJ

ブランキング信号タイミング (立ち上り、立ち下り同時) をピクセル単位で、-8 ピクセル~+7 ピクセルの範囲でずらしします。

0~7h: -8 ピクセルから-1 ピクセルの範囲に変更

8h: ブランキングの位置はデフォルト状態 (default)

9~15h: +1 ピクセルから+7 ピクセルの範囲に変更

● Sub Address #08h / 出力データ制御 4 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#08h	NOSIG	-	-	-	-	-	-	-	00h

#08h/bit[7] NOSIG

エンコーダに映像信号/同期信号が入力されない場合に、エンコーダ内部で同期信号を生成することで、映像信号を出力することが可能です。

出力できる映像信号は、ブルーバック、カラーバー、黒レベル出力より選択できます。(関連レジスタ#03h)

注:#00h/bit[3:2]=01 (ITU-R BT.656 スタイル) のとき、本設定は無効です。

0: 通常モード (default)

1: 映像無入力モード

#08h/bit[6:0]

“000_0000”を設定してください。

● Sub Address #09h / 出力データ制御 5 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#09h	CVBSGAINY								80h

#09h/bit[7:0] CVBSGAINY

CVBS 出力の輝度信号レベルを調整します。

Bit	7	6	5	4	3	2	1	0	
	整数部		小数部						

0～約 1.9922 倍 (1/128 きざみ) で設定可能です。

● Sub Address #0Ah / 出力データ制御 6 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Ah	CVBSGAINC								80h

#0Ah/bit[7:0] CVBSGAINC

CVBS 出力の色信号レベルを調整します。

Bit	7	6	5	4	3	2	1	0	
	整数部		小数部						

0～約 1.9922 倍 (1/128 きざみ) で設定可能です。

● Sub Address #0Dh / 輝度信号フィルタ設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Dh	-	-	-	-	-	-	APEN		00h

#0Dh/bit[7:2]

“000000”を設定してください。

#0Dh/bit[1:0] APEN

輝度信号用アパーチャフィルタのモード選択信号です。高域の周波数成分を強調します。

補正量を3段階調整することができます。MODE1 が最も補正量が小さく、MODE3 が最も補正量が大きくなります。

00: アパーチャ補正 OFF (default)

01: アパーチャ補正 ON MODE1

10: アパーチャ補正 ON MODE2

11: アパーチャ補正 ON MODE3

● Sub Address #0Fh / スタンバイ制御 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Fh	-	-	-	-	-	-	MUTE	STANDBY	00h

#0Fh/bit[7:2]

“000000”を設定してください。

#0Fh/bit[1] MUTE

MUTE モードの設定です。

DAC へのデジタル信号を ALL”0”に設定し、DAC からゼロ出力をする機能です。

0 : 通常モード (default)

1 : MUTE モード

#0Fh/bit[0] STANDBY

STANDBY レジスタは、デバイスのスタンバイ動作を制御します。スタンバイモード中は、内部 DAC はパワーダウン、DAC 出力はゼロ出力となり、消費電流を低減することができます。スタンバイモード中も、内部レジスタへのアクセスは可能です。

0 : 通常モード (default)

1 : STANDBY モード

● Sub Address #10h / CC データ制御 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#10h	CCEN		-	CCLN					11h

#10h/bit[7:6]、CCEN

クローズドキャプションデータの重畳オン・オフ制御を行います。

- 00 : CC データ重畳無し(default)
- 01 : 奇数フィールド重畳
- 10 : 偶数フィールド重畳
- 11 : 両フィールド重畳

#10h/bit[5]

“0”を設定してください。

#10h/bit[4:0]、CCLN

クローズドキャプションデータの重畳ラインを指定します。

レジスタ設定値によって表 23 のラインに C.C.データが重畳されます。

表 23: CCLN レジスタ機能

CCLN	機能	
	NTSC	PAL
00000	設定禁止	設定禁止
00001	設定禁止	Odd 6、Even 319 Line
00010	設定禁止	Odd 7、Even 320 Line
00011	設定禁止	Odd 8、Even 321 Line
00100	設定禁止	Odd 9、Even 322 Line
00101	設定禁止	Odd 10、Even 323 Line
00110	Odd 10、Even 273 Line	Odd 11、Even 324 Line
00111	Odd 11、Even 274 Line	Odd 12、Even 325 Line
01000	Odd 12、Even 275 Line	Odd 13、Even 326 Line
01001	Odd 13、Even 276 Line	Odd 14、Even 327 Line
01010	Odd 14、Even 277 Line	Odd 15、Even 328 Line
01011	Odd 15、Even 278 Line	Odd 16、Even 329 Line
01100	Odd 16、Even 279 Line	Odd 17、Even 330 Line
01101	Odd 17、Even 280 Line	Odd 18、Even 331 Line
01110	Odd 18、Even 281 Line	Odd 19、Even 332 Line
01111	Odd 19、Even 282 Line	Odd 20、Even 333 Line
10000	Odd 20、Even 283 Line	Odd 21、Even 334 Line
10001*	Odd 21、Even 284 Line	Odd 22、Even 335 Line
10010	Odd 22、Even 285 Line	Odd 23、Even 336 Line
10011	Odd 23、Even 286 Line	Odd 24、Even 337 Line
10100	Odd 24、Even 287 Line	Odd 25、Even 338 Line
10101	Odd 25、Even 288 Line	Odd 26、Even 339 Line
10110	Odd 26、Even 289 Line	Odd 27、Even 340 Line
10111	Odd 27、Even 290 Line	Odd 28、Even 341 Line
11000	Odd 28、Even 291 Line	Odd 29、Even 342 Line
11001	Odd 29、Even 292 Line	Odd 30、Even 343 Line
11010	Odd 30、Even 293 Line	Odd 31、Even 344 Line
11011	Odd 31、Even 294 Line	Odd 32、Even 345 Line
11100	Odd 32、Even 295 Line	Odd 33、Even 346 Line
11101	Odd 33、Even 296 Line	Odd 34、Even 347 Line
11110	Odd 34、Even 297 Line	Odd 35、Even 348 Line
11111	Odd 35、Even 298 Line	Odd 36、Even 349 Line

NTSC Odd : 4+CCLN [Line]
 NTSC Even : 267+CCLN [Line]
 PAL Odd : 5+CCLN [Line]
 PAL Even : 318+CCLN [Line]

● Sub Address #11h / CC 奇数フィールドデータ 0 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#11h	CCOD0								00h

#11h/bit[7:0]、CCOD0

クローズドキャプションデータの奇数 1st バイトデータの指定をします。

表 24: CC 奇数フィールド 1st バイトの Bit0 から Bit6、Pty1 データを設定

CCOD0[7]	CCOD0[6]	CCOD0[5]	CCOD0[4]	CCOD0[3]	CCOD0[2]	CCOD0[1]	CCOD0[0]
Pty1	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #12h / CC 奇数フィールドデータ 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#12h	CCOD1								00h

#12h/bit[7:0]、CCOD1

クローズドキャプションデータの奇数 2nd バイトデータの指定をします。

表 25: CC 奇数フィールド 2nd バイトの Bit0 から Bit6、Pty2 データを設定

CCOD1[7]	CCOD1[6]	CCOD1[5]	CCOD1[4]	CCOD1[3]	CCOD1[2]	CCOD1[1]	CCOD1[0]
Pty2	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #13h / CC 偶数フィールドデータ 0 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#13h	CCED0								00h

#13h/bit[7:0]、CCED0

クローズドキャプションデータの偶数 1st バイトデータの指定を行います。

表 26: CC 偶数フィールド 1st バイトの Bit0 から Bit6、Pty1 データを設定

CCED0[7]	CCED0[6]	CCED0[5]	CCED0[4]	CCED0[3]	CCED0[2]	CCED0[1]	CCED0[0]
Pty1	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #14h / CC 偶数フィールドデータ 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#14h	CCED1								00h

#14h/bit[7:0]、CCED1

クローズドキャプションデータの偶数 2nd バイトデータの指定を行います。

表 27: CC 偶数フィールド 2nd バイトの Bit0 から Bit6、Pty2 データを設定

CCED1[7]	CCED1[6]	CCED1[5]	CCED1[4]	CCED1[3]	CCED1[2]	CCED1[1]	CCED1[0]
Pty2	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #15h / CC データ STATUS (R)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#15h	-						CCSTAT1	CCSTAT2	03h

#15h/bit[7:2]

“0000_00”を設定してください。

#15h/bit[1], CCSTAT1

クローズドキャプションデータ(#13、#14 番地) 偶数フィールドのステータスを示します。
リードクリアです。読み出し専用のレジスタです。

- 0 : CC データのエンコード終了
- 1 : CC データの内部レジスタ書きこみ完了

#15h/bit[0], CCSTAT2

CC データ(#11、#12 番地) 奇数フィールドのクローズドキャプションデータのステータスを示します。
リードクリアです。読み出し専用のレジスタです。

- 0 : CC データのエンコード終了
- 1 : CC データの内部レジスタ書きこみ完了

● Sub Address #16h / CGMS 制御 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#16h	CGMSEN	-	WDO1						00h

#16h/bit[7], CGMSEN

CGMS 機能のイネーブル/ディセーブルを選択します。

- 0 : CGMS 無効(default)
- 1 : CGMS 有効

#16h/bit[6]

“0”を設定してください。

#16h/bit[5:0], WDO1

CGMS データを設定するためのレジスタです。

表 28: CGMS の Bit1 から Bit6 のデータを設定

WDO1[5]	WDO1[4]	WDO1[3]	WDO1[2]	WDO1[1]	WDO1[0]
Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #17h / CGMS 制御 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#17h	WDO2								00h

#17h/bit[7:0], WDO2

CGMS データを設定するためのレジスタです。

表 29: CGMS の Bit7 から Bit14 のデータを設定

WDO2[7]	WDO2[6]	WDO2[5]	WDO2[4]	WDO2[3]	WDO2[2]	WDO2[1]	WDO2[0]
Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6

● Sub Address #18h / CGMS 制御 3 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#18h	CRCON	-	CRCDATA						00h

#18h/bit[7]、CRCON

CGMS の CRC データをユーザが直接指定するためのモードを設定するためのレジスタです。

0 : CRC データ内部自動生成モード(default)

1 : CRC データユーザ指定モード

#18h/bit[6]

“0”を設定してください。

#18h/bit[5:0]、CRCDATA

ユーザが指定する CRC データを格納するレジスタです。

表 30: CGMS の Bit15 から Bit20 のデータを設定

CRCDATA[5]	CRCDATA[4]	CRCDATA[3]	CRCDATA[2]	CRCDATA[1]	CRCDATA[0]
Bit19	Bit18	Bit17	Bit16	Bit15	Bit14

● Sub Address #19h / WSS 制御 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#19h	GP12								00h

#19h/bit[7:0]、GP12

PAL の WSS データを設定するためのレジスタです。

表 31: WSS の Bit0 から Bit7 のデータを設定

GP12[7]	GP12[6]	GP12[5]	GP12[4]	GP12[3]	GP12[2]	GP12[1]	GP12[0]
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

● Sub Address #1Ah / WSS 制御 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Ah	WSEN	-	GP34						00h

#1Ah/bit[7]、WSEN

PAL の WSS 機能のイネーブル/ディセーブルを選択します。

0 : WSS 無効(default)

1 : WSS 有効

#1Ah/bit[6]

“0”を設定してください。

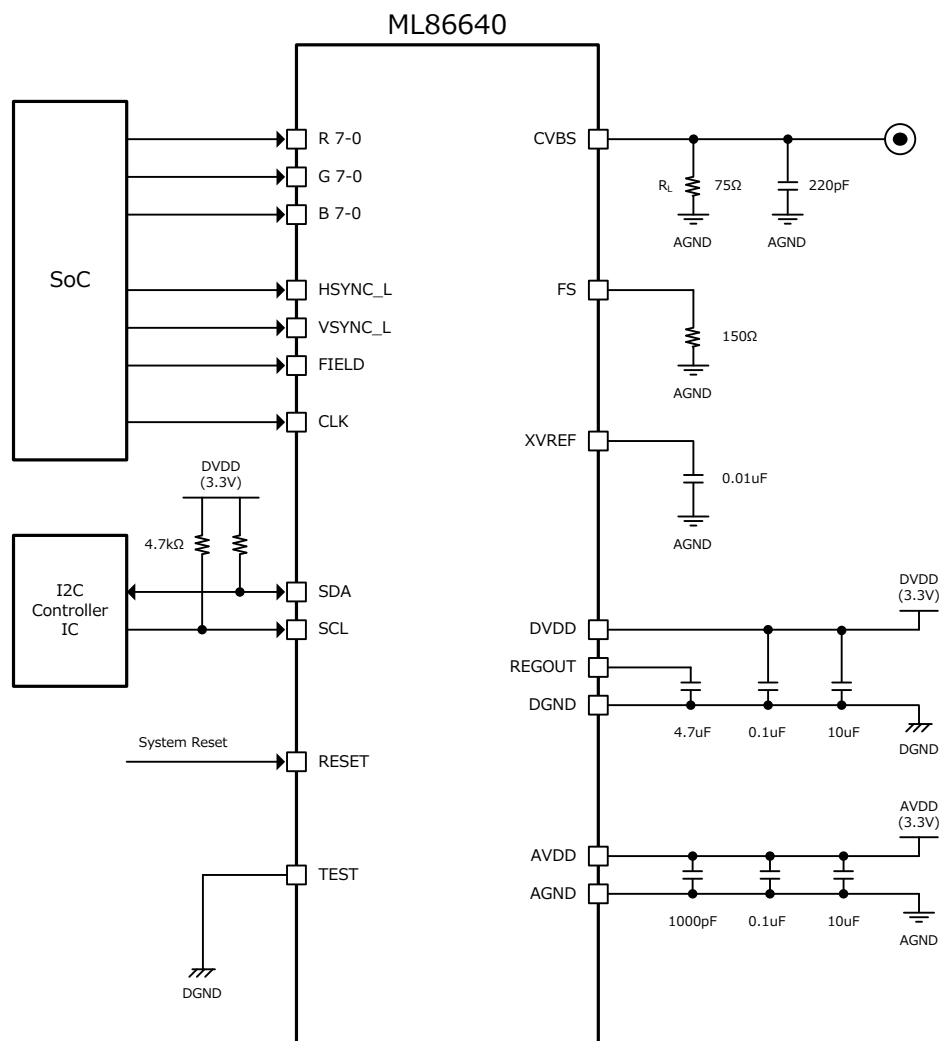
#1Ah/bit[5:0]、GP34

PAL の WSS データを設定するためのレジスタです。

表 32: WSS の Bit8 から Bit13 のデータを設定

GP34[5]	GP34[4]	GP34[3]	GP34[2]	GP34[1]	GP34[0]
Bit13	Bit12	Bit11	Bit10	Bit9	Bit8

■ 応用回路例



上記応用回路例は、使用上の参考として代表的な用例を示したものです。

ITU-R BT.656 スタイルで使用する場合は、HSYNC_L、VSYNC_L 端子は“L”レベルに固定するなどして、端子が OPEN 状態にならないようにしてください。

CVBS 端子に接続する負荷抵抗と、FS 端子に接続する負荷抵抗は許容誤差:±1%以内を推奨します。

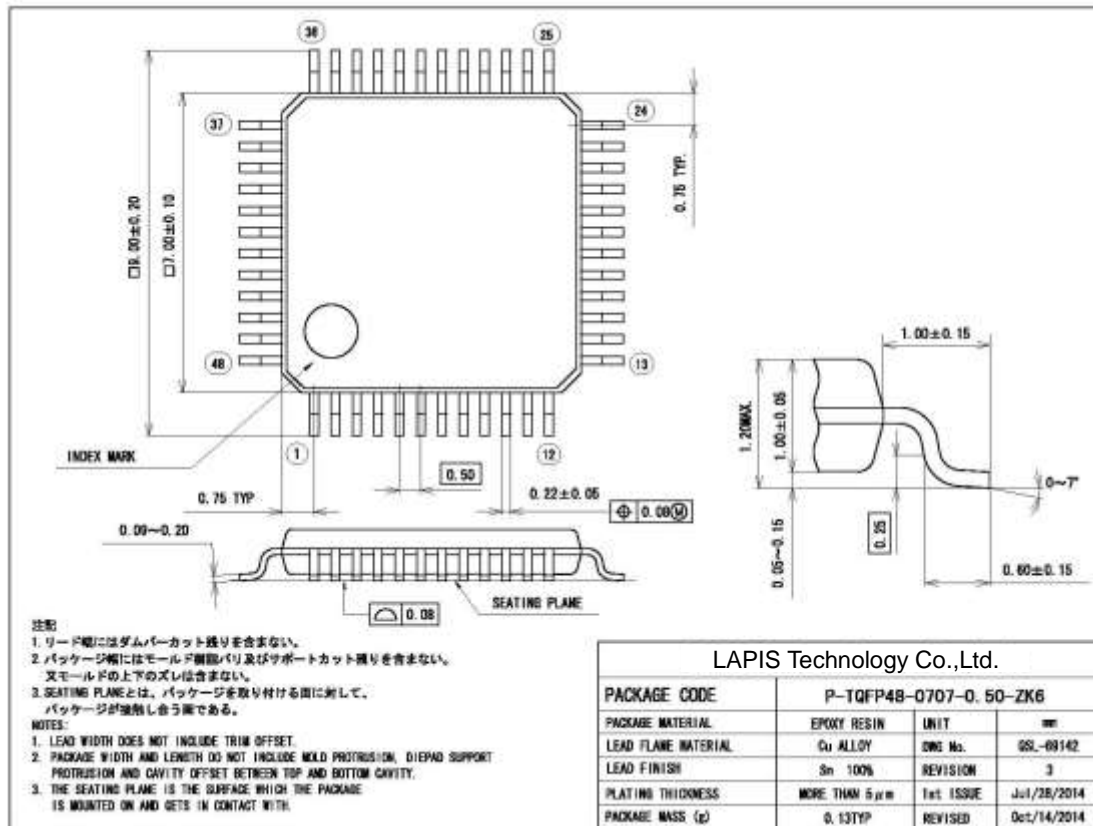
レギュレータ出力端子 (REGOUT) には、 $4.7\mu\text{F}\pm 20\%$ 以上のセラミックコンデンサを接続してください。

ここに記載する回路例は、応用例を示すもので特性を保証するものではありません。

本LSIをご使用の際は、お客様のシステムに最適な回路素子、回路構成により動作検証を行ってください。

■ パッケージ情報

TQFP48



■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL86640-01	2017.3.23	—	56	正式初版発行
FJDL86640-02	2018.3.19	56	56	P4:端子説明 FS, CVBS 端子 推奨外部抵抗精度を記載 P8:I2C 高速モード規格を記載 入力 CLK 精度の推奨値を記載 P14,15:映像入力タイミング図に tFP を記載
FJDL86640-03	2024.2.16	56	56	P2 用途、ラインアップ追加 表 28~表 30 bit ナンバー修正

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後が発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2017 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

LTSZ08023・01・002