お客様各位

資料中の「ラピステクノロジー」等名称の
ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

２０２４年４月１日
ローム株式会社

ML86V7675

ディジタルビデオデコーダ LSI

■ 概要

ML86V7675 は、NTSC、PAL 方式のアナログビデオ入力、480i/576i/480p/576p、および WVGA(800×480)のアナログビデオ入力、EGA サイズ(400×234、480×234)のアナログ RGB 入力を、ITU-R BT.601/BT.656 YCbCr スタイルディジタルフォーマットに変換するディジタルビデオデコーダです。
アナログビデオ入力は、内蔵の A/D コンバータおよびビデオデコーダにより、コンポジットビデオ、S ビデオ、コンポーネントビデオ入力に対応します。 コンポジットビデオ入力は適応型 2 次元 Y/C 分離フィルタ(2or3Line adaptive comb filter)により輝度信号と色差信号に分離され、汎用の画像データフォーマットに変換します。 サンプリング方式は、非同期サンプリング方式、ディジタル PLL によるラインロッククロックサンプリング方式が使用できます。 非同期サンプリング方式で問題となる映像ジッタも、ピクセル位置補正回路やピクセル数補正用 FIFO を内蔵しておりますので、ジッターフリーの出力データが得られます。

■ 特徴

●アナログビデオ入力 入力形式		
コンポジットビデオ	:	NTSC/PAL/SECAM（ITU-R BT.470）
S ビデオ	:	NTSC/PAL/SECAM（ITU-R BT.470）
コンポーネントビデオ入力（YPbPr/RGB）	:	480i/576i/480p/576p、EGA、WVGA（Sync on Y/G、RGB 入力時のみ CSYNC 入力対応）
●アナログ入力ポート	:	コンポジットビデオ入力 4ch コンポーネントビデオ入力（YPbPr/RGB） 1ch コンポーネントビデオ入力（YPbPr/RGB）or S ビデオ入力 1ch
●AD コンバータ	:	10bit ADC
●対応サンプリング周波数		
NTSC/ PAL/ SECAM（ITU-R BT.601）	:	27.0000MHz
NTSC(4Fsc)	:	28.6363MHz
D1(480i/576i)	:	27.0000 MHz
D2(480p/576p)	:	27.0000 MHz
EGA(400×234)	:	7.993006 MHz
EGA(480×234)	:	9.582167 MHz
WVGA(800×480)	:	33.231 MHz, 33.333 MHz
●サンプリング方式	:	非同期サンプリング方式 / ラインロッククロックサンプリング方式
●Y/C 分離	:	適応型 2 次元 Y/C 分離フィルタ
●輝度レベル調整	:	AGC（オート輝度調整）/MGC（マニュアル輝度調整）/ピーク AGC
●色レベル調整	:	ACC（オート色調整）/ MCC（マニュアル色調整）
●コントラスト調整	:	128 を中心に傾き 1/32～63/32 間で調整可能
●輝度オフセット調整	:	－7IRE～7IRE 間、および－128～127LSB で調整可能
●輪郭補正	:	高域の周波数成分を強調
●色相調整	:	－178.6°～ 180° (NTSC、PAL 限定)、および －45°～44.6° で調整可能

●入力映像信号方式自動判定	: NTSC / PAL / SECAM 自動認識	
● VBI データ検出	: クローズドキャプション	NTSC（480i のみ）に対応
	CGMS	NTSC（480i, 480p のみ）に対応
	WSS	PAL（576i のみ）に対応
● 出力形式	: YCbCr 4:2:2 8bit 多重データ＋同期信号	
	: ITU-R BT.656 同期情報付き YCbCr 4:2:2 8bit 多重データ SDR、DDR 出力選択可能	
● ホストインタフェース	: I2C（Slave） スレーブアドレス 80h（1000_000x）、82h（1000_001x） を選択可能。	
●クロック		
サンプリングクロック	: ラインロックPLL方式 参照クロックとして水晶発振子（32.00/25.00MHz）を外付	
● 電源電圧	: I/O	3.3V ± 0.3V
	アナログ部（AFE / ADC）	3.3V ± 0.3V
	アナログ部（PLL）	1.5V ± 0.15V
	ロジック部	1.5V ± 0.15V
● 動作周波数	: 入力最大 28.63MHz、出力最大 57.26MHz 入力最大 33.33MHz、出力最大 66.66MHz	
● 動作温度（周囲温度）	: －40℃ ～ ＋85℃	
● パッケージ	: 64 ピン プラスチック TQFP	

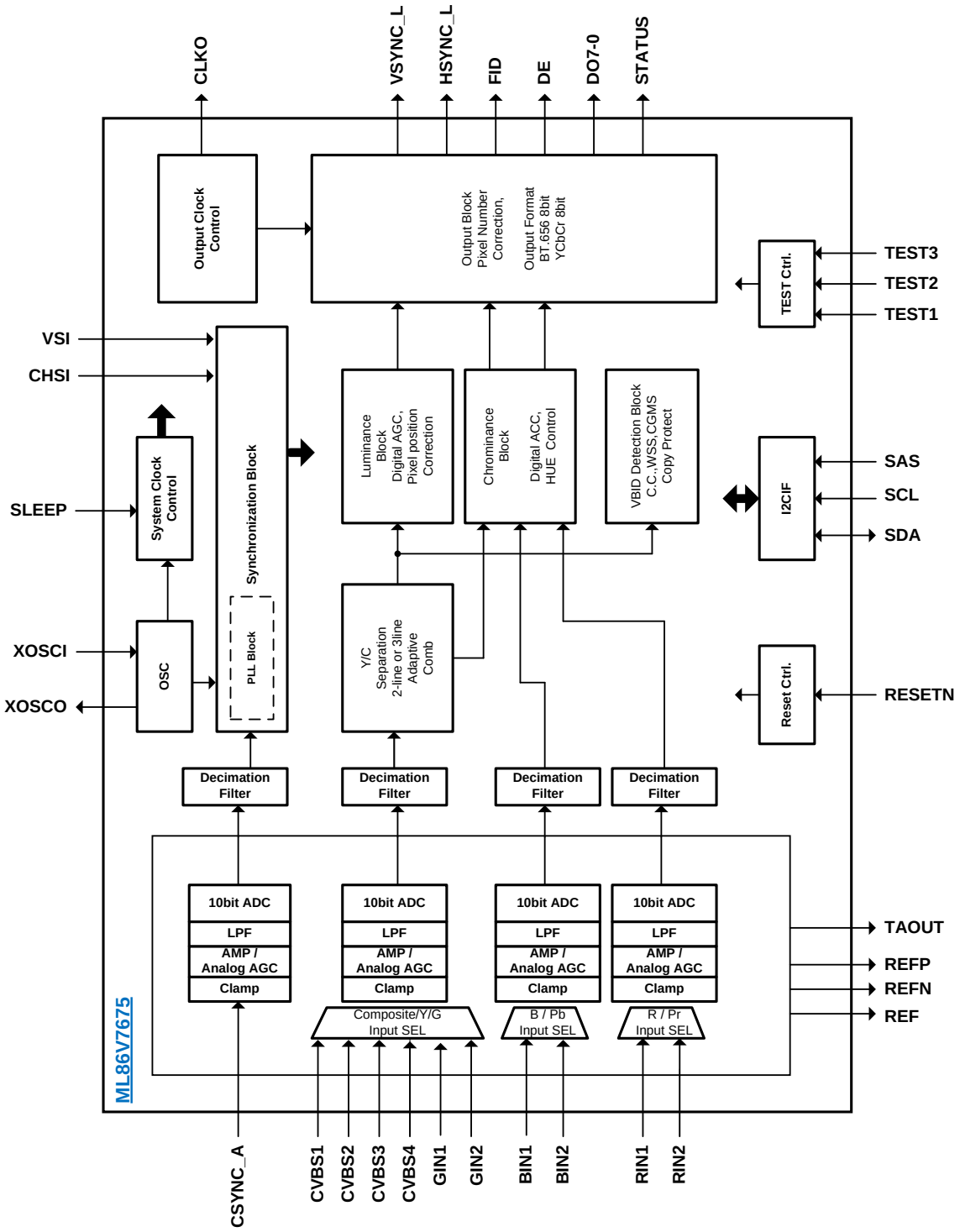
■ 用途

- カーナビゲーション
- ディスプレイオーディオ
- RSE（リアシートエンターテイメント）

■ ラインアップ

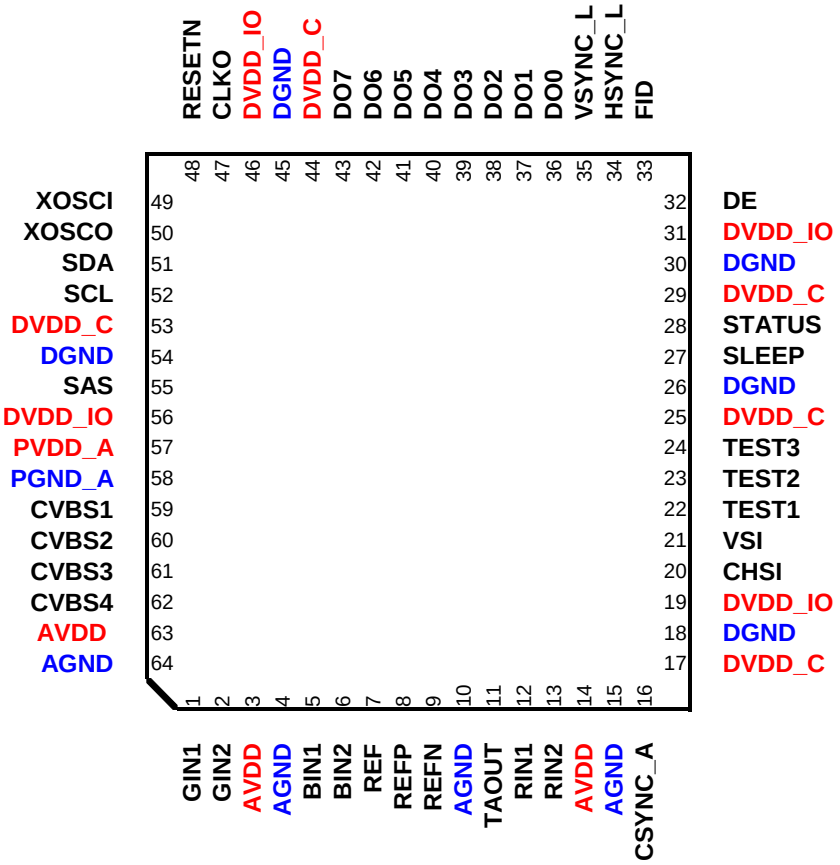
品 名	出荷形態
ML86V7675TPZ0AX	トレイ

■ ブロック図


CLKO
VSYNC_L
HSYNC_L
FID
DE
DO7-0
STATUS
Output Clock Control
Output Block Pixel Number Correction, Output Format BT.656 8bit YCbCr 8bit
TEST Ctrl.
TEST3
TEST2
TEST1
VSI
CHSI
SLEEP
System Clock Control
Synchronization Block
PLL Block
Luminance Block Digital AGC, Pixel position Correction
Chrominance Block Digital ACC, HUE Control
VBID Detection Block C.C.,WSS,CGMS Copy Protect
I2CIF
SAS
SCL
SDA
XOSCI
XOSCO
OSC
Y/C Separation 2-line or 3line Adaptive Comb
Reset Ctrl.
RESETN
Decimation Filter
Decimation Filter
Decimation Filter
Decimation Filter
10bit ADC
LPF
AMP / Analog AGC
Clamp
10bit ADC
LPF
AMP / Analog AGC
Clamp
10bit ADC
LPF
AMP / Analog AGC
Clamp
10bit ADC
LPF
AMP / Analog AGC
Clamp
TAOUT
REFP
REFN
REF
Composite/Y/G Input SEL
B / Pb Input SEL
R / Pr Input SEL
ML86V7675
CSYNC_A
CVBS1
CVBS2
CVBS3
CVBS4
GIN1
GIN2
BIN1
BIN2
RIN1
RIN2

■ 端子接続（上面図）

64 ピン プラスチック TQFP, Cu リード
(P-TQFP64-1010-0.50)



注: 端子名が同一の電源端子には、それぞれ同一の電源電圧を印加してください。
不使用入力端子は、“L”レベルまたは“H”レベルに固定してください。
ただし、不使用入力端子がプルアップ端子の場合は“H”レベル、プルダウン端子の場合は“L”レベルに固定してください。

■ 端子一覧

ピン番号	端子名	I/O	タイプ		1次機能／2次機能
			入力	出力	
1	GIN1	I	Analog	—	アナログビデオ入力 (G/Y)
2	GIN2	I	Analog	—	アナログビデオ入力 (G/Y/SY)
3	AVDD	—	電源	—	アナログ用 電源 (3.3V)
4	AGND	—	電源	—	アナログ用 グラウンド
5	BIN1	I	Analog	—	アナログビデオ入力 (B/Pb)
6	BIN2	I	Analog	—	アナログビデオ入力 (B/Pb/SC)
7	REF	O	—	Analog	ADC 基準電圧（外部にて 0.01uF で接地）
8	REFP	O	—	Analog	ADC 基準電圧（外部にて 0.22uF で接地）
9	REFN	O	—	Analog	ADC 基準電圧（外部にて 0.22uF で接地）
10	AGND	—	電源	—	アナログ用 グラウンド
11	TAOUT	O	—	Analog	テスト用出力 （オープン）
12	RIN1	I	Analog	—	アナログビデオ入力 (R/Pr)
13	RIN2	I	Analog	—	アナログビデオ入力 (R/Pr)
14	AVDD	—	電源	—	アナログ用 電源 (3.3V)
15	AGND	—	電源	—	アナログ用 グラウンド
16	CSYNC_A	I	Analog	—	アナログコンポジットシンク入力
17	DVDD_C	—	電源	—	ディジタルコア用電源 (1.5V)
18	DGND	—	電源	—	ディジタル用 グラウンド
19	DVDD_IO	—	電源	—	ディジタル入出力用電源 (3.3V)
20	CHSI	I	LVTTL,ST 5V-tolerant	—	ディジタルコンポジットシンク入力 またはディジタル水平同期入力 (アナログ RGB 入力用)
21	VSI	I	LVTTL,ST 5V-tolerant	—	ディジタル垂直同期入力(アナログ RGB 入力用)
22	TEST1	I	LVTTL,PD	—	テストモード選択
23	TEST2	I	LVTTL,PD	—	テストモード選択
24	TEST3	I	LVTTL,PD	—	テストモード選択
25	DVDD_C	—	電源	—	ディジタルコア用電源 (1.5V)
26	DGND	—	電源	—	ディジタル用 グラウンド
27	SLEEP	I	LVTTL,PD	—	スリープイネーブル入力
28	STATUS	O	—	4mA 駆動	ステータス出力
29	DVDD_C	—	電源	—	ディジタルコア用電源 (1.5V)
30	DGND	—	電源	—	ディジタル用 グラウンド
31	DVDD_IO	—	電源	—	ディジタル入出力用電源 (3.3V)
32	DE	O	—	2 / 4mA 駆動	データイネーブル出力

PD = pull-down. ST = Schmitt Trigger.
注: pull-down 抵抗は、40kΩです。

ピン番号	端子名	I/O	タイプ		1次機能／2次機能
			入力	出力	
33	FID	O	—	2 / 4mA 駆動	フィールド情報出力
34	HSYNC_L	O	—	2 / 4mA 駆動	水平同期信号出力
35	VSYNC_L	O	—	2 / 4mA 駆動	垂直同期信号出力
36	DO0	O	—	2 / 4mA 駆動	出力データ 0
37	DO1	O	—	2 / 4mA 駆動	出力データ 1
38	DO2	O	—	2 / 4mA 駆動	出力データ 2
39	DO3	O	—	2 / 4mA 駆動	出力データ 3
40	DO4	O	—	2 / 4mA 駆動	出力データ 4
41	DO5	O	—	2 / 4mA 駆動	出力データ 5
42	DO6	O	—	2 / 4mA 駆動	出力データ 6
43	DO7	O	—	2 / 4mA 駆動	出力データ 7
44	DVDD_C	—	電源	—	ディジタルコア用電源 (1.5V)
45	DGND	—	電源	—	ディジタル用 グラウンド
46	DVDD_IO	—	電源	—	ディジタル入出力用電源 (3.3V)
47	CLKO	O	—	2 / 4mA 駆動	出力クロック
48	RESETN	I	LVTTL,ST	—	システムリセット入力（アクティブ “L”）
49	XOSCI	I	LVTTL	—	クロック発振入力 （HPLL 参照クロック入力）
50	XOSCO	O	—	6mA 駆動	クロック発振出力
51	SDA	I/O	LVTTL,ST	4mA 駆動 open-drain	I^2C バス シリアルデータ
52	SCL	I	LVTTL,ST	—	I^2C バス シリアルクロック
53	DVDD_C	—	電源	—	ディジタルコア用電源 (1.5V)
54	DGND	—	電源	—	ディジタル用 グラウンド
55	SAS	I	LVTTL,PD	—	I^2C バス スレーブアドレス選択
56	DVDD_IO	—	電源	—	ディジタル入出力用電源 (3.3V)
57	PVDD_A	—	電源	—	HPLL 用電源 (1.5V)
58	PGND_A	—	電源	—	HPLL 用グラウンド
59	CVBS1	I	Analog	—	アナログビデオ入力 (CVBS)
60	CVBS2	I	Analog	—	アナログビデオ入力 (CVBS)
61	CVBS3	I	Analog	—	アナログビデオ入力 (CVBS)
62	CVBS4	I	Analog	—	アナログビデオ入力 (CVBS)
63	AVDD	—	電源	—	アナログ用 電源 (3.3V)
64	AGND	—	電源	—	アナログ用 グラウンド

PD = pull-down. ST = Schmitt Trigger.
注: pull-down 抵抗は、40kΩです。

■ 端子説明

端子名	1次機能		2次機能		初期状態
	I/O	説明	I/O	説明	
アナログビデオ入力関連					
RIN1, GIN1, BIN1	I	アナログコンポーネントビデオ信号入力 1（RGB1） RIN1 ： R/Pr 用 GIN1 ： G/Y 用 BIN1 ： B/Pb 用			
RIN2, GIN2, BIN2	I	アナログコンポーネントビデオ信号入力 2（RGB2） RIN2 ： R/Pr 用 GIN2 ： G/Y 用 BIN2 ： B/Pb 用	I	アナログ Sビデオ信号入力 BIN2 ： SC 用 GIN2 ： SY 用	
CVBS1－4	I	アナログコンポジットビデオ信号入力			
CSYNC_A	I	アナログコンポジットシンク入力(アナログ RGB 入力用)			
CHSI	I	ディジタルコンポジットシンク入力またはディジタル水平同期入力(アナログ RGB 入力用)			
VSI	I	ディジタル垂直同期入力(アナログ RGB 入力用)			
REF	O	ADC 基準電圧（外部にて 0.01uF で接地）			
REFN	O	ADC 基準電圧（外部にて 0.22uF で接地）			
REFP	O	ADC 基準電圧（外部にて 0.22uF で接地）			
TAOUT	O	テスト用出力 （オープン）			
外部 CLK 関連					
XOSCI	I	クロック発振入力（HPLL 参照クロック入力）			入力
XOSCO	O	クロック発振出力			“X”

注： 初期状態は1次機能です。

端子名	1次機能		2次機能		初期状態
	I/O	説明	I/O	説明	
出力関連					
DO7－0	O	出力データ			“L”
CLKO	O	出力クロック			“H”
HSYNC_L	O	水平同期信号出力			“H”
VSYNC_L	O	垂直同期信号出力			“H”
DE	O	出力データイネーブル			“L”
FID	O	フィールド情報出力 “L”:ODD フィールド／“H”:EVEN フィールド			“L”
ホストインタフェース関連					
SDA	I/O	I^2C バス シリアルデータ			入力
SCL	I	I^2C バス シリアルクロック			入力
SAS	I	I^2C バス アドレス選択 “L”: 80h（1000_000x）／“H”:82h（1000_001x）			入力 PD
STATUS	O	ステータス出力 または 割込み（アクティブ“L”）出力			“H”
システム関連					
RESETN	I	システムリセット入力 （アクティブ“L”）			入力
SLEEP	I	スリープイネーブル “L”:通常動作／“H”:スリープ			入力 PD
TEST1－3	I	テストモード選択 “L”:通常動作／“H”:テストモード			入力 PD
電源					
AVDD AGND	—	アナログ用 電源，グラウンド			
PVDD_A PGND_A	—	HPLL（アナログサンプリングクロック生成）用 電源，グラウンド			
DVDD_C	—	ディジタルコア用電源			
DVDD_IO	—	ディジタル入出力用電源			
DGND	—	ディジタル用グラウンド			

注: 初期状態は1次機能です。 PD = pull-down.
注: パワーダウン時の出力は、初期状態と同じです。
注: pull-down の内部抵抗は、40kΩです。

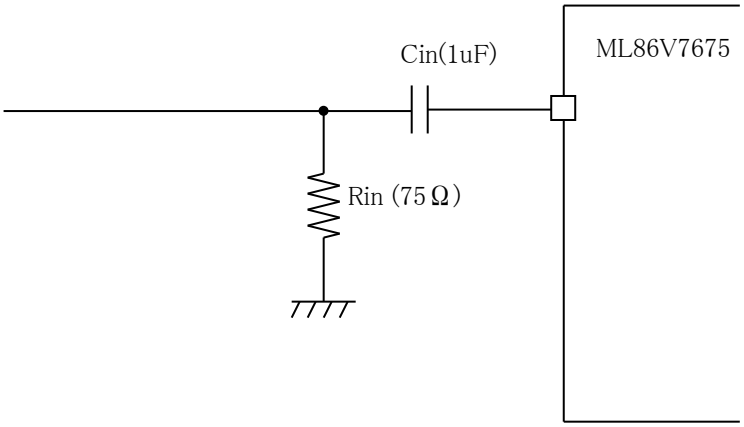
■ 機能説明

１．アナログビデオ入力

ML86V7675 のアナログビデオ入力は、コンポーネントビデオ入力と、S ビデオ入力および、コンポジットビデオ入力があります。
アナログ入力は、ITU-R BT.470 で規定されたコンポジットビデオ、および SMPTE 293M / ITU-R BT.601、1358 で規定された、コンポーネント信号（インタレース／プログレッシブ）に対応します。
コンポーネントビデオ YPbPr 入力時は、Y 信号に複合同期信号を重畳（Sync-On-Y）してください。
コンポーネントビデオ RGB 入力の場合は、G信号に複合同期信号を重畳（Sync-On-G）または、アナログ入力のコンポジットシンク（CSYNC_A）、ディジタル入力のコンポジットシンク(CHSI)、または垂直、水平同期信号（VSI、CHSI）での動作が選択できます。

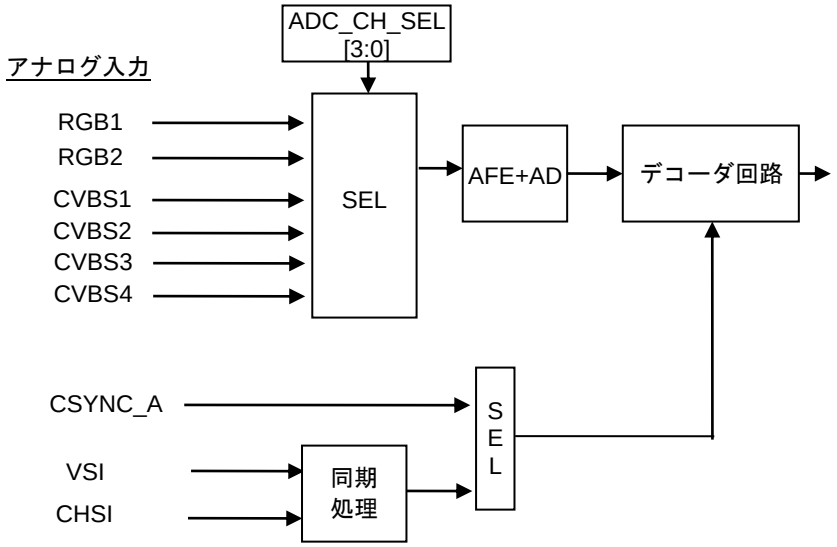
アナログビデオ信号は、容量結合により入力します。内蔵のクランプ回路により、同期信号のレベルを検出して直流再生します。（シンクチップクランプ）
クランプしたアナログ信号は、内蔵 ADC によりサンプリングします。 使用しない A/D コンバータはスリープモードに入り、消費電力を低減します。

ML86V7675 のアナログビデオ入力端子へ映像信号を入力する際は、下図のような外部回路を構成してください。
デコーダからみた入力抵抗は約 75Ω である必要があります。
入力段のセレクタ、アンプなどの影響で 75Ω 終端できない場合は、最大でも 300Ω 以下を接続してください。



Cin ： 積層セラミックコンデンサ （静電容量許容差±10%、温度特性±10%）
Rin ： 抵抗 （±5%の精度）

ML86V7675 はディジタルビデオに変換するアナログビデオ入力を 1 系統選択して使用します。



内部処理回路への入力選択（#50h　ADC_CH_SEL[3:0]）

入力選択	入力有効ポート					
	RGB1	RGB 2	CVBS1	CVBS2	CVBS3	CVBS4
0000	○ (YPbPr)	–	–	–	–	–
0001	–	○ (YPbPr)	–	–	–	–
1000	○ (RGB)	–	–	–	–	–
1001	–	○ (RGB)	–	–	–	–
1011	–	○ (SY/SC)	–	–	–	–
0100	–	–	○	–	–	–
0101	–	–	–	○	–	–
0110	–	–	–	–	○	–
0111	–	–	–	–	–	○
他	アナログスリープ					

注：CVBS=コンポジットビデオ信号、SY、SC=S ビデオ信号、他=各コンポーネント信号

コンポーネント入力時の同期入力（#01h　SEP_S_MD[1:0]）

入力形式	同期入力	端子
コンポーネント YPbPr	Sync on Y	GIN1、GIN2
コンポーネント RGB	Sync on G	GIN1、GIN2
	アナログコンポジットシンク	CSYNC_A
	ディジタルコンポジットシンク	CHSI
	ディジタルセパレートシンク	VSI、CHSI

２．サンプリングクロック

２．１ サンプリングクロック方式

アナログビデオ入力のサンプリングクロックは、以下の 2 種から選ぶことができます。
関連するコントロールレジスタは、#5Ch～#5Dh です。

（1）非同期サンプリング方式

固定クロックによるサンプリング方式で、サンプリングクロックは、以下の 2 種の動作選択が可能です。

・外部端子から直接入力する方法（27MHz サンプリング動作時のみ有効）
・外部参照クロックから内蔵 HPLL により生成

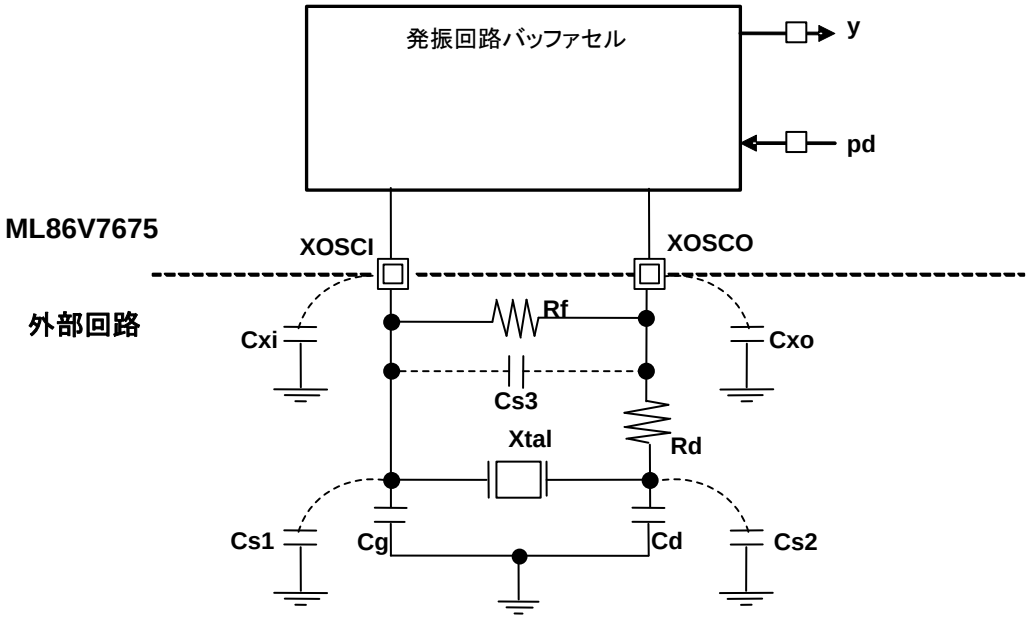
内蔵 HPLL で生成する場合の外部参照クロックには 32MHzまたは 25MHz の水晶発振子を使用し、固定分周比にてクロック生成します(#8Fh bit[0] OSC_SEL)。いずれの場合もビデオ入力信号とは非同期のため、内部でライン毎にクロック位相を調整しています。
非標準映像信号などの乱れた同期信号に対しては、同期追随性が高いという利点があります。
しかし、コンポジット入力や S-ビデオ入力の場合は、規定のクロック周波数からの偏差が大きいと色分離性能に若干影響します。

（2）ラインロック方式（HPLL）

ラインロック PLL によるサンプリング方式です。
1ラインの時間を規定のクロック数で分割するようにサンプリングクロックを調整しますので、1ライン、1フレーム（フィールド）のクロック数が常に一定した出力を得られるという利点があります。しかし、非標準映像信号入力に対しては追随性が悪く、場合によっては正常な出力画像が得られない場合もあります。
ラインロック方式を選択した時は、コントロールレジスタ(#5Ch bit[3] PLL_LK_TM)にてラインロック動作モードを選択することができます。 #5Ch bit[3] PLL_LK_TM =”1” （Fast-lock mode）に設定した時は PLL の追従速度を早くすることができますが、非標準信号を入力した時に追従性が悪い場合があります。
また、コントロールレジスタ(#5Dh)にてラインロック動作の追従速度を調整することが可能です。 追従速度を早くすると安定性が損なわれる可能性があります。

２．２ 外部参照クロック

内部 PLL が参照する外部クロックの外付回路構成図及び部品配置例を下図に示します。
外部水晶発振子の周波数は、32MHz または 25MHz を使用してください。
ラインロッククロックの安定性のため 100 ppm 以下の周波数精度をもった水晶発振子を御使用ください。



回路定数

以下に参考として、上記回路が安定動作する回路定数例を示します。

Rf	Rd	Cg(*)	Cd(*)	使用可能な振動子の負荷容量 CL
1MΩ	100Ω	8pF	8pF	8pF

(*)この値は浮遊容量 Cs1、Cs2、Cs3、LSI の入力容量 Cxi、Cxo を含んでおりません。
浮遊容量はプリント基板の配線パターン等により変動しますので、実験、確認の上この値を決定下さるようお願い致します。詳細は水晶振動子製造元にお問い合わせください。

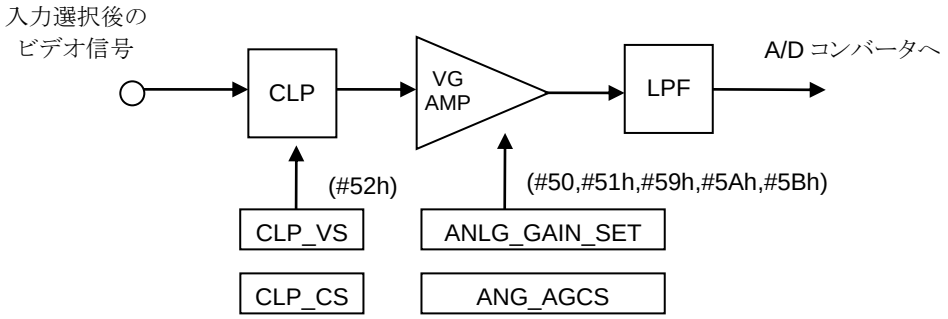
CL ≒ (Cg + Cs1 + Cxi) // (Cd + Cs2 + Cxo) +Cs3
= ((Cg + Cs1 + Cxi)*(Cd + Cs2 + Cxo)) / ((Cg + Cs1 + Cxi) + (Cd + Cs2 + Cxo)) + Cs3

３．アナログフロントエンド部（クランプ、LPF、アンプ）

アナログフロントエンド（AFE）では、以下の処理を行います。

- アナログビデオ信号のシンクチップの検出
- 内蔵 ADC の入力範囲に変換するためのクランプ動作
- アナログ AGC（オートゲインコントロール）機能によるレベル調整
- LPF によるアンチエイリアス処理

AGC 機能は、内蔵アンプによる入力レベル調整機能の他に、ディジタル部（輝度ブロック）の出力レベル調整機能があります。 内蔵アンプのゲイン設定はマニュアルにより、4ch 個別設定が可能です。



４．CVBS ビデオデコーダ部

CVBS ビデオデコーダ部は、Y/C 分離機能、輝度処理、クロマ処理、同期処理、VBID 検出機能があります。

４．１ YC 分離

Y/C 分離は、コンポジットビデオデータを Y（輝度）成分と C（複合色差）成分に分離します。

Y/C 分離方式は、フィールド間演算を行わない2次元分離方式です。入力映像信号方式により、使用する Y/C 分離フィルタ形式が異なります。また、各映像信号方式に対し、Y/C 分離フィルタを選択するモード指定が可能です。 入力映像信号方式は、同期分離により再生した水平同期信号、垂直同期信号の周期と、カラーバースト信号から自動的に検出するか、指定した方式を固定的に使用するかを選びます。

<table>
<tr><th rowspan="2">モード選択
#0Ch/bit[6:4]</th><th colspan="3">Y/C 分離方式</th></tr>
<tr><th>NTSC</th><th>PAL</th><th>SECAM</th></tr>
<tr><td>000</td><td>適応型フィルタ</td><td>適応型フィルタ</td><td rowspan="4">トラップフィルタ</td></tr>
<tr><td>001</td><td>3ラインコムフィルタ</td><td>2ラインコムフィルタ</td></tr>
<tr><td>010</td><td>トラップフィルタ</td><td>トラップフィルタ</td></tr>
<tr><td>011</td><td>3ラインコム／トラップ
適応型フィルタ</td><td>設定禁止</td></tr>
</table>

４．２ CVBS 入力信号方式

以下の規定に従って、CVBS 入力信号方式を判別します。

信号方式	ライン数 (frame)	フィールド周波数 [Hz]	サブキャリア周波数 (MHz)	Black level (IRE)
NTSC-M	525	59.94	3.58	7.5
NTSC-Japan	525	59.94	3.58	0
PAL-B, B1, D, D1, G, H, I, K	625	50	4.43	0
NTSC-443	525	59.94	4.43	0
PAL-M	525	59.94	3.576	7.5
PAL-N	625	50	4.43	7.5
PAL-Nc	625	50	3.582	0
PAL-60	525	59.94	4.43	0
SECAM	625	50	-	0

入力信号方式は、同期分離により再生した水平同期信号、垂直同期信号の周期と、カラーバースト信号から自動的に検出するか、指定した方式を固定的に使用するかを選びます。

入力信号方式のうち、ITU-R BT.470 勧告で規定されている NTSC 方式(-M / -Japan 含む)、PAL の B, B1, D, D1, G, H, I, K, M, N, Nc 方式、SECAM 方式については、自動判別が可能です。

NTSC-M と NTSC-J の識別はできません。レジスタ#00/bit[7:4] (VIF[3:0])の設定に依存します。

NTSC-443 と PAL-60 の識別は同時に実行できません。

マスクする映像信号はレジスタ#02/bit[7:0]で設定します。

レジスタ#00/bit[0] (AVMD)=”0”にした場合は、入力の映像信号方式をレジスタ#00/bit[7:4] (VIF[3:0])にて設定する必要があります。

４．３ 輝度処理

Y/C 分離後のＹ（輝度）データは、レベル調整（AGC）処理が可能です。 レベル調整は、ディジタル AGC（Automatic Gain Control）とアナログアンプ AGC があります。

ディジタル AGC の倍率上限は約 4 倍です。 入力映像信号の振幅が小さい場合はアナログアンプ AGC にて調整を行います。 アナログアンプ AGC の倍率は約 0.608 倍～5.4 倍です。

ディジタル AGC は、Y/C 分離後のＹ（輝度）データの SYNC の深さを参照し、輝度処理の倍率を調整します。コントロールレジスタ #21h/bit[7:0] (AGC_REF[7:0])で輝度レベルの微調整が可能です。

なお、SYNC の深さにかかわらず、輝度倍率をレジスタで決定するディジタル MGC(Manual Gain Control)モードにすることも可能です。

ディジタル AGC/MGC モードはコントロールレジスタ #20h /bit[7:6] (AGC_FT[1:0]) と#20h /bit[4] (LOSET_E)の設定の組み合わせにより、以下のように分類されます。

#20h/bit [7:6]	#20h/bit [4]	動作
00	0	AGC slow
01	0	AGC medium
10	0	AGC fast
11	0	設定禁止
XX	1	MGC

４．４ 色差処理部

Y/C 分離後の C（複合色差）データは、色差処理部により Cb と Cr の 2 成分に分離します。色差処理部では、カラーバースト信号を基準にレベル調整し（ディジタル ACC：Automatic Color Control）、各映像信号方式に応じた色副搬送波を再生して復調処理をおこない Cb データ と Cr データ に分離します。Cb, Cr データは、色相調整することができます。

色差処理の調整は、コントロールレジスタ #30h～#3Bh にて行います。

#30h/bit[7:6]	動作
00	ACC fast
01	ACC slow
10	ACC medium
11	MCC

色復調が正常にできないと判断した場合、カラーキラー（色を消す）処理を行います。

カラーキラー処理の調整は、コントロールレジスタ #33h～#34h にて行います。

４．５ 同期処理部

コンポジットビデオデータの Y（輝度）データを用いて、垂直同期信号と水平同期信号を分離します。

同期処理部では、入力信号から同期分離スレッショルドを自動生成し同期分離を行い、垂直有効範囲・水平有効範囲を生成します。

同期分離の調整は、コントロールレジスタ #14h～#16h にて行います。下記の設定が可能です。

- ・同期分離スレッショルドの自動/マニュアル選択
- ・同期分離スレッショルドの調整
- ・同期分離スレッショルド自動生成時の生成方法
  ディジタル AGC ゲイン値から生成する方法と SYNC の深さから生成する方法が選択できます。
- ・同期検出時の Y（輝度）データ用フィルター選択
  弱電界信号時にアンチノイズフィルタを選択できます。
- ・水平同期信号検出 Window
  水平同期信号を検出した後、次の水平同期信号を検出する範囲を設定できます。
- ・垂直同期信号検出 Window
  垂直同期信号を検出した後、次の垂直同期信号を検出する範囲を設定できます。

水平同期信号検出は弱電界信号に対応するため、水平 AFC(Automatic Frequency Control)回路を用い水平同期検出結果のずれを補正した後、内部動作に反映させることが可能です。

水平 AFC の調整は、コントロールレジスタ #18h にて行います。

水平 AFC には、ラインロック PLL を用いた PLL-AFC と水平同期検出ピクセル誤差を補正するディジタル AFC があります。 PLL-AFC はラインロック状態で動作し、ラインロッククロックで 1 ライン毎に水平同期信号を生成します。 ディジタル AFC はラインロックではない状態で動作し、検出した水平同期結果の誤差に設定ゲイン(DAFC_GAIN #18h/bit[7:6])を乗算し、誤差修正を行った水平同期信号を生成します。

水平 AFC の動作状態は、ステータスレジスタ #71h bit[2] (ST_AFC_MT) にてモニター可能です。

水平同期信号検出、垂直同期信号検出結果より、全面にブルー色を表示するブルーバック処理を行います。ブルーバック処理の調整は、コントロールレジスタ #40h ～ #44h にて行います。 ブルーバック検出結果 HLOCK は、ステータスレジスタ #71h bit[1] (ST_HLCK_DT) にてモニター可能です。

ブルーバック判定条件(ST_HLCK_DT)を下記に示します。

- 無入力時、HLOCK=“L”。
- ノイズ検出（1 ライン中に水平同期信号を複数回検出）時、HLOCK=“L”。
- 上記以外は、HLOCK=“H”。

水平同期検出時のピクセル誤差、誤差が生じたライン数から弱電界信号状態とする判定回路を内蔵しており、弱電界状態検出結果は、ステータスレジスタ #69h bit[7:4] (SYNC_NOISE、BURST_NOISE)にてモニター可能です。

水平同期検出時のピクセル誤差および水平同期検出のライン誤差より、VTR 信号の入力状態を検出する回路を内蔵しており、VTR 信号入力の検出結果は、ステータスレジスタ #71h bit[3] (ST_VTR_DT) にてモニター可能です。

非同期サンプリング方式をとる場合、入力同期信号の乱れにより 1ラインのクロック数が増減することがあるため、ライン長を一定にする処理を行います。

水平同期検出時の同期分離スレッショルド前後のピクセル間輝度データより 1/16 ピクセル精度の誤差を検出し、輝度データおよび色差データのピクセル位置補正を行います。

４．６ VBI データスライサ、コピープロテクト検出

入力映像信号の垂直ブランキング期間（VBI：Vertical Blanking Interval）に重畳されているコピープロテクト情報や各種データを抽出し、コントロールレジスタから読み出すことができます。

読出し可能なデータは以下の通りです。

（1）コピープロテクション
VBI 非標準信号 （NTSC/PAL）、非標準カラーバースト信号（NTSC/PAL）

（2）クローズド・キャプション
字幕などの文字情報、奇数ライン/偶数ラインを保持 （NTSC/PAL）

（3）WSS (Wide Screen Signaling)
ETS 300 294 で規定されたワイド映像識別信号（PAL）

（4）CGMS-A (Copy Generation Management System - Analog)
IEC61880 で規定された、コピー世代管理情報（NTSC）

５．COMPONENT ビデオデコーダ部

COMPONENT ビデオデコーダ部は、輝度/色差処理、同期処理機能、VBID 検出機能があります。

５．１ COMPONENT 入力信号フォーマット

以下の信号規格の入力に対応します。

D1 設定時（#00h/bit[2:1] ISPMD[1:0]=00）

信号方式	ライン数 (frame)	フレーム周波数 [Hz]	ライン周波数 [Hz]	対応規格
480I	525	29.97	15734	ITU-R BT.601
576I	625	25	15625	ITU-R BT.601

D2 設定時（#00h/bit[2:1] ISPMD[1:0]=00）

信号方式	ライン数 (frame)	フレーム周波数 [Hz]	ライン周波数 [Hz]	対応規格
480P	525	59.94	31468	SMPTE 293M
576P	625	50	31250	ITU-R BT.1358

入力信号フォーマットは、同期分離により再生した水平同期信号、垂直同期信号の周期から、自動的に検出するか、指定した方式を固定的に使用するかが選べます。

WVGA 設定時（#00h/bit[2:1] ISPMD[1:0]=01 / サンプリング周波数 33.231MHz）

信号方式	ライン数 (frame)	フレーム周波数 [Hz]	ライン周波数 [Hz]	対応規格
480P	525	59.94	31468	SMPTE293M

WVGA 設定時（#00h/bit[2:1] ISPMD[1:0]=10 / サンプリング周波数 33.333MHz）

信号方式	ライン数 (frame)	フレーム周波数 [Hz]	ライン周波数 [Hz]	対応規格
480P	525	60.57	31800	－

EGA 設定時（#00h/bit[2:1] ISPMD[1:0]=11）

信号方式	ライン数 (frame)	フレーム周波数 [Hz]	ライン周波数 [Hz]	対応規格
262P	262	60	15734	－

コンポーネント入力時の自動判定には以下の動作制限があります。

・コンポーネント入力時は「SYNC の深さ」・「Blank Level（7.5IRE セットアップ）」を自動判定することはできません。 コンポーネント入力時の「SYNC の深さ」・「Blank Level」 はコントロールレジスタ#01h bit[5]、bit[4] で設定します。
・EGA(400×234 及び、480×234)、WVGA 入力は自動判定できません。

５．２ COMPONENT 輝度/色差処理

Y（輝度）/PbPr（色差）データは、レベル調整（AGC）の処理が可能です。Y 信号に重畳されている同期信号からゲイン係数を自動算出し、Y/PbPr 信号に適応します。出力レベルの調整はコンポジットビデオ入力時と同等です。

RGB データ入力時では同期信号を LVTTL レベルの CHSI、VSI で入力する動作、および 0.3Vp-p レベルの CSYNC_A で入力する動作の場合は、MGC モードのみの対応となります。

（AGC 処理は Sync on G 限定です）

５．３ 同期処理部

コンポーネント YPbPr 入力および、コンポーネント RGB 入力時は、Y 信号または G 信号に複合同期信号を重畳してください。　コンポーネント RGB 入力時のみ、CSYNC_A、CHSI、VSI からの同期信号入力に対応可能です。　同期検出等の処理は、コンポジットビデオ入力時と同等です。

５．４ VBI データスライサ、コピープロテクト検出

入力映像信号の垂直ブランキング期間（VBI：Vertical Blanking Interval）に重畳されているコピープロテクト情報や各種データを抽出し、コントロールレジスタから読み出すことができます。

読出し可能なデータは以下の通りです。

（1）コピープロテクション

VBI 非標準信号（480i/576i/480p/576p）

（2）CGMS-A (Copy Generation Management System - Analog)

IEC61880 で規定された、コピー世代管理情報（480i/480p）

５．５ サンプリング周波数設定モード

ITU-R BT601 や SMPTE293M で規定された TV 信号以外の YPbPr、RGB のプログレッシブ 525 ラインの入力に対し、入力映像信号のドットクロックに対応したサンプリング処理を行うモードです。

入力信号方式にサンプリング周波数設定モードを選択することで関連するコントロールレジスタが有効になります。コントロールレジスタ#00h、および#84h～#8Eh に下記の設定を行います。

- 入力信号フォーマットをサンプリング周波数設定モードに設定（#00h）
- 入力映像信号のドットクロック周波数に対応したサンプリング周波数を設定（#84h～#87h）
- 入力信号の水平タイミングに従って、1 ラインの総ピクセル数（#88h,#89h）、水平有効開始位置、水平有効期間ピクセル数（#8Ah～#8Ch）を設定
- Sync on Y/G 入力時はシンクチップ位置、ペデスタル位置の調整により AGC 処理が可能（#8Dh、#8Eh）

また、サンプリング周波数設定モードには以下の制限があります。

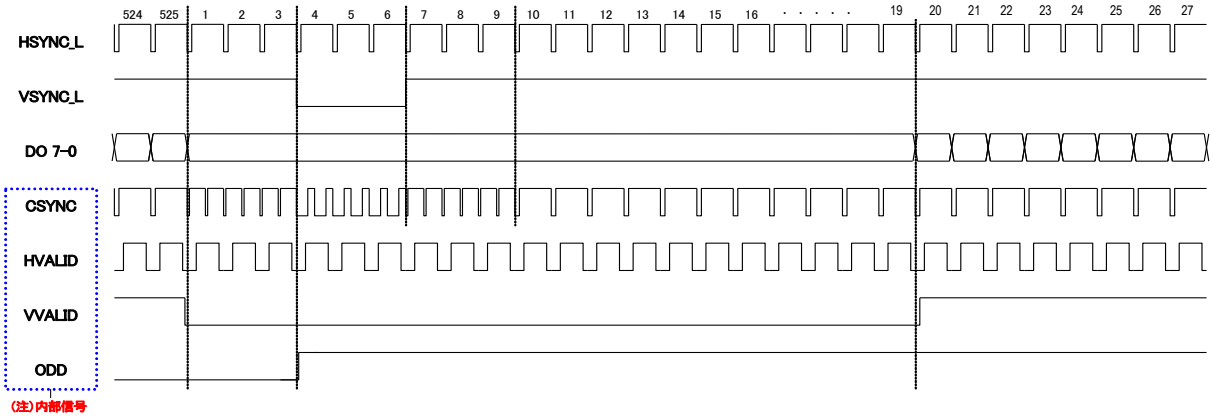
- 自動ビデオモード設定(#00h/bit[0] AVMD)は固定モードのみ有効
- 入力サンプリングクロック設定（#00h/bit[2:1] ISPMD）は D1/D2 選択のみ有効
- 1 ラインの総ピクセル数は 576～1280 ピクセル
- 水平ピクセル数、水平有効開始位置および幅の設定は偶数のみ
- 入力信号の垂直ライン数は 525 ラインのみ（垂直タイミングは 480P と同等です）

６．出力タイミング

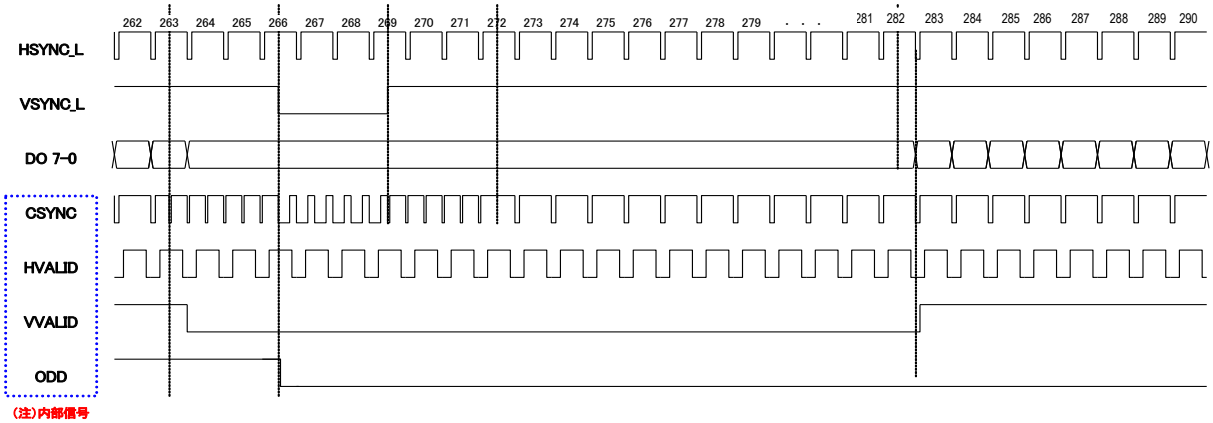
ディジタル映像信号、同期信号の出力タイミングを示します。

６．１ 垂直タイミング

６.１.１　NTSC 垂直タイミング

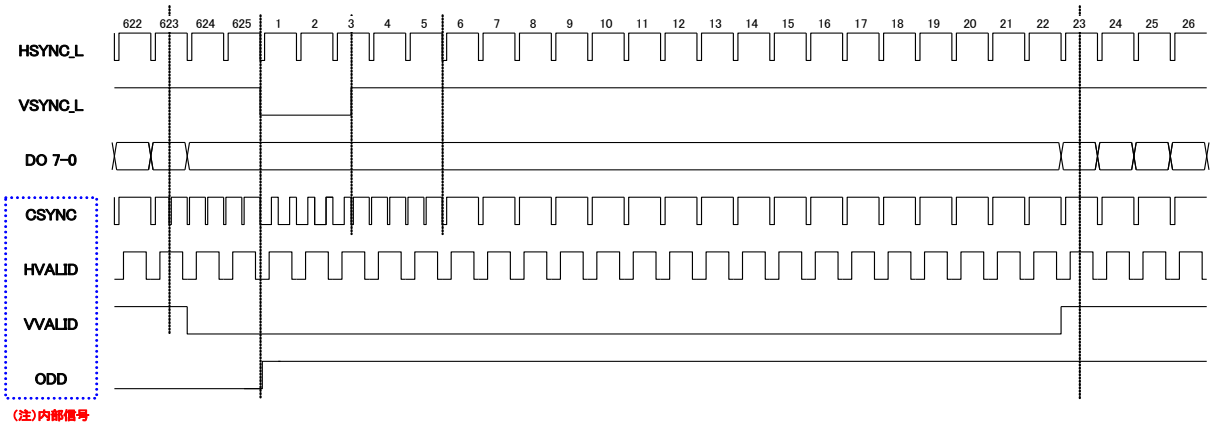


ODD フィールド出力タイミング

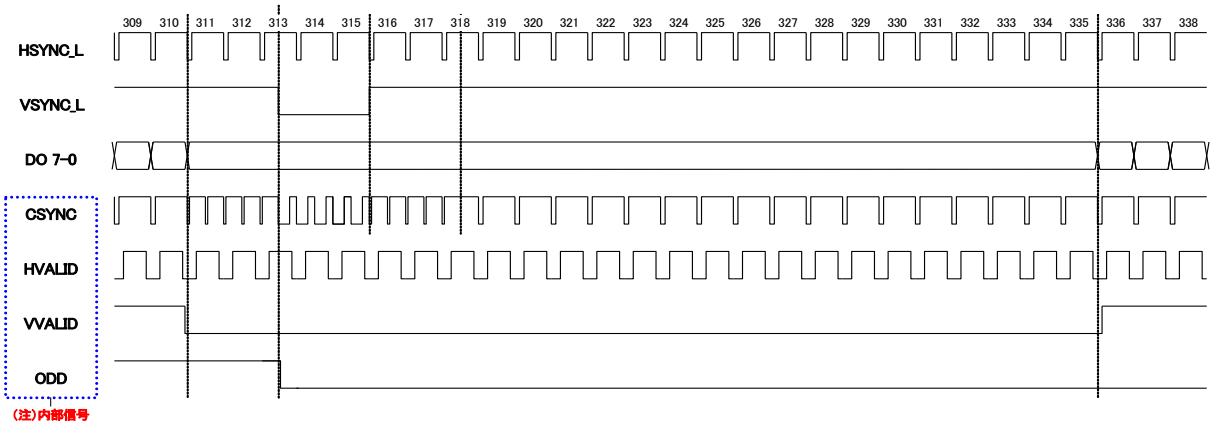


EVEN フィールド出力タイミング

６．１．２　PAL/SECAM 垂直タイミング



ODD フィールド出力タイミング



EVEN フィールド出力タイミング

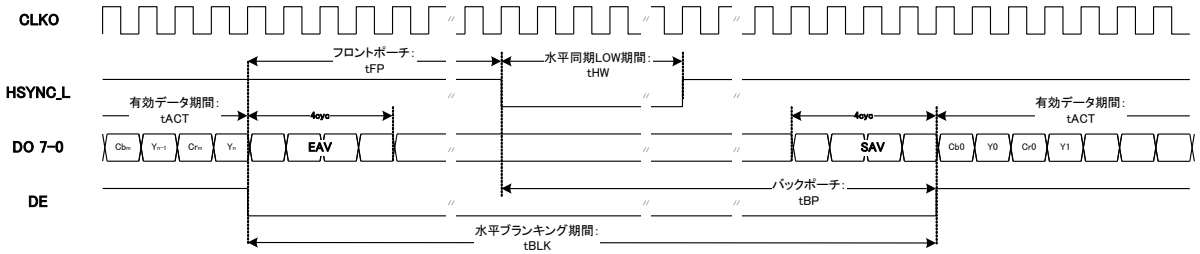
６．２ 水平タイミング

ML86V7675 の出力形式は、ITU-R BT.656 または同期信号付き YCbCr 8 ビットです。

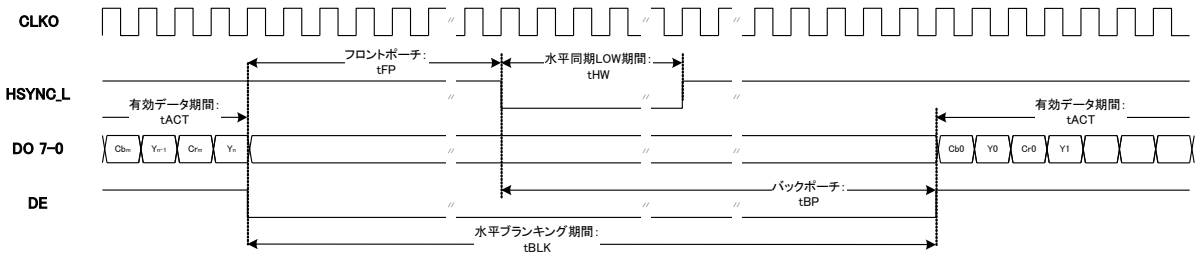
#04h/bit[2:0]	出力データ形式	出力端子
000	ITU-R BT.656 スタイル	DO7-0
001	8bit　YCbCr	DO7-0

ディジタル映像信号、同期信号の出力タイミングを示します。

６．２．１　ITU-R BT.656 時の出力タイミング（水平）



６．２．２　8 ビット多重＋同期信号時の出力タイミング（水平）



映像方式	サンプリング周波数	水平(ピクセル数)					垂直(ライン数)		
		1H 周期	フロントポーチ	同期信号幅	バックポーチ	有効期間	ブランク期間	有効期間	1V トータル
			tFP	tHW	tBP	tACT			
NTSC (ITU-R BT.601) D1(480I)	27.000MHz	1716	32	120	244	1440	Odd/19 Even/19	Odd/244 Even/243	Odd/262.5 Even/262.5
NTSC (4fsc)	28.636MHz	1820	32	120	252	1536	Odd/19 Even/19	Odd/244 Even/243	Odd/262.5 Even/262.5
PAL/SECAM D1(576I)	27.000MHz	1728	24	120	264	1440	Odd/24 Even/25	Odd/288 Even/288	Odd/312.5 Even/312.5
D2(480P)	27.000MHz	1716	32	120	244	1440	42	483	525
D2(576P)	27.000MHz	1728	24	120	264	1440	49	576	625
EGA 400 x 234	7.9930MHz	1016	44	80	172	800	28	234	262
EGA 480 x 234	9.58216MHz	1218	54	80	204	960	28	234	262
WVGA 800 x 480	33.333MHz	2120	144	120	376	1600	42	483	525
	33.231MHz	2112	40	120	300	1772	42	483	525

【注意】

固定クロックによる非同期サンプリング動作で FIFO モードを使用した場合、垂直有効期間終了後のラインで1フィールド間に蓄積されたサンプリング誤差のリセットを行ないます。その為リセットを行ったラインはピクセル数が変動します。また、FIFO2 モードでは VTR など信号の状態が悪い場合、FIFO リセットラインが垂直有効期間終了前に入り込む場合がございます。

非同期サンプリングモードで動作させた場合には、サンプリング誤差により Digital line 1716T(NTSC,525),1728T(PAL,625)が変化します。FIFO モードで使用した場合は、ピクセル数補正機能により有効ライン間のピクセル数変動はありませんが、VVALID が立ち下がった直後のラインが FIFO リセットのため変化します。

特に VTR など非標準信号入力時は VVALID の立ち下がった直後のラインはその入力信号の不安定差に従って大きく変化し、誤差が大きい場合は VVALID 立下り直前に変化します。

またライン数が基準に対し増加、ないし減少する非標準信号などでは EAV,SAV が保証されないこともあります。

６.２.３　データクロック出力

データクロック CLKO には、シングルデータレートモード(SDR)とデュアルデータレートモード(DDR)のいずれかを選択できます。 シングルデータレートモードは、データを出力する際に、CLKO の立上りまたは立下りのいずれか一方に同期させる形式です。 ダブルデータレートモードは、CLKO クロックの立上りと立下りに交互に同期させる形式です。

(b) デュアルデータレートモード

#05h/bit[1:0]	データクロック形式
10	SDR モード
01	DDR モード
00/11	設定禁止

７．画質調整

下記の画質調整用コントロールレジスタがあります。

・輝度レベル調整	:	輝度レベルを調整します。 AGC（オート輝度調整）/ MGC（マニュアル輝度調整）/ ピーク AGC の設定が可能です。
・色レベル調整	:	色差レベルを調整します。 ACC（オート色調整）/ MCC（マニュアル色調整）の設定が 可能です。
・輪郭補正、コアリング	:	アナログビデオ入力の輝度信号の輪郭補正を行います。
・コントラスト調整	:	128 を中心に傾き 1/32 ～ 63/32 間で調整可能です。
・輝度オフセット調整	:	明度調整を－7 ～ +7 IRE 間で調整可能です。 (コンポジット、YPbPr 入力に対応) 明度調整を－128 ～ +127 LSB で調整可能です。 (コンポジット、YPbPr、RGB 入力に対応)
・色相コントロール	:	色位相を調整角－45～+44.6°間で調整可能です。 色位相を調整角－178.6～+180°間で調整可能です。 （NTSC/PAL 限定）

８．STATUS･割り込み出力

状態検出結果を STATUS 又は割り込み信号として出力します。
STATUS 出力はビデオデコーダ部の現在の状態検出結果(HPLL ロック検出、NTSC/PAL 自動判別、VBID 検出状態等)を出力します。内部レジスタにより出力する状態検出結果を選択します。
割り込み出力はビデオデコーダ部の状態検出結果のいずれかに変化があった場合、割り込みを出力します。 それぞれの状態検出結果はマスクすることが可能です。
（割り込みがクリアするまでの状態保持は行いません。）
STATUS 出力は#48h/bit[7:4](STATUS_SEL)、割り込み出力は#80h ～ #81h で設定できます。

- 入力フォーマットの判別結果
- VBIDの検出有無
- VTR入力の検出有無
- 弱電界状態
- AFC動作状態のモニタ
- 入力同期検出状態のモニタ
- 内蔵PLLによるラインロック状態のモニタ

９．スリープ機能

ML86V7675 は、SLEEP 端子及びコントロールレジスタにて、消費電力を抑制するスリープ機能があります。

スリープ制御	内部クロック	アナログ動作	出力端子
コントロールレジスタ（#FFh）	I2C 制御クロックを除き停止	AFE、ADC、HPLL スリープ	VSYNC_L、HSYNC_L、FID、DE、CLKO、DO7-0 を停止（L 出力）
SLEEP 端子	発振停止		VSYNC_L、HSYNC_L、FID、DE、CLKO、DO7-0 を HiZ 出力

Hi-Z 出力で使用する場合は、出力端子をプルアップまたはプルダウンし、中間電位の状態が発生しないようにしてください。

SLEEP 端子を使用する場合は、スリープ解除後、発振安定時間 10ms 待ち、内部クロックが安定してから I2C 通信を再開してください。

１０．I²C バスインタフェース

ML86V7675 の各機能ブロックは、コントロールレジスタにデータを書き込むことで動作を制御します。
コントロールレジスタは、I²C バスインタフェース経由でアクセスすることができます。
I²C バススレーブアドレスは、ピン設定により以下の 2 アドレスを選択できます。

スレーブアドレス	SAS
80h(1000_000x)	0
82h(1000_001x)	1

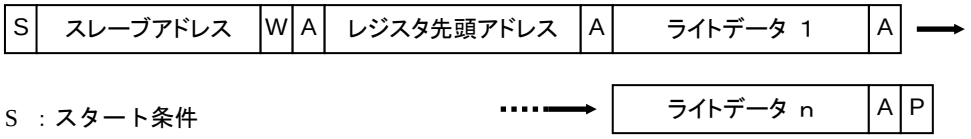
I²C バス通信において、スレーブアドレスに続く1バイトのデータをレジスタアドレス(先頭アドレス)として使用します。
コントロールレジスタのアクセス時には、2種のアドレッシングモードを選ぶことができます。

（1）アドレスインクリメントモード
初期状態はこのモードです。データを複数個、連続アクセスすると、レジスタアドレスは指定したレジスタ先頭アドレスから順にインクリメントします。レジスタアドレスの連続領域をアクセスするのに便利です。

（2）アドレス循環モード
レジスタ先頭アドレスから1～4個のアドレス間を循環してアクセスできます。同じアドレスに連続してアクセスしたり(循環数 1)、2～4アドレスを繰り返しアクセスする場合に便利です。

（a）レジスタライトフォーマット

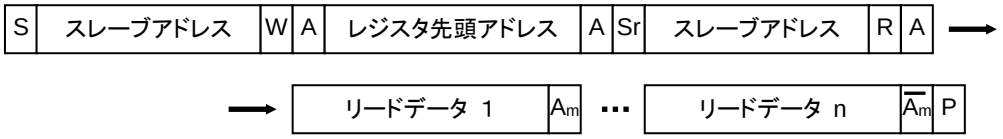
指定したレジスタアドレスにデータを書き込む。



S ：スタート条件
A ：アクノレッジ(スレーブ)
P ：ストップ条件
W = “0”（ライト）

（b）レジスタリードフォーマット

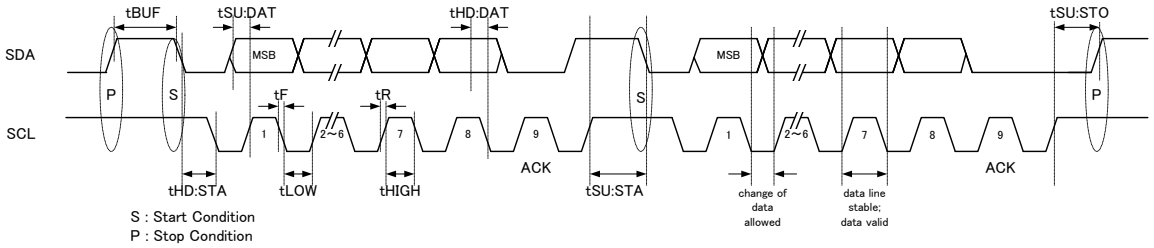
指定したレジスタアドレスからデータを読み出す。



S ：スタート
Sr ：再スタート
A ：アクノレッジ(スレーブ)
A_m ：アクノレッジ(マスタ)
P ：ストップ
W = “0”（ライト）
R = “1”（リード）

I²C バスインタフェース基本タイミング

スタートコンディション/ストップコンディション（下図の S、P 部）の部分を除いて、SCL が“H”期間には、SDA の値は変化しないようにしてください。
すべての電源が規定値に達し、安定したクロック(XOSC)を入力後に通信してください。



I²C 規格表(Standard モード)

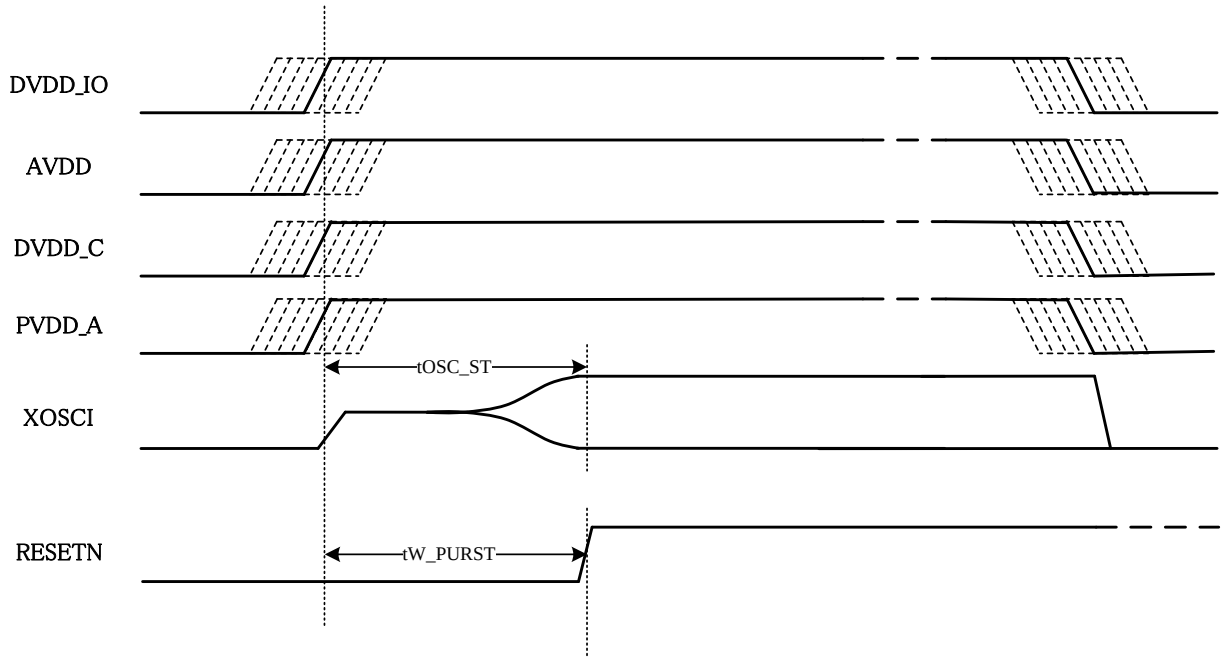
記号	パラメータ	Min	Typ	Max	単位
fSCL	SCL 周波数	0	-	100	KHz
tBUF	バス開放時間	4.7	-	-	μs
tHD:STA	開始条件ホールドタイム	4.0	-	-	μs
tLOW	クロック LOW 期間	4.7	-	-	μs
tHIGH	クロック HIGH 期間	4.0	-	-	μs
tSU:STA	開始条件セットアップタイム	4.7	-	-	μs
tHD:DAT	データホールドタイム	0(300)	-	-	ns
tSU:DAT	データセットアップタイム	250	-	-	ns
tR	ライン立ち上がりタイム	-	-	1000	ns
tF	ライン立下りタイム	-	-	300	ns
tSU:STO	停止条件セットアップタイム	4.0	-	-	μs

I²C 規格表(Fast モード)

記号	パラメータ	Min	Typ	Max	単位
fSCL	SCL 周波数	0	-	400	KHz
tBUF	バス開放時間	1.3	-	-	μs
tHD:STA	開始条件ホールドタイム	0.6	-	-	μs
tLOW	クロック LOW 期間	1.3	-	-	μs
tHIGH	クロック HIGH 期間	0.6	-	-	μs
tSU:STA	開始条件セットアップタイム	0.6	-	-	μs
tHD:DAT	データホールドタイム	0(300)	-	-	ns
tSU:DAT	データセットアップタイム	100	-	-	ns
tR	ライン立ち上がりタイム	-	-	300	ns
tF	ライン立下りタイム	-	-	300	ns
tSU:STO	停止条件セットアップタイム	0.6	-	-	μs

１１. 電源投入シーケンス

各電源（DVDD_IO、AVDD、 DVDD_C、PVDD_A）間に順番の制約はありません。

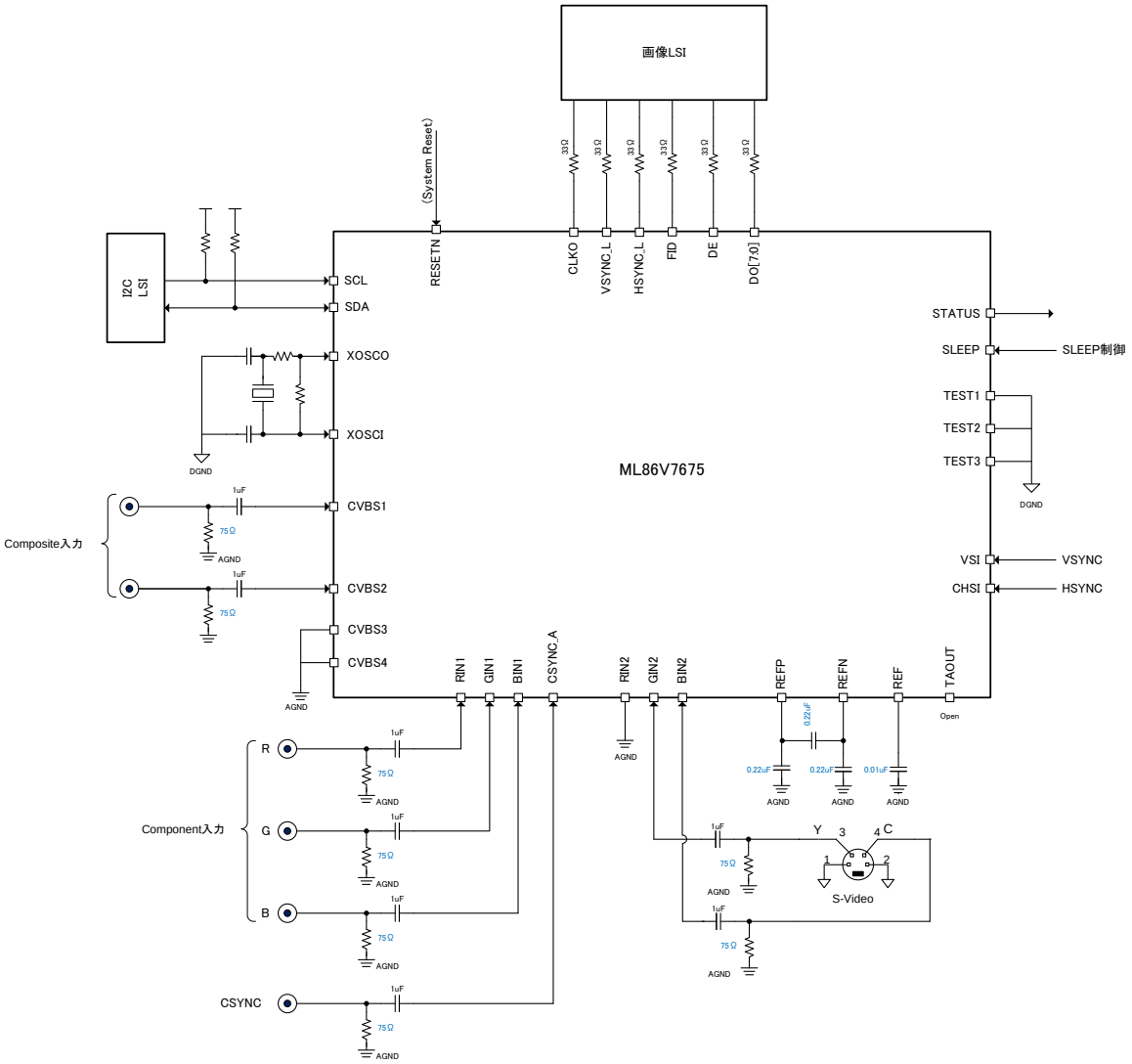


Parameter	Symbol	Min.	Typ.	Max.	Unit
発振起動時間	tOSC_ST	—	—	10	ms
電源投入後リセット時間	tW_PURST	10	—	—	ms

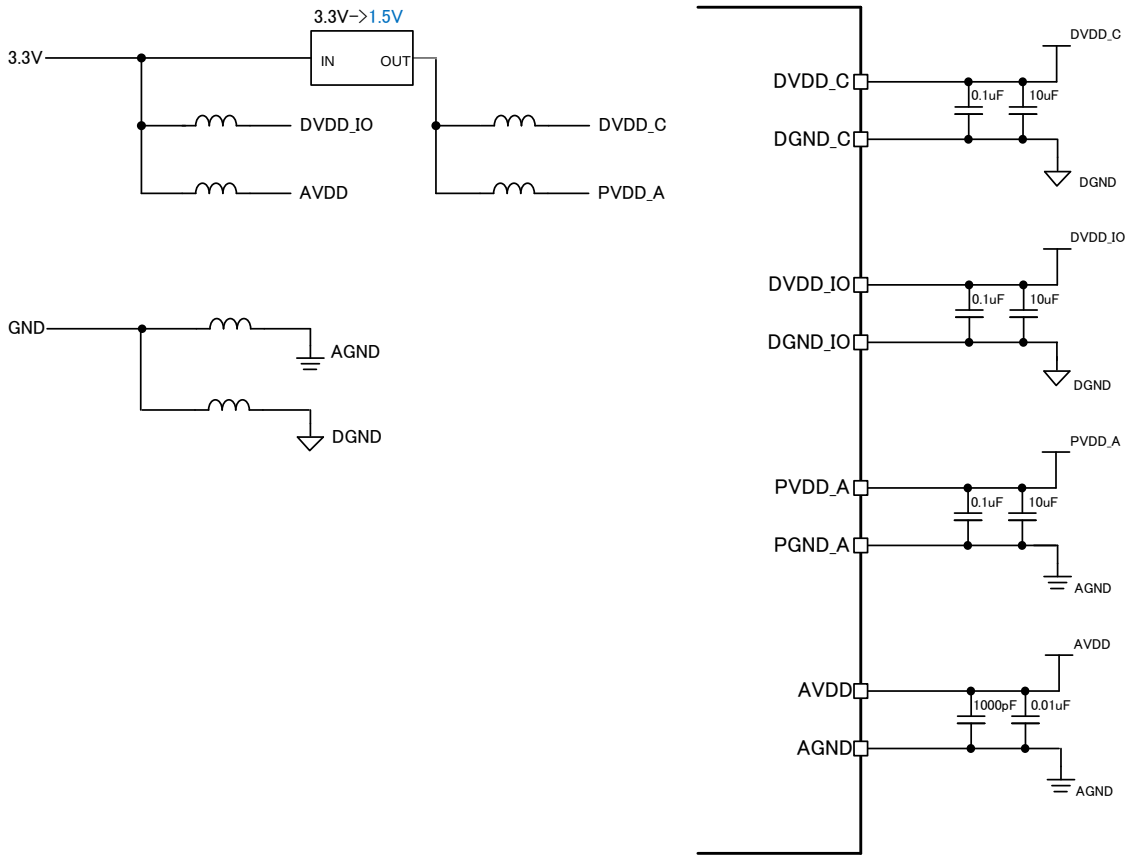
本 LSI ご使用の場合は、すべての電源に規定の電圧を印加した状態でご使用ください。
入力端子への電圧印加は、必ず電源電圧が確定した後に行ってください。
すべての電源が規定値に達し、安定したクロックを入力後にリセットをかけてください。
電源遮断時は、すべての電源を遮断してください。

１２. 応用回路例

○汎用的な応用回路例



○電源/グラウンド分離例



【ボードレイアウト上の注意点】

1、ディジタル出力の信号接続は、ディジタルノイズ軽減の為にダンピング抵抗の付加をお勧めします。
2、各ディジタル電源（DVDD_IO、DVDD_C）とディジタルグランド（DGND）間に 0.1μF 及び 10μF 程度のセラミックコンデンサ等の接続を推奨します。
3、アナログ電源（AVDD）とアナロググランド（AGND）間に 1000pF 及び 0.01μF、アナログ電源（PVDD_A）とアナロググランド（AGND）間に 0.1μF 及び 10μF 程度のセラミックコンデンサ等の接続を推奨します。
4、TAOUT 端子の近くにノイズ源の配置を避けてください。
5、REF、REFP、REFN 端子の近くにノイズ源の配置を避け、極力短く配線してください。
6、アナログビデオ信号は、カップリングコンデンサ以降デバイスへの入力端子までの距離を極力短くし、誘導干渉を避けるようにしてください。
7、アナログ電源(AVDD)とアナロググランド（AGND）は面積を大きくとり、ディジタル電源及び GND との分離を推奨します。

ここに記載する回路例は、応用例を示すもので特性を保証するものではございません。 本LSIをご使用の際は、お客様のシステムに最適な回路素子、回路構成により動作検証を行ってください。
各電源、GND 間のフェライトビーズ（インダクタ）は必要に応じて使用してください。（必ずしも必要とするわけではありません。）

１３. 電気的特性

■ 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧(アナログ用)	AVDD	AGND = 0 V PGND_A = 0 V DGND = 0 V Ta = 25°C	–0.3 ～ +4.6	V
電源電圧(HPLL 用)	PVDD_A		–0.3 ～ +2.0	
電源電圧(ロジックコア用)	DVDD_C		–0.3 ～ +2.0	
電源電圧(I/O 用)	DVDD_IO		–0.3 ～ +4.6	
アナログ入力電圧	VAI		–0.3 ～ AVDD+0.3	
ロジック入力電圧	VDI1		−0.3 ～ DVDD_IO+0.3	
ロジック入力電圧 (5V トレラント)	VDI2		-0.3 ～ +6.0*1	
ロジック出力電圧	VO		−0.3 ～ DVDD_IO+0.3	
出力短絡電流	IOS	—	16	mA
許容損失	PD	Ta = 85°C	1.0	W
保存温度	Tstg	—	–55 ～ +125	°C

注: 絶対最大定格とは製品に物理的損傷を与えない限界値です。 各項目のうち 1 項目でも、また一瞬でも定格値を越えると、製品の品質を損なう恐れがあります。 必ずこの定格値以内でご使用ください。

*1:電源電圧供給時の規定です。

■ 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧(アナログ用)	AVDD	AGND = 0 V	3.0	3.3	3.6	V
電源電圧(HPLL 用)	PVDD_A	PGND_A = 0 V	1.35	1.5	1.65	
電源電圧(ロジックコア用)	DVDD_C	DGND = 0 V	1.35	1.5	1.65	
電源電圧(I/O 用)	DVDD_IO	DGND = 0 V	3.0	3.3	3.6	
周囲温度	Ta	—	–40	25	+85	°C

注: 一部の電源のみ ON 或いは OFF という状態は避けて、必ず全ての電源供給或いは全ての電源遮断の状態を保持してください。

■ 電気的特性

直流特性

DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

項目		記号	条件	最小	標準	最大	単位
最大アナログ入力電圧		VVIN	容量結合	ー	1.3	ー	Vp-p
"H" レベル入力電圧 1		VIH1	LVTTL 入力端子	2.0	ー	VDDIO+0.3	V
"H" レベル入力電圧 2		VIH2＊1	5V トレラント, Schmitt 入力端子	2.1	ー	5.5	V
"H" レベル入力電圧 3		VIH3＊2	Schmitt 入力端子	2.1	ー	VDDIO+0.3	V
"L" レベル入力電圧		VIL	LVTTL 入力端子	-0.3	ー	0.8	V
"L" レベル入力電圧2		VIL2＊3	Schmitt 入力端子	-0.3	ー	0.7	V
"H"レベル出力電圧 1		VOH1	IOH = -4, -2mA	2.4	ー	ー	V
"L"レベル出力電圧 1		VOL1	IOL = 4, 2mA	ー	ー	0.4	V
"H"レベル出力電圧 2		VOH2＊4	IOH = -6mA	2.4	ー	ー	V
"L"レベル出力電圧 2		VOL2＊4	IOL = 6mA	ー	ー	0.4	V
入力リーク電流 1		IIL1	VIN = DVDD_IO or DGND	-10	ー	+10	µA
入力リーク電流 2		IIL2＊5	XOSCI=DVDD_IO or DGND	-1.0	ー	+1.0	µA
出力リーク電流		IOL	VIN = DVDD_IO or DGND	-10	ー	+10	µA
"H" レベル入力電流 (pull-down)		IIHd	VIN = DVDD_IO	20	ー	200	µA
動作時電流	アナログビデオ部	IDDA	コンポーネントビデオ入力 サンプリング 33 MHz	ー	70	95	mA
	HPLL 部	IDDPA	33 MHz 発振時	ー	1	2	mA
	ロジック部	IDDC	コンポーネントビデオ入力 サンプリング 33 MHz, CLKO=66MHz	ー	50	70	mA
	IO+ 発振部	IDDIO	CLKO = 66 MHz CL = 15pF	ー	20	26	mA
パワーダウン時電流	アナログビデオ部	IDDAS	SLEEP＝"1"	ー	0.5	2	mA
	HPLL 部	IDDPAS	33 MHz 発振時	ー	0.05	0.5	mA
	ロジック部	IDDCS	コンポーネントビデオ入力 サンプリング 33 MHz, CLKO=66MHz	ー	1.0	5	mA
	IO+ 発振部	IDDIOS	CLKO = 66 MHz CL = 15pF	ー	0.5	2	mA

＊1: VIH2 は、CHSI, VSI 端子に適用します。
＊2: VIH3 は、SCL, SDA, RESETN 端子に適用します。
＊3: VIL2 は、RESETN、SCL、SDA、CHSI, VSI 端子に適用します。
＊4: VOH2, VOL2 は、XOSCO 端子に適用します。
＊5: IIL2 は、XOSCI 端子に適用します。

ADC 特性

DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

項目	記号	条件	最小	標準	最大	単位
SN 比	SNR	fin=1 MHz、fck=27MHz	—	50	—	dB
微分直線性誤差	DLE	ランプ波、fck=1MHz	—	0.5	—	LSB
積分直線性誤差	ILE	ランプ波、fck=1MHz	—	0.75	—	LSB

AFE 特性

DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

項目	記号	条件	Min.	Typ.	Max.	単位
利得設定値 偏差	ΔG	—	-3.0	—	3.0	dB
クランプ電圧	Vclp	—	—	1.088	—	V
クランプ電流	Iclp	CLP_CS = “4”	140	280	420	μA
		クランプ停止時	−3	−7	−15	μA

注: “CLP_CS” は、クランプ電流選択用コントロールレジスタの名称です。
クランプ区間は1ライン中の 10%以下で、他の区間はクランプ停止時と同等です。

AFE＋ADC 総合特性

DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

項目	記号	条件	最小	標準	最大	単位
微分利得	DG	入力 3.58 MHz	—	3.0	—	%
微分位相	DP	入力 3.58 MHz	—	3.0	—	deg.
入力帯域	FC	10MHz 設定時、DCで 0dB ときの 4 MHz での利得	-1.5	—	1.0	dB
		20MHz 設定時、DCで 0dB ときの 8 MHz での利得	-2.0	—	2.0	dB

ラインロック PLL 特性

DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

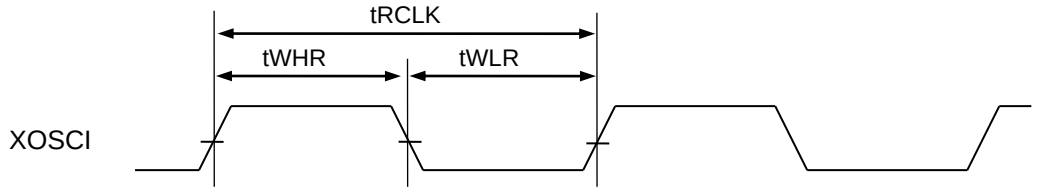
項目	記号	条件	最小	標準	最大	単位
VCO 出力周波数	Fvco	27.0000 MHz	—	27.000	—	MHz
		28.6363 MHz	—	28.636	—	MHz
		7.993006 MHz	—	7.993	—	MHz
		9.582167 MHz	—	9.582	—	MHz
		33.231 MHz	—	33.231	—	MHz
		33.333 MHz	—	33.333	—	MHz

交流特性

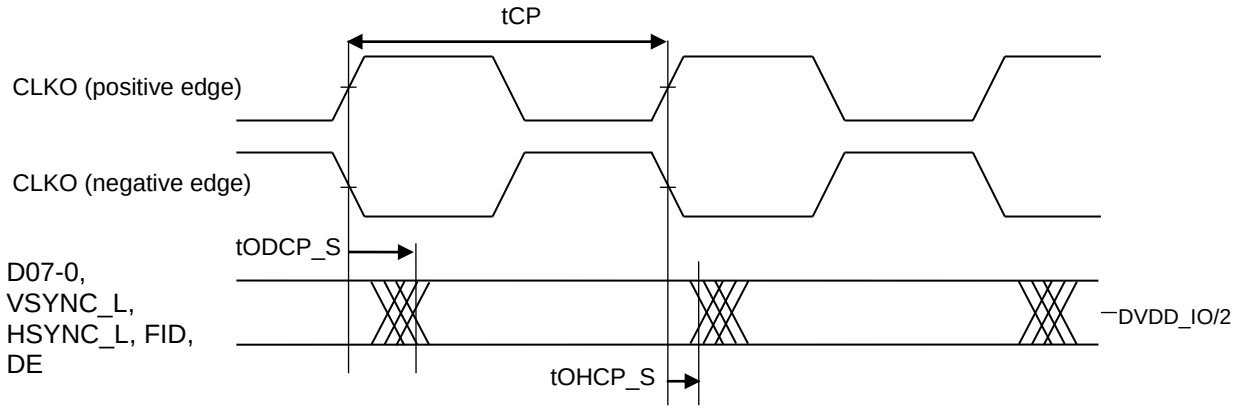
DVDD_IO, AVDD = 3.3V±0.3V, DVDD_C, PVDD_A = 1.5V±0.15V
DGND, AGND, PGND_A = 0 V , Ta = -40～+85℃

項目	記号	条件	最小	標準	最大	単位
参照クロック周波数	fREFCLK	-	-	32	-	MHz
ADC サンプリング周波数	fADC	-	-	27	-	MHz
CLKO 出力クロック(SDR)周波数	fCP_S	-	-	-	66.67	MHz
CLKO 出力クロック(DDR)周波数	fCP_D	-	-	-	33.34	MHz
XOSCI クロック周期	tRCLK	-	30.0	-	-	ns
XOSCI Hレベルパルス幅＊1	tWHR	-	12.0	-	-	ns
XOSCI Lレベルパルス幅＊1	tWLR	-	12.0	-	-	ns
CLKO 出力クロック(SDR)周期	tCP_S	-	14.9			ns
CLKO 出力クロック(DDR)周期	tCP_D	-	29.9			ns
出力ディレイ(SDR)時間（CLKO→）	tODCP_S	CL=15pF	-	-	2.0	ns
出力ホールド(SDR)時間（CLKO→）	tOHCP_S	CL=15pF	-1.0	-	-	ns
出力ディレイ(DDR)時間（CLKO→）	tODCP_D	CL=15pF	-	-	tCP_S/2 +2.0	ns
出力ホールド(DDR)時間（CLKO→）	tOHCP_D	CL=15pF	tCP_S/2 -1.0	-	-	ns
出力クロックデューティ比	dtCP	CL=15pF	45	-	55	%
リセット L レベルパルス幅 （電源投入時以外）	tWRST	-	200	-	-	ns

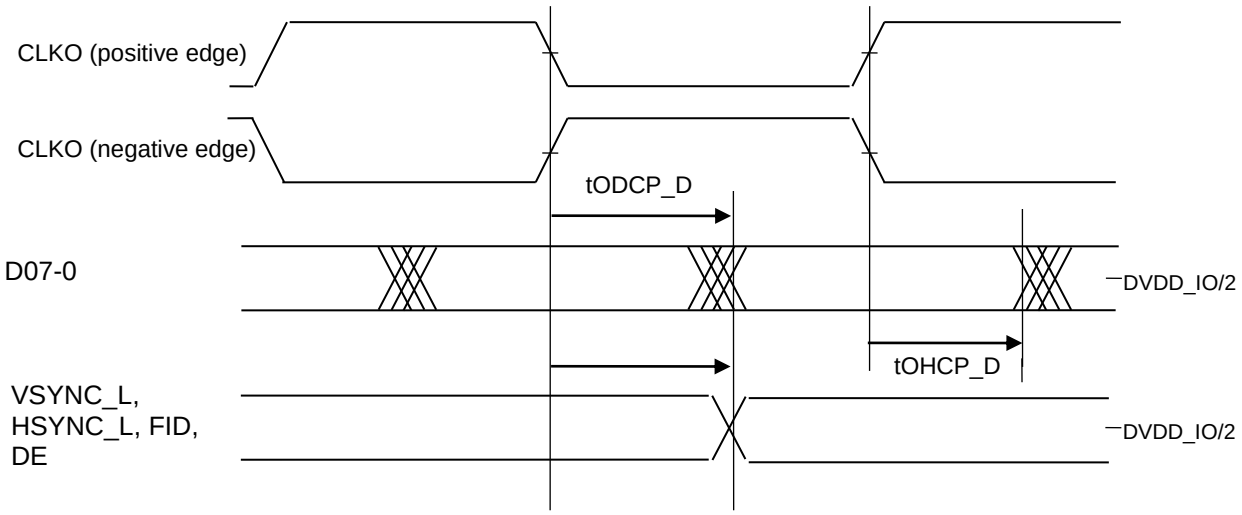
入力信号の特性値は、入力電圧 DVDD_IO または 0V で規定しています。 また、出力信号の特性値は、
出力電圧が DVDD_IO /2 のポイントで測定しています。
＊1: 外部発振器等からのクロック入力時の規定です。 入力クロックの tr/tf は、最大 5ns 以下を推奨します。



AC 特性　外部クロック



AC 特性 ビデオ出力(SDR 出力時)



AC 特性 ビデオ出力(DDR 出力時)

１４．コントロールレジスタ

１４．１コントロールレジスタ説明

ML86V7675 のコントロールレジスタは I²C バスより行います。
レジスタアドレスは、I²C バスのサブアドレス #00h-#FFh に割当てています。

コントロールレジスター覧表に記載のないサブアドレスは、レジスタを実装していません。 これらをアクセスした場合は、アクノリッジを返さないのでご注意願います。
レジスタ制御を行なうことで、画質の調整、モード切り替えなど各種動作の設定が可能です。
また、VBI データ検出機能により検出したデータは、内部レジスタを経由し、コントロールレジスタから逐次読み出すことが可能です。

以下に各レジスタをアドレス順に説明致します。
レジスタ値のうち “*”または“(default)”が付いているものは初期値であることを示しています。

１４．２ コントロールレジスター覧表

レジスタアドレス	W/R	レジスタ名 bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値	機能
#00h	W/R	VIF[4:0]					ISPMD[1:0]		AVMD	09h	入力信号フォーマット設定
#01h	W/R	(res)	(res)	SETUP_IRE	SYNC_IRE	HS_INV	VS_INV	SEP_S_MD[1:0]		10h	コンポーネント設定
#02h	W/R	(res)	VMSK-NTSC-443	(res)	VMSK-PAL-M	VMSK-PAL-N	VMSK-PAL-Nc	VMSK-PAL-60	VMSK-SECAM	5Fh	入力モード自動判定マスク設定
#03h	W/R	(res)								00h	－
#04h	W/R	CLK_INV	C2_SEL	YC_INV	DO_DRV	(res)	OUT_MODE[2:0]			08h	出力フォーマット選択1
#05h	W/R	LIMIT	BLANK_MASK	(res)	FIELD_INV	CbCr_EDGE	CbCr_tim	CLK_SEL	DDR_MODE	02h	出力フォーマット選択2
#06h	W/R	(res)								00h	－
#07h	W/R	(res)								E4h	－
#08h	W/R	(res)		FIFOMD[1:0]		(res)				00h	内部動作モード設定 1
#09h	W/R	(res)								00h	－
#0Ah	W/R	(res)								00h	－
#0Bh	－	(res)								－	－
#0Ch	W/R	(res)	YC_SFM[2:0]			(res)	COMBF_TH[2:0]			00h	Y/C 分離設定 1
#0Dh	W/R	(res)			LUMED	(res)				00h	Y/C 分離設定 2
#0Eh	W/R	(res)	ADP_TH[1:0]		(res)					00h	Y/C 分離設定 3
#0Fh	W/R	YCSEP_SEL	COMBF_TH2[2:0]			COMBF_TH3[1:0]		ADP_TH2[1:0]		80h	Y/C 分離設定 4
#10h	W/R	(res)								00h	－
#11h	W/R	(res)								00h	－
#12h	－	(res)								－	－
#13h	－	(res)								－	－
#14h	W/R	VSMSEL[1:0]		VSDSEL[1:0]		VSI SEL	HSW SEL	ANF SEL	STD SEL	C2h	同期検出設定 1
#15h	W/R	VSO SEL	(res)		VS DWD	VS DET1	VSDET2[2:0]			0Ah	同期検出設定 2
#16h	W/R	SYNC TH	FID AINV	(res)	PXALM	(res)				0Fh	同期検出設定 3
#17h	W/R	(res)								0Dh	－
#18h	W/R	DAFC_GAIN [1:0]		DAFC_VTR	AFC_PLL	LD_DT	AFC_IP	AFC_MODE[1:0]		D4h	AFC 設定
#19h	W/R	ATSYC	SYCTH[6:0]							9Fh	水平同期検出設定
#1Ah	W/R	(res)		VSYCTH[5:0]						00h	垂直同期検出設定
#1Bh	W/R	HSDLY[7:0]								00h	HSYNC 位置調整
#1Ch	W/R	HVLDST[3:0]				HVLDSP[3:0]				00h	HVALID 位置調整
#1Dh	W/R	VVLDST[3:0]				VVLDSP[3:0]				00h	VVALID 位置調整 1
#1Eh	W/R	VVLD_BO[1:0]		VVLD_SO[1:0]		VVLD_BE[1:0]		VVLD_SE[1:0]		00h	VVALID 位置調整 2
#1Fh	W/R	(res)	SEP_S_DLY[6:0]							00h	セパレート SYNC 位置調整

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#20h	W/R	AGC_FT [1:0]		(res)	LOSET_E	(res)				41h	AGC 設定
#21h	W/R	AGC_REF[7:0]								00h	AGC リファレンス設定
#22h	W/R	(res)								00h	―
#23h	W/R	LGAIN_WTPK	LGAIN_CG	(res)						84h	輝度出力レベル調整 1
#24h	W/R	(res)			WTPKC_SEL [1:0]		PED_LV_LMT [2:0]			00h	輝度出力レベル調整 2
#25h	W/R	PRE_FIL	APTR_FIL [1:0]		CORING_SEL [1:0]		APTR_FIL_WT [2:0]			00h	輝度出力レベル調整 3
#26h	W/R	(res)	CTCNT[5:0]						(res)	00h	コントラスト調整
#27h	W/R	(res)	LOSET_LV[6:0]							00h	輝度オフセット調整 1
#28h	W/R	BRIGHT_LV[7:0]								00h	輝度オフセット調整 2
#29h	―	(res)								―	―
#2Ah	―	(res)								―	―
#2Bh	―	(res)								―	―
#2Ch	―	(res)								―	―
#2Dh	―	(res)								―	―
#2Eh	―	(res)								―	―
#2Fh	―	(res)								―	―
#30h	W/R	ACC_LF_TM [1:0]		SUB_CRR_OFT [1:0]		PAL_UVF	UVF_TH[2:0]			00h	ACC、クロマ設定
#31h	W/R	ACC_REF[7:0]								00h	ACC リファレンス設定
#32h	W/R	(res)	CKIL_COMP	CKIL_COMP_FLD		(res)				60h	カラーキラー設定 1
#33h	W/R	CKIL_MD	CKIL TH[1:0]		CKIL_PHS	CKIL_TV	CKIL_YCS1	CKIL_YCS2	CKIL_YCS3	60h	カラーキラー設定 2
#34h	W/R	(res)	CKIL_PHL	CKIL_TH1[1:0]		CKIL_TH2[1:0]		CKIL_TH3[1:0]		94h	カラーキラー設定 3
#35h	W/R	HUE_CNT[7:0]								00h	HUE 設定 1
#36h	W/R	U_LV_CNT[6:0]							(res)	00h	クロマ Cb レベル設定
#37h	W/R	V_LV_CNT[6:0]							(res)	00h	クロマ Cr レベル設定
#38h	W/R	BST_FBG_STA[3:0]				BST_FBG_END[3:0]				80h	バースト期間調整
#39h	W/R	BST_FBG	(res)	BST_LCK_RG [1:0]		BST_UNLCK [1:0]		BST_LCK [1:0]		00h	バーストロック調整
#3Ah	W/R	HUE_CNT2	(res)							00h	HUE 設定 2
#3Bh	W/R	HUE_CNT3[7:0]								00h	HUE 設定 3
#3Ch	―	(res)								―	―
#3Dh	―	(res)								―	―
#3Eh	―	(res)								―	―
#3Fh	―	(res)								―	―

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#40h	W/R	BB_GDSEL	BB_FMODE	BB_CSEL	HLCK_DET1[1:0]		(res)	HLCK_DET2[1:0]		89h	自走同期出力設定 1
#41h	W/R	BB_DSEL[1:0]		(res)						00h	自走同期出力設定 2
#42h	W/R	BB_Y[7:0]								26h	自走同期出力設定 3
#43h	W/R	BB_Cb[7:0]								5Ah	自走同期出力設定 4
#44h	W/R	BB_Cr[7:0]								ECh	自走同期出力設定 5
#45h	―	(res)								―	―
#46h	―	(res)								―	―
#47h	―	(res)								―	―
#48h	W/R	STATUS_SEL[3:0]				(res)				00h	STATUS 出力設定
#49h	―	(res)								―	―
#4Ah	―	(res)								―	―
#4Bh	―	(res)								―	―
#4Ch	W/R	(res)								00h	―
#4Dh	―	(res)								―	―
#4Eh	―	(res)								―	―
#4Fh	―	(res)								―	―
#50h	W/R	ANG_AMPE	ANG_AGCS	ANG_GAIN	(res)	ADC_CH_SEL[3:0]				A4h	アナログ設定 1
#51h	W/R	(res)	AGC_OVF	ANG_GAIN_SET1[5:0]						7Fh	アナログ設定 2
#52h	W/R	(res)	CLP_CS[2:0]			(res)		CLP_VS[1:0]		44h	アナログ設定 3
#53h	W/R	(res)								00h	―
#54h	W/R	(res)								04h	―
#55h	W/R	(res)								F3h	―
#56h	W/R	(res)								00h	―
#57h	W/R	(res)								00h	―
#58h	W/R	(res)								00h	―
#59h	W/R	(res)		ANG_GAIN_SET2[5:0]						3Fh	アナログ設定 4
#5Ah	W/R	(res)		ANG_GAIN_SET3[5:0]						3Fh	アナログ設定 5
#5Bh	W/R	(res)		ANG_GAIN_SET4[5:0]						3Fh	アナログ設定 6
#5Ch	W/R	PLL_EN	PLL_LKEN	SCFB_SEL	PLL_LL_SEL	PLL_LK_TM	PLL_PH_LMT	PLL_LK_PRCT[1:0]		A0h	HPLL 設定 1
#5Dh	W/R	(res)	PLL_GAIN_S1[2:0]			(res)	PLL_GAIN_S2[2:0]			00h	HPLL 設定 2
#5Eh	―	(res)								―	―
#5Fh	―	(res)								―	―

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#60h	W/R	VBID_DT	(res)							00h	VBID 検出設定
#61h	W/R	(res)								86h	―
#62h	W/R	C.C_DT_LV[2:0]			C.C_ODT_LSET[4:0]					00h	C.C.検出設定 1
#63h	W/R	(res)			C.C_EDT_LSET[4:0]					00h	C.C.検出設定 2
#64h	W/R	(res)			CGMS_DT_LV[2:0]			CGMS_ODT_LSET[1:0]		00h	CGMS 検出設定 1
#65h	W/R	(res)						CGMS_EDT_LSET[1:0]		00h	CGMS 検出設定 2
#66h	W/R	VBNS_DT_LV[2:0]			(res)					00h	VBI 非標準信号検出設定 1
#67h	W/R	(res)								00h	―
#68h	W/R	(res)			WSS_DT_LV[2:0]			WSS_ODT_LSET[1:0]		00h	WSS データ検出設定
#69h	W	(res)	RST_C.C_O	RST_C.C_E	RST_CGMS_O	RST_CGMS_E	(res)		RST_WSS	00h	VBID 検出リセット設定
#6Ah	―	(res)								―	―
#6Bh	―	(res)								―	―
#6Ch	―	(res)								―	―
#6Dh	―	(res)								―	―
#6Eh	―	(res)								―	―
#6Fh	R	(res)								01h	―
#70h	R	(res)			ST_IFM_DET[4:0]					00h	ステータス 1
#71h	R	ST_NSCB_M2	ST_NSCB_M1	ST_SD_DT	ST_VBID_DT	ST_VTR_DT	ST_AFC_MT	ST_HLCK_DT	ST_PLL_MD	00h	ステータス 2
#72h	R	VF_NSCB	VF_C.C_O	VF_C.C_E	VF_CGMS_O	VF_CGMS_E	VF_VBNS_O	VF_VBNS_E	VF_WSS	00h	VBID フラグ
#73h	R	C.C_O_DT2[7:0]								00h	C.C ODD データ 2
#74h	R	C.C_O_DT1[7:0]								00h	C.C ODD データ 1
#75h	R	C.C_E_DT2[7:0]								00h	C.C EVEN データ 2
#76h	R	C.C_E_DT1[7:0]								00h	C.C EVEN データ 1
#77h	R	CGMS_O_DT3[7:0]								00h	CGMS ODD データ 3
#78h	R	CGMS_O_DT2[7:0]								00h	CGMS ODD データ 2
#79h	R	C.C_O_P1_ER	C.C_O_P2_ER	(res)	CGMS_O_CRC_ER	CGMS_O_DT1[3:0]				00h	CGMS ODD データ 1
#7Ah	R	CGMS_E_DT3[7:0]								00h	CGMS EVEN データ 3
#7Bh	R	CGMS_E_DT2[7:0]								00h	CGMS EVEN データ 2
#7Ch	R	C.C_O_P1_ER	C.C_O_P2_ER	(res)	CGMS_O_CRC_ER	CGMS_E_DT1[3:0]				00h	CGMS EVEN データ 1
#7Dh	R	WSS_DG2[1:0]		WSS_DG3[2:0]			WSS_DG4[2:0]			00h	WSS データ
#7Eh	R	WSS_PER	(res)	WSS_DG1[3:0]				WSS_DG2[3:2]		00h	WSS データ
#7Fh	R	NSS_D	VBNS_D	VBNS_OP	NSCB_OP	NSCB_MOD	(res)	CCOP[1:0]		00h	CG ステータス

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	Bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#80h	W/R	(res)	SD_MSK	TVSYS_MSK	VBID_MSK	VTR_MSK	AFC_MSK	HLOCK_MSK	PLLMD_MSK	FFh	割り込みマスク設定 1
#81h	W/R	(res)	SD_INT	TVSYS_INT	VBID_INT	VTR_INT	AFC_INT	HLOCK_INT	PLLMD_INT	00h	割り込みステータス 1
#82h	W/R	(res)								FFh	―
#83h	W/R	(res)								00h	―
#84h	W/R	PLL_FREQ[7:0]								AAh	HPLL 設定 3
#85h	W/R	PLL_FREQ[15:8]								AAh	HPLL 設定 4
#86h	W/R	PLL_FREQ[23:16]								AAh	HPLL 設定 5
#87h	W/R	PLL_FREQ[31:24]								42h	HPLL 設定 6
#88h	W/R	SAMPLE_PIXEL[7:0]								00h	サンプリング周波数設定 1
#89h	W/R	(res)					SAMPLE_PIXEL[10:8]			00h	サンプリング周波数設定 2
#8Ah	W/R	DEHST[7:0]								00h	サンプリング周波数設定 3
#8Bh	W/R	DEHWD[7:0]								00h	サンプリング周波数設定 4
#8Ch	W/R	(res)					DEHWD[10:8]			00h	サンプリング周波数設定 5
#8Dh	W/R	SYNCTIP[7:0]								00h	サンプリング周波数設定 6
#8Eh	W/R	PEDESTAL[7:0]								00h	サンプリング周波数設定 7
#8Fh	W/R	(res)							OSCSEL	00h	―
#90h	W/R	(res)								00h	―
#91h	W/R	(res)								00h	―
#92h	W/R	(res)								00h	―
#93h	W/R	(res)								00h	―
#94h	W/R	(res)								00h	―
#95h	W/R	(res)								00h	―
#96h	W/R	(res)								00h	―
#97h	W/R	(res)								00h	―
#98h	W/R	(res)								00h	―
#99h	R	(res)								00h	―
#9Ah	R	(res)								00h	―
#9Bh	R	(res)								00h	―
#9Ch	R	(res)								00h	―
#9Dh	―	(res)								―	―
#9Eh	―	(res)								―	―
#9Fh	―	(res)								―	―

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#A0h	W/R	(res)								00h	―
#A1h	W/R	(res)								00h	―
#A2h	W/R	(res)								00h	―
#A3h	W/R	(res)								00h	―
#A4h	W/R	(res)								00h	―
#A5h	―	(res)								―	―
#A6h	―	(res)								―	―
#A7h	―	(res)								―	―
#A8h	W/R	(res)								00h	―
#A9h	―	(res)								―	―
#AAh	―	(res)								―	―
#ABh	―	(res)								―	―
#ACh	―	(res)								―	―
#ADh	―	(res)								―	―
#AEh	―	(res)								―	―
#AFh	W/R	(res)								00h	―
#B0h	W/R	(res)								39h	―
#B1h	W/R	(res)								F0h	―
#B2h	W/R	(res)								DCh	―
#B3h	W/R	(res)								C8h	―
#B4h	W/R	(res)								B4h	―
#B5h	W/R	(res)								13h	―
#B6h	W/R	(res)								15h	―
#B7h	W/R	(res)								1Fh	―
#B8h	W/R	(res)								21h	―
#B9h	W/R	(res)								00h	―
#BAh	―	(res)								―	―
#BBh	―	(res)								―	―
#BCh	―	(res)								―	―
#BDh	―	(res)								―	―
#BEh	―	(res)								―	―
#BFh	―	(res)								―	―

＊アドレス　#C0h～#FEh まではリザーブレジスタです。

レジスタアドレス	W/R	レジスタ名								初期値	機能
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
#E0h	–	(res)								–	–
#E1h	–	(res)								–	–
#E2h	–	(res)								–	–
#E3h	–	(res)								–	–
#E4h	–	(res)								–	–
#E5h	–	(res)								–	–
#E6h	–	(res)								–	–
#E7h	–	(res)								–	–
#E8h	–	(res)								–	–
#E9h	–	(res)								–	–
#EAh	–	(res)								–	–
#EBh	–	(res)								–	–
#ECh	–	(res)								–	–
#EDh	–	(res)								–	–
#EEh	–	(res)								–	–
#EFh	–	(res)								–	–
#F0h	–	(res)								–	–
#F1h	–	(res)								–	–
#F2h	–	(res)								–	–
#F3h	–	(res)								–	–
#F4h	–	(res)								–	–
#F5h	–	(res)								–	–
#F6h	–	(res)								–	–
#F7h	–	(res)								–	–
#F8h	–	(res)								–	–
#F9h	–	(res)								–	–
#FAh	–	(res)								–	–
#FBh	–	(res)								–	–
#FCh	–	(res)								–	–
#FDh	–	(res)								–	–
#FEh	–	(res)								–	–
#FFh	W/R	(res)			PDEN	(res)	ISAM	ICYC[1:0]		00h	PD、レジスタアクセス動作設定

１４．３ コントロールレジスタ詳細

１４.３.１ Sub Address #00h/ 入力信号フォーマット設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#00h	VIF[4:0]					ISPMD[1:0]		AVMD	09h

#00h/bit[7:3] VIF[4:0]、映像入力信号のビデオフォーマット指定

bit[0] AVMD="0"設定時に有効ですが、bit[0] AVMD="1"設定時(自動判別)においても、NTSC-M と NTSC-J の選択は、本設定値が有効です。

"00000" : NTSC-M
"00001" : NTSC-J (default)
"00010" : NTSC 443
"00011" : PAL
"00100" : PAL-M
"00101" : PAL-N
"00110" : PAL-Nc
"00111" : PAL-60
"01000" : SECAM
"10000" : 525i
"10001" : 625i
"10010" : 525p
"10011" : 625p
"10100" : WVGA-33.231MHz
"10101" : WVGA-33.333MHz
"10110" : EGA-480
"10111" : EGA-400
"11000" : 525p(サンプリング周波数設定モード)

上記以外 : 設定禁止

【注意】 参照クロック周波数 25MHz(#8Fh[0]=1)時に、WVGA-33.333MHzサンプリングを使用する場合は、#84h～#87h レジスタに 55h をライトしてください。

525p(サンプリング周波数設定モード)時は自動判定非対応です。bit[2:1] ISPMD="00"、bit[0] AVMD="0"に設定してください。

#00h/bit[2:1] ISPMD[1:0]、入力サンプリングクロックの設定

使用する入力信号とサンプリングクロックに合わせて設定してください。

コンポジット/S-VIDEO 入力時

“00” : NTSC/PAL/SECAM ITU-R BT.601 27MHz ピクセル動作 (default)
“01” : 設定禁止
“10” : NTSC 8FSC 28.6363MHz ピクセル動作
PAL/SECAM ITU-R BT.601 27MHz ピクセル動作
“11” : 設定禁止

【注意】“10”設定時は自動判定結果が NTSC-M/J と判定された場合のみ、NTSC 8FSC で動作します。

コンポーネント入力時

“00” : D1/D2 27MHz ピクセル動作 (default)
“01” : WVGA(アナログ RGB) 33.231MHz ピクセル動作
“10” : WVGA(アナログ RGB) 33.333MHz ピクセル動作
“11” : EGA(アナログ RGB) 9.582167/7.993006MHz ピクセル動作

【注意】“00”設定時のみ自動判定が可能です。

#00h/bit[0] AVMD、自動ビデオモード設定

入力信号のサンプリング周波数が ITU-R BT.601 である時自動判定を行います。

“0” : 固定モード (bit[7:3] VIF[4:0]レジスタ有効)
“1” : 自動判定モード (default)

コンポジット/S-VIDEO 入力時

bit[2:1] ISPMD が “00” または “10” 時のみ自動判定が可能です。
NTSC-M と NTSC-J の判別は bit[7:3] VIF[4:0]レジスタに従います。

コンポーネント入力時

bit[2:1] ISPMD が “00” 時のみ自動判定が可能です。
EGA(400×234 及び、480×234), WVGA 入力時は bit[7:3] VIF[4:0]および bit[2:1] ISPMD[1:0]レジスタにて入力フォーマットとサンプリング周波数を設定してください。

１４.３.２ Sub Address #01h/ コンポーネント設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#01h	(res)	(res)	SETUP_IRE	SYNC_IRE	HS_INV	VS_INV	SEP_S_MD[1:0]		10h

#01h/bit[7] 未定義
"0"(初期値)を設定してください。

#01h/bit[6] 未定義
"0"(初期値)を設定してください。

#01h/bit[5] SETUP_IRE、7.5IRE Setup 選択
コンポーネント入力時のセットアップ選択です。
YPbPr 入力時のみ有効です。

"0" : セットアップ無し (default) / "1" : 7.5 IRE セットアップ

#01h/bit[4] SYNC_IRE、40/43IRE 選択
コンポーネント入力時の SYNC の深さ選択です。

"0" : 40 IRE / "1" : 43 IRE (300mV) (default)

#01h/bit[3] HS_INV、セパレート CHSI 極性選択
ディジタルセパレートシンクまたはディジタルコンポジットシンク時の CHSI の極性選択です。

"0" : 負論理 (default) / "1" : 正論理

#01h/bit[2] VS_INV、セパレート VSI 極性選択
ディジタルセパレートシンク時の VSI の極性選択です。

"0" : 負論理 (default) / "1" : 正論理

#01h/bit[1:0] SEP_S_MD、セパレート SYNC 選択
RGB 入力時の Sync 入力方法の選択です。

"00" : Sync on Green (default)
"01" : アナログコンポジットシンク
"10" : ディジタルセパレートシンク
"11" : ディジタルコンポジットシンク

１４.３.３ Sub Address #02h/ 入力モード自動判定マスク設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#02h	(res)	VMSK-NTSC-443	(res)	VMSK-PAL-M	VMSK-PAL-N	VMSK-PAL-Nc	VMSK-PAL-60	VMSK-SECAM	5Fh

#02h/bit[7] 未定義
"0"(初期値)を設定してください。

#02h/bit[6] VMSK-NTSC-443
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは NTSC-443 用です。

"0"： 判定実施 / "1"： マスク (default)

#02h/bit[5] 未定義
"0"(初期値)を設定してください。

#02h/bit[4] VMSK-PAL-M
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは PAL-M 用です。

"0"： 判定実施 / "1"： マスク (default)

#02h/bit[3] VMSK-PAL-N
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは PAL-N 用です。

"0"： 判定実施 / "1"： マスク (default)

#02h/bit[2] VMSK-PAL-Nc
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは PAL-Nc 用です。

"0"： 判定実施 / "1"： マスク (default)

#02h/bit[1] VMSK-PAL-60
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは PAL-60 用です。

"0"： 判定実施 / "1"： マスク (default)

#02h/bit[0] VMSK-SECAM
入力ビデオ信号のモードを自動選択させる際に、不要なモードをマスクします。
このレジスタは SECAM 用です。

"0"： 判定実施 / "1"： マスク (default)

【注意】NTSC-443、PAL-60 の両者を自動判定させると正常に判定ができなくなりますので、NTSC-443 または PAL-60 のいずれか一方をマスクしてください。

１４.３.４ Sub Address #03h/ Reserved Resister (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#03h	(res)								00h

#03h/bit[7:0] 未定義
"0"(初期値)を設定してください。

１４.３.５ Sub Address #04h/ 出力フォーマット選択１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#04h	CLK_INV	C2_SEL	YC_INV	DO_ DRV	(res)	OUT_MODE[2:0]			08h

#04h/bit[7] CLK_INV、出力クロック設定
クロック出力の論理を反転します。

"0"： 負論理（クロック立ち下がりにデータが同期） (default)
"1"： 正論理（クロック立ち上がりにデータが同期）

#04h/bit[6] C2_SEL、クロマ出力フォーマット設定
クロマデータ出力のフォーマットを設定するレジスタです。

"0"： offset binary (default)
"1"： 2' s complement

#04h/bit[5] YC_INV、YC データの位相選択
データ出力の Y データ、C データの順序を反転します。

"0"： Cb, Y, Cr, Y, …… (default)
"1"： Y, Cb, Y, Cr, ……

#04h/bit[4] DO_DRV、出力ドライバ選択
出力ドライバの駆動能力を選択します。

"0"： 4mA Drive (default)
"1"： 2mA Drive

#04h/bit[3] 未定義
"1"(初期値)を設定してください。

#04h/bit[2:0] OUT_MODE[2:0]、出力フォーマット設定

データ出力のフォーマットを設定します。

#04h[2:0]	出力モード
000	BT.656 8bit
001	BT.601 8bit
010	未定義
100	未定義
101	未定義
110	未定義
etc.	BT.656 8bit

１４.３.６ Sub Address #05h/ 出力フォーマット選択２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#05h	LIMIT	BLANK_ MASK	(res)	FIELD_ INV	CbCr_ EDG	CbCr_ TIM	CLK_SEL	DDR_ MODE	02h

#05h/bit[7] LIMIT、出力データリミッタ設定

出力データの制限範囲を選択します。

BT.656 出力時は、制限無しの場合でも、EAV,SAV 以外では”0”と”255”は出力されません。

“0”: OFF 制限なし　輝度データ: 0...255 / 色差データ: 0...255 (default)

“1”: ON　制限あり　輝度データ:16...235 / 色差データ:16...240

#05h/bit[6] BLANK_MASK、ブランク期間マスク設定

ブランク期間のデータをマスクします。

“0”: スルー (default)

“1”: マスク

#05h/bit[5] 未定義

“0”(初期値)を設定してください。

#05h/bit[4] FIELD_INV 、 出力フィールドの選択

BT.656 出力時、EAV/SAV に重畳されるフィールドビットの論理を選択します。

“0” : ODD=“L”, EVEN=“H” (default)

“1” : EVEN=“L”, ODD=“H”

#05h/bit[3] CbCr_EDGE、色差データの出力基準選択

BT.656 出力時、色差データ Cb/Cr の基準を EAV または SAV どちらにするか選択します。

“0” : SAV を基準 (default)

“1” : EAV を基準

#05h/bit[2] CbCr_TIM、色差データの位相選択

色差データ Cb/Cr の位相を選択します。

“0” : Cb, Cr, Cb, Cr, … (default)

“1” : Cr, Cb, Cr, Cb, …

#05h/bit[1] CLK_SEL、出力クロック周波数選択

出力クロックの周波数を選択します。

“0” :1 倍速クロック出力

“1” :2 倍速クロック出力(default)

#05h/bit[0] DDR_MODE、DDR 出力イネーブル

出力データの DDR モードイネーブル設定です。

“0” :DDR モード OFF (default)

“1” :DDR モード ON

１４.３.７ Sub Address #06h/ Reserved Resister (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#06h	(res)								00h

#06h/bit[7:0] 未定義
"0"(初期値)を設定してください。

１４.３.８ Sub Address #07h/ Reserve Resister (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#07h	(res)								E4h

#07h/bit[7:0] 未定義
"E4h"(初期値)を設定してください。

１４.３.９ Sub Address #08h/ 内部動作モード設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#08h	(res)	(res)	FIFOMD[1:0]		(res)				00h

#08h/bit[7] 未定義
"0"(初期値)を設定してください。

#08h/bit[6] 未定義
"0"(初期値)を設定してください。

#08h/bit[5:4] FIFOMD[1:0]、ピクセル数補正用 FIFO モード
FIFO モードでは、非同期サンプリングモードにおいても 1H 当たりのピクセル数を標準値で出力します。その際、毎フィールドの後段で FIFO リセットを行っていますが、FIFO1、FIFO2 モードはメモリリセットの位置が異なります。 FM モードでは SYNC 信号に従い、デコード結果をそのまま出力します。

"00" : FIFO1 内蔵メモリ使用 : ピクセル数補正あり
FIFO リセット位置 VVALID 立下り直後(default)
"01" : FIFO2 内蔵メモリ使用 : ピクセル数補正あり
FIFO リセット位置ピクセル数誤差により自動調整
"10" : FM FIFO スルーモード : ピクセル数補正なし
"11" : 設定禁止

#08h/bit[3:0] 未定義
"0"(初期値)を設定してください。

１４.３.１０ Sub Address #09h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#09h	(res)								00h

#09h/bit[7:0] 未定義
“00h”(初期値)を設定してください。

１４.３.１１ Sub Address #0Ah/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Ah	(res)								00h

#0Ah/bit[7:0] 未定義
“00h”(初期値)を設定してください。

１４.３.１２ Sub Address #0Ch/ Y/C 分離設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Ch	(res)	YC_SFM[2:0]			(res)	COMBF_TH[2:0]			00h

#0Ch/bit[7] 未定義
"0"(初期値)を設定してください。

#0Ch/bit[6:4] YC_SFM[2:0]、Y/C 分離フィルタの設定
コンポジットビデオデータを輝度データ(Y)と色差データ(C)に分離するフィルタです。

"000" : [NTSC]適応型フィルタ / [PAL]適応型フィルタ (default)
ライン間の相関で 2line コム、3line コム(PAL は 2line)またはトラップフィルタを適応的に選択するフィルタです。水平/垂直方向共に Y/C 分離特性が良くなります。

"001" : [NTSC]3line コムフィルタ / [PAL]2line コムフィルタ
垂直方向の Y/C 分離特性の良いフィルタです。

"010" : [NTSC]トラップフィルタ / [PAL]トラップフィルタ
水平方向の Y/C 分離特性の良いフィルタです。

"011" : [NTSC]3line コム or トラップ適応型フィルタ / [PAL]設定禁止
ライン間の相関でフィルタを適応的に選択するフィルタです。
水平/垂直方向共に Y/C 分離特性が良くなります。

"100" : 設定禁止
"101" : 設定禁止
"110" : 設定禁止
"111" : 設定禁止

【注意】SECAM 入力時はトラップフィルタ固定動作です。

YC_SFM [2:0]	NTSC Y/C 分離方式	PAL Y/C 分離方式
*000	適応型フィルタ	適応型フィルタ
001	3line コムフィルタ	2line コムフィルタ
010	トラップフィルタ	トラップフィルタ
011	3line コム or トラップ適応型フィルタ	設定禁止
100	設定禁止	設定禁止
101	設定禁止	設定禁止
110	設定禁止	設定禁止
111	設定禁止	設定禁止

#0Ch/bit[3] 未定義
"0"(初期値)を設定してください。

#0Ch/bit[2:0] COMBF_TH[2:0]、PAL の適応遷移型フィルタの閾値設定

このレジスタは PAL の適応遷移型フィルタ、またはコムフィルタを選択した時に有効になるものです。
適応型の場合はプラス方向でライン間の相関にかかわらずコムフィルタとして働きやすく、マイナス方向でライン間の相関にかかわらずトラップフィルタとして働きやすくなります。
非適応型の場合はプラス方向でコムフィルタ固定、マイナス方向でトラップフィルタ固定、中間はその平均の特性になります。

"011" : +3 (advantage comb filter)
|
"000" : 0 (default)
|
"100" : -4 (advantage trap filter)

１４.３.１３ Sub Address #0Dh/ Y/C 分離設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Dh	(res)		(res)	LUMED	(res)				00h

#0Dh/bit[7:5] 未定義

"0"(初期値)を設定してください。

#0Dh/bit[4] LUMED、 輝度エッジ検出

水平有効期間開始時の Y/C 分離方式(初期値)を選択します。
本設定は#0Ch YC_SFM[2:0]="000" 設定時に有効です。

"0" : コムフィルタ (default) / "1" : トラップフィルタ

#0Dh/bit[3:0] 未定義

"0"(初期値)を設定してください。

１４.３.１４ Sub Address #0Eh/ Y/C 分離設定 3 (R/W)

アドレス	bit[7]	Bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Eh	(res)	ADP_TH1[1:0]		(res)					00h

#0Eh/bit[7] 未定義

"0"を設定してください。

#0Eh/bit[6:5] ADP_TH1[1:0]、 Y/C 分離相関判定スレッショルド

相関判定のスレッショルドです。
値が大きいほど相関ありと判定しやすくなります。

"01" : 3 相関ありと判定しやすい
"10" : 2
"00" : 1 (default)
"11" : 0 相関なしと判定しやすい

#0Eh/bit[4:0] 未定義

"0"を設定してください。

１４.３.１５ Sub Address #0Fh/ Y/C 分離設定４ (R/W)

アドレス	bit[7]	Bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#0Fh	YCSEP_SEL	COMBF_TH2[2:0]			COMBF_TH3[1:0]		ADP_TH2[1:0]		80h

#0Fh/bit[7] YCSEP_SEL、 YC 分離方式選択

“0”: コンポジット信号に対しコムフィルタ、トラップフィルタ処理を行いコンポジット信号との相関を判定しフィルタ選択を行います。
NTSC 時のみ、および#0Ch/bit[6:4] YC_SFM[2:0]=000 の場合に適応されます。

“1”: コンポジット信号に対しコムフィルタ、トラップフィルタ処理を行い色信号の相関を判定しフィルタ選択をおこないます。(default)

#0Fh/bit[6:4] COMBF_TH2[2:0]、 Y/C 分離相関判定スレッショルド 2

YCSEP_SEL=0 時の相関判定スレッショルドです。
色信号相関判定を行います。
設定値によりコムフィルタ、トラップフィルタ選択範囲が切り替わります。

“011”: +3 (advantage comb filter)
|
“000”: 0 (default)
|
“100”: -4 (advantage trap filter)

#0Fh/bit[3:2] COMBF_TH3[1:0]、 Y/C 分離相関判定スレッショルド 3

YCSEP_SEL=0 時の相関判定スレッショルドです。
サブキャリア振幅判定を行います。
設定値によりコムフィルタ、トラップフィルタ選択範囲が切り替わります。

“00”: 0 (advantage comb filter) (default)
“01”: 1
“10”: 2
“11”: 3 (advantage trap filter)

#0Fh/bit[1:0] ADP_TH2[1:0]、 Y/C 分離相関判定スレッショルド 4

YCSEP_SEL=0 時の相関判定のスレッショルドです。
垂直方向の輝度信号相関判定を行います。
設定値によりコムフィルタ、トラップフィルタ選択範囲が切り替わります。

“01”: 3 (advantage comb filter)
“10”: 2
“00”: 1 (default)
“11”: 0 (advantage trap filter)

１４.３.１６ Sub Address #10h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#10h	(res)								00h

#10h/bit[7:0] 未定義
“00h”(初期値)を設定してください。

１４.３.１７ Sub Address #11h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#11h	(res)								00h

#11h/bit[7:0] 未定義
“00h”(初期値)を設定してください。

１４.３.１８ Sub Address #14h/ 同期検出設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#14h	VSMSEL[1:0]		VSDSEL[1:0]		VSISEL	HSWSEL	ANFSEL	STDSEL	C2h

#14h/bit[7:6] VSMSEL[1:0]、VSYNC の内部処理モードの選択

【推奨】 弱電界状態を考慮する必要がない場合は、VSMSEL=”11”設定を推奨します。

“00” : 弱電界検出時自走 VSYNC 出力、左記以外入力 VSYNC 出力

“01” : VTR 検出時入力 VSYNC 出力、左記以外自走 VSYNC 出力

“10” : VTR、片フィールド検出時入力 VSYNC 出力、左記以外自走 VSYNC 出力

“11” : 入力 VSYNC 出力 (default)

#14h/bit[5:4] VSDSEL[1:0]、VSYNC の更新連続検出数の選択

自走同期出力時において#041h bit[7:6] BB_DSEL=”10” ”11”と設定した場合、VSYNC 出力信号を入力信号に追従させる感度を設定します。

検出感度値(フィールド数)が小さいほど入力信号に追従しやすくなります。

“00” : 2 フィールド (default)

“01” : 1 フィールド

“10” : 4 フィールド

“11” : 3 フィールド

【注意】弱電界での使用にあたっては十分な評価をお願いします。検出感度(フィールド数)を小さくすれば入力信号へ追従しやすくなりますがノイズが多い状況や弱電界では VSYNC を誤検出した場合に映像の安定性が失われる可能性があります。

#14h/bit[3] VSISEL、VSYNC の強制挿入切り替え

入力の VSYNC 信号が検出出来ない場合に、内部で VSYNC を自動生成します。

#14h bit[7:6] VSMSEL の条件において自走 VSYNC 出力条件に合致しない場合、この設定が ON であれば自走の VSYNC を強制的に出力します。(自走 VSYNC:内部カウンタで生成している VSYNC 信号)

“0”: 強制挿入 ON (default) / “1”: 強制挿入 OFF

#14h/bit[2] HSWSEL、HSYNC 検出ウィンドウ設定

HSYNC 検出に関する設定です。 弱電界など信号状態の悪い場合に“1”に設定します。

次の HSYNC を検出する際の、検出範囲の設定をします。

“0”: ±80cycle (default) / “1”: ±20cycle

#14h/bit[1] ANFSEL、アンチノイズフィルタ自動切り替え設定

アンチノイズフィルタの自動切り替え設定です。 弱電界信号を入力する場合、ON にすると効果があります。

ノイズを検出し、自動でフィルタを切り替えます。

“0”: 自動切り替え ON / “1”: 自動切り替え OFF (default)

#14h/bit[0] STDSEL、シンクチップ検出方法の切り替え

シンクチップレベル検出周期を設定します。

標準信号などのライン周期にずれがない信号の場合は、”自動切り替え”に設定してください。

VTR などのライン周期にずれがある信号の場合は”固定切り替え”に設定してください。

“0”: 自動切り替え (default) / “1” : 固定切り替え (2048)

１４.３.１９ Sub Address #15h/同期検出設定　2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#15h	VSOSEL	(res)		VSDWD	VSDET1	VSDET2[2:0]			0Ah

#15h/bit[7] VSOSEL、VSYNC 出力タイミング設定

非標準信号をデコードする場合は“1”の設定のほうが安定します。

“0”： VSYNC_L は HSYNC_L に同期して出力します。(default)

“1”： VSYNC_L は入力信号の VSYNC が検出された時点で出力します。

#15h/ bit[6:5] 未定義

“0”(初期値)を設定してください。

#15h/ bit[4] VSDWD、VSYNC 検出ウィンドウ設定

VSYNC 検出に関する設定です。

次の VSYNC を検出する際の、検出範囲の有無を設定します。

“0”： VSYNC 予測を行っており、非標準信号時に強いモードです。(default)

“1”： VSYNC が検出された時点を VSYNC とし動作します。

#15h/ bit[3] VSDET1、VSYNC 検出モード設定１

PLL,AFC(Auto Frequency Control)動作状態の VSYNC 検出モードの設定です。

【推奨】 弱電界状態を考慮する必要がない場合は、VSDET1=”1”設定を推奨。

“0”： 一定保護期間 VSYNC 未検出時も内部カウンタで VSYNC を生成します。

“1”： VSYNC が検出された時点を VSYNC として動作します。 (default)

#15h/ bit[2:0] VSDET2[2:0]、VSYNC 検出モード設定２

VSYNC 検出条件の設定です。

弱電界等で VSYNC を誤検出する場合に調整してください。

“111”： 7　検出感度 強　(VSYNC 信号を検出しやすい)

|

“010”： 2 (default)

|

“000”： 0　検出感度 弱　(VSYNC 信号を検出しにくい)

１４.３.２０ Sub Address #16h/同期検出設定　3 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#16h	SYNCTH	FIDAINV	(res)	PXALM	(res)	(res)			0Fh

#16h/ bit[7] SYNCTH、SYNC スレッショルド基準の選択

SYNC 検出用スレッショルドの生成方法を切り替えます。

“0”:　SYNC 深さを参照 (default) / “1”:　AGC ゲインを参照

#16h/ bit[6] FIDAINV、フィールド信号の自動トグルモード

片フィールド信号が入力された場合にフィールド信号を自動的にトグルさせるモードです。
フィールドが連続した場合、1 フィールド毎にフィールド信号を反転させます。

“0”: OFF (default) / “1”: ON

#16h/ bit[5] 未定義

“0”(初期値)を設定してください。

#16h/ bit[4] PXALM、ピクセル位置補正設定

非同期サンプリングで発生する、ライン間のサンプリング位相ずれを補正する機能です。

“0”: ピクセル位置補正します。(default)

“1”: ピクセル位置補正しません。

#16h/ bit[3:0] 未定義

“1111”(初期値)を設定してください。

１４.３.２１ Sub Address #17h/ Reserved Register　(R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#17h	(res)								0Dh

#17h/ bit[7:0] 未定義

“0Dh”(初期値)を設定してください。

１４.３.２２ Sub Address #18h/ AFC 設定　(R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#18h	DAFC_GAIN[1:0]		DAFC_ VTR	AFC_ PLL	LD_DT	AFC_IP	AFC_MODE[1:0]		D4h

#18h/ bit[7:6] DAFC_GAIN[1:0]、DAFC フィードバックゲイン調整

ディジタル AFC(Digital Auto Frequency Control)の追従ゲインを設定します。
弱電界時の水平同期ずれに対して、設定値が大きいほど追従しやすくなります。

“00”： 1 倍
“01”： 2 倍
“10”： 4 倍
“11”： 6 倍　(default)

#18h/ bit[5] DAFC_VTR、VTR 検出時の AFC 動作選択

VTR 信号のような変動の大きい入力の場合、AFC(Auto Frequency Control)が追従できないおそれがあります。 その場合、AFC を OFF にしてください。

“0”： ディジタル AFC を OFF する (default) / “1”： ディジタル AFC を OFF しない

【注意】”1”設定時に VTR 信号を入力した場合、映像が水平方向に揺れる場合があります。

#18h/ bit[4] AFC_PLL、AFC 動作選択

AFC の動作モードを切り替えるレジスタです。”0”設定時はアナログ AFC が動作していない場合、ディジタル AFC が常に動作します。”1”設定時はアナログ AFC が動作していない場合、かつ 1 ラインのピクセル数が頻繁に変化している場合、ディジタル AFC が動作します。

“0”： 常時 AFC 動作
“1”： 1 ラインのピクセル数が頻繁に変化している場合 ON (default)

#18h/ bit[3] LD_DT、Laser Disk 装置ポーズ検出選択

LD プレーヤのポーズ検出時に、アナログ／ディジタル AFC を OFF するレジスタです。

“0”： AFC を OFF しない (default) / “1”： AFC を OFF する

#18h/ bit[2] AFC_IP、AFC 時のピクセル位置補正選択

AFC(Auto Frequency Control)動作時に、ピクセル位置補正を行うか選択します。
【推奨】 このレジスタの推奨設定値は “1” です。

“0”： OFF / “1”： ON (補正する) (default)

#18h/ bit[1:0] AFC_MODE、 AFC 動作モード選択

AFC(Auto Frequency Control)の自動 ON/OFF を選択します。
入力信号の 1 ラインのピクセル数が頻繁に変化している場合または標準信号であると判定できたとき AFC を動作させます。

“00”： AFC OFF (default)
“01”： アナログ AFC OFF、ディジタル AFC 自動 ON/OFF
“10”： アナログ AFC 自動 ON/OFF、ディジタル AFC OFF
“11”： アナログ AFC 自動 ON/OFF、ディジタル AFC 自動 ON/OFF

１４.３.２３ Sub Address #19h/ 水平同期検出設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#19h	ATSYC	SYCTH[6:0]							9Fh

#19h/ bit[7] ATSYC、SYNC 検出レベル方法の設定

レジスタ制御の場合、bit[6:0] SYCTH[6:0]により SYNC 検出レベルを設定します。
自動制御の場合、自動的に SYNC レベルの中心付近をスレッショルドに設定します。

"0"： レジスタ制御
"1"： 自動制御 (default)

#19h/ bit[6:0] SYCTH[6:0]、SYNC 検出レベル設定

SYNC 検出レベルを設定します。
ノイズの影響で同期が乱れる場合や、信号レベルが変化した場合に調整を行います。
下記 IRE 表記は同期信号に 40IRE の標準信号が入力された場合です。

bit[7] ATSYC="0"時

"111_1111"： 127 約 48 IRE
|
"001_1111"： 31 約 12 IRE (default)
|
"000_0000"： 0 0 IRE

bit[7] ATSYC="1"時

"111_1xxx"： 15 約 31 IRE
|
"001_1xxx"： 3 約 25 IRE (default)
|
"000_0xxx"： 0 約 23 IRE

１４.３.２４ Sub Address #1Ah/ 垂直同期検出設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Ah	(res)		VSYCTH[5:0]						00h

#1Ah/ bit[7:6] 未定義

"0"(初期値)を設定してください。

#1Ah/ bit[5:0] VSYCTH[5:0]、 VSYNC 検出レベル設定

#19h bit[6:0] SYCTH [6:0] レジスタ設定値に対して VSYNC 検出レベルを設定します。
弱電界など信号状態の悪い場合に使用します。 SYNC チップレベル以下にはなりません。

"11_1111" : -63 -25IRE
|
"00_0000" : 0 0IRE (default)

１４.３.２５ Sub Address #1Bh/ 水平同期信号出力位置調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Bh	HSDLY[7:0]								00h

#1Bh/ bit[7:0] HSDLY[7:0]、HSYNC 出力位置調整

アナログビデオ入力から検出した水平同期信号 HSYNC(内部信号)位置を調整します。
通常は初期状態で使用できます。

"0111_1111" : +127 pixel
|
"0000_0000" : 0 pixel (default)
|
"1000_0000" : -128 pixel

１４.３.２６ Sub Address #1Ch/ 水平有効データ領域(HVALID)調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Ch	HVLDST[3:0]				HVLDSP[3:0]				00h

#1Ch/ bit[7:4] HVLDST[3:0]、HVALID スタート位置調整

アナログビデオ入力から検出した水平有効データ期間 HVALID(内部信号)立ち上がり位置を調整します。
通常は初期状態で使用できます。

"0111" : +7 pixel
|
"0000" : 0 pixel (default)
|
"1000" : -8 pixel

#1Ch/ bit[3:0] HVLDSP[3:0]、HVALID ストップ位置調整

アナログビデオ入力から検出した水平有効データ期間 HVALID(内部信号)立ち下がり位置を調整します。
通常は初期状態で使用できます。

"0111" : +7 pixel
|
"0000" : 0 pixel (default)
|
"1000" : -8 pixel

１４.３.２７ Sub Address #1Dh/垂直有効データ領域(VVALID)調整１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Dh	VVLDST[3:0]				VVLDSP[3:0]				00h

#1Dh/ bit[7:4] VVLDST[3:0]、VVALID スタート位置調整

アナログビデオ入力から検出した垂直有効データ期間 VVALID(内部信号)立ち上がり位置を調整します。
通常は初期状態で使用できます。

“0111”: +7 line
|
“0000”: 0 line (default)
|
“1000”: -8 line

#1Dh/ bit[3:0] VVLDSP[3:0]、VVALID ストップ位置調整

アナログビデオ入力から検出した垂直有効データ期間 VVALID(内部信号)立ち下がり位置を調整します。
通常は初期状態で使用できます。

“0111”: +7 line
|
“0000”: 0 line (default)
|
“1000”: -8 line

１４.３.２８ Sub Address #1Eh/垂直有効データ領域(VVALID)調整２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Eh	VVLD_BO[1:0]		VVLD_SO[1:0]		VVLD_BE[1:0]		VVLD_SE[1:0]		00h

#1Eh/ bit[7:6] VVLD_BO[1:0]、VVALID ODD フィールドスタート位置調整

ODD フィールドの VVALID 立ち上がり位置を調整します。
通常は初期状態で使用できます。

“00”： 0 line (default)
“01”： 1 line 遅く立ち上がる
“10”： 1 line 早く立ち上がる
“11”： 未定義

#1Eh/ bit[5:4] VVLD_SO[1:0]、VVALID ODD フィールドストップ位置調整

ODD フィールドの VVALID 立ち下がり位置を調整します。
通常は初期状態で使用できます。

“00”： 0 line (default)
“01”： 1 line 遅く立ち下がる
“10”： 1 line 早く立ち下がる
“11”： 未定義

#1Eh/ bit[3:2] VVLD_BE[1:0]、VVALID EVEN フィールドスタート位置調整

EVEN フィールドの VVALID 立ち上がり位置を調整します。
通常は初期状態で使用できます。

“00”： 0 line (default)
“01”： 1 line 遅く立ち上がる
“10”： 1 line 早く立ち上がる
“11”： 未定義

#1Eh/ bit[1:0] VVLD_SE[1:0]、VVALID EVEN フィールドストップ位置調整

EVEN フィールドの VVALID 立ち下がり位置を調整します。
通常は初期状態で使用できます。

“00”： 0 line (default)
“01”： 1 line 遅く立ち下がる
“10”： 1 line 早く立ち下がる
“11”： 未定義

１４.３.２９ Sub Address #1Fh/ セパレート SYNC 位置調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#1Fh	(res)	SEP_S_DLY[6:0]							00h

#1Fh/bit[7] 未定義

"0"(初期値)を設定してください。

#1Fh/ bit[6:0] SEP_S_DLY[6:0]、セパレート SYNC 同期信号位置調整

ディジタルコンポジットシンク、ディジタルセパレートシンク入力時の同期信号位置を調整します。
通常は初期状態で使用できます。

"111_1111" : +127 pixel
|
"000_0000" : 0 pixel (default)

１４.３.３０ Sub Address #20h/ AGC 設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#20h	AGC_FT[1:0]		(res)	LOSET_E	(res)				41h

#20h/ bit[7:6] AGC_FT[1:0]、輝度ディジタル AGC 機能の収束時間設定

輝度ディジタル AGC または MGC モード設定、および AGC 機能の収束時間設定を行います。
ディジタル AGC は、検出した SYNC の深さを 40IRE として自動的に係数を設定し、それに合わせ輝度レベルを自動調整する機能です。
この機能により、入力レベルが変化しても常に一定の輝度データレベルが得られます。
収束時間は、Slow-Medium-Fast とステップ毎に約 4 倍変化します。

"00" : Slow AGC mode
"01" : Medium AGC mode (default)
"10" : Fast AGC mode
"11" : 設定禁止

#20h/ bit[5] 未定義

"0"(初期値)を設定してください。

#20h/ bit[4] MGC 設定

MGC モードを設定します。
MGC モードは SYNC の深さにかかわらず、輝度レベルをレジスタで決定するモードです。

"0" : MGC OFF (default)
"1" : MGC ON

AGC/MGC モードは bit[7:6] AGC_FT[1:0]、bit[4] LOSET_E の設定の組み合わせにより、以下のように分類されます。

AGC_FT[1:0]	LOSET_E	動作
00	0	AGC Slow
01	0	AGC Medium
10	0	AGC Fast
11	0	設定禁止
XX	1	MGC

#20h/ bit[3:1] 未定義

"0"(初期値)を設定してください。

#20h/ bit[0] 未定義

"1"(初期値)を設定してください。

１４.３.３１ Sub Address #21h/ AGC リファレンス設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#21h	AGC_REF[7:0]								00h

#21h/ bit[7:0] AGC_REF[7:0]、AGC リファレンスレベル（2 の補数）

輝度レベルの傾き調整機能です。
ペデスタルレベルを起点として傾きを調整します。
ディジタル AGC モード/MGC モード設定どちらのモードでも有効です。
AGC モード時ゲイン係数は約 (350 + AGC_REF の値)/350 倍となります。
MGC モード時ゲイン係数は約 (227 + AGC_REF の値)/227 倍となります。

“0111_1111”： 約 1.36 倍（AGC 時） 約 1.56 倍（MGC 時）
|
“0000_0000”： 約 1 倍（AGC 時） 約 1 倍 （MGC 時） (default)
|
“1000_0000”： 約 0.63 倍（AGC 時） 約 0.44 倍（MGC 時）

１４.３.３２ Sub Address #22h/ Reserved Resister (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#22h	(res)								00h

#22h/ bit[7:0] 未定義

“00h”(初期値)を設定してください。

１４.３.３３ Sub Address #23h/ 輝度出力レベル調整１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#23h	LGAIN_ WTPK	LGAIN_ CG	(res)						84h

#23h/ bit[7] LGAIN_WTPK、 輝度レベルピーク検出時のゲイン調整

輝度レベルピーク検出時のゲイン調整設定です。
輝度レベルピーク検出時、輝度データのゲインを調整し輝度レベルの飽和を防ぐ機能です。
本設定は AGC モード時のみ有効となります。

“0”: ゲイン調整あり / “1”: ゲイン調整なし (default)

#23h/ bit[6] LGAIN_CG、コピーガード信号検出時のゲイン調整

アナログコピーガード信号が付加されている信号の輝度レベルピーク検出時のゲイン調整設定です。
輝度レベルピーク検出時、輝度レベルの飽和を防ぐため、輝度ゲインを調整を行います。

“0”: ゲイン調整あり (default) / “1”: ゲイン調整なし

#23h/ bit[5:0] 未定義

“04h”(初期値)を設定してください。

１４.３.３４ Sub Address #24h/ 輝度出力レベル調整２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#24h	(res)			WTPKC_SEL[1:0]		PED_LV_LMT[2:0]			00h

#24h/ bit[7:5] 未定義

"0"(初期値)を設定してください。

#24h/ bit[4:3] WTPKC_SEL[1:0]、 輝度ピーク収束時間選択

輝度ピークレベル検出時の収束速度の設定を行うレジスタです。
Slow-Medium-Fast-VeryFast と 1 ステップ毎に収束速度が 2 倍変化します。
本設定は輝度レベルピーク検出時のゲイン調整あり(#23[7]=0)の場合に有効となります。
SYNC 深さが基準値(40/43IRE)に満たない信号や輝度が 100IRE を超える信号に有効です。

"00" : Medium (default)
"01" : Fast
"10" : Very Fast
"11" : Slow

#24h/ bit[2:0] PED_LV_LMT[2:0]、 ペデスタルレベル更新制御

ペデスタルレベルの更新スレッショルドの設定を行います。 この設定値が大きいほどノイズによる影響を受けにくくなります。MGC モード設定時(#20h[4]=1)に有効となります。

"000" : 0IRE (制限なし) (default)
"001" : 0.5IRE
"010" : 1IRE
"011" : 2IRE
"100" : 3IRE
"101" : 3.6IRE
"110" : 5.4IRE
"111" : 7.2IRE

１４.３.３５ Sub Address #25h/ 輝度出力レベル調整３ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#25h	PRE_FIL	APTR_FIL[1:0]		CORING_SEL[1:0]		APTR_FIL_WT[2:0]			00h

#25h/ bit[7] PRE_FIL、シャープフィルタ

シャープフィルタによって 3MHz 付近の周波数を強調します。
輝度レベルピーク検出時のゲイン調整あり(#23[7]=0)に設定している場合、シャープフィルタの働きにより
輝度レベルが上がり、輝度レベルピークを検出し、出力輝度レベルが下がる場合があります。

"0" : OFF (default) / "1" : ON

#25h/ bit[6:5] APTR_FIL[1:0]、輪郭補正用フィルタ

輪郭補正用フィルタの周波数特性設定です。下位ビット[4:0](CORING_SEL[1:0]、APTR_FIL_WT[2:0])と組み合わせて使用します。
強調する周波数帯域を選択します。High レンジほど高域の周波数が強調されます。

"00" : range0 (middle) (default)
"01" : range1
"10" : range2
"11" : range3 (high)

#25h/ bit[4:3] CORING_SEL[1:0]、輪郭補正を行うレベル設定

輪郭補正の対象強度の設定です。bit[6:5](APTR_FIL[1:0]、bit[2:0](APTR_FIL_WT[2:0])と組み合わせて使用します。
隣り合う画素のデータ差分量によって、その輪郭成分を強調するかどうかを選択します。

"00" : 常に強調する (default)
"01" : 強調感度 強 (データ差分量が小さくても強調補正を行います)
"10" : 強調感度 中
"11" : 強調感度 弱 (データ差分量が小さい場合は強調補正を行いません)

#25h/ bit [2:0] APTR_FIL_WT[2:0]、輪郭補正用フィルタの係数設定

輪郭補正用フィルタの強調レベル設定です。上位ビット bit[6:5](APTR_FIL[1:0]、bit[4:3](CORING_SEL[1:0])と組み合わせて使用します。
高域の周波数を強調します。

"000" : 強調レベル 0 (輪郭補正 OFF) (default)
"001" : 強調レベル 1
"010" : 強調レベル 2
"011" : 強調レベル 3
"100" : 強調レベル 4
"101" : 強調レベル 5
"110" : 強調レベル 6
"111" : 強調レベル 7 (強調レベル大)

１４.３.３６　Sub Address #26h/ コントラスト調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#26h	(res)	CTCNT[5:0]						(res)	00h

#26h/ bit[7] 未定義
"0"(初期値)を設定してください。

#26h/ bit[6:1] CTCNT[5:0]、コントラストレベル調整
コントラストレベルを調整します。輝度のディジタル値 128 を基準に傾きを調整します。

"01 1111" : 63/32 倍
|
"00 0000" : 32/32 倍 (default)
|
"10 0001" : 1/32 倍
"10 0000" : 設定禁止

#26h/ bit[0] 未定義
"0"(初期値)を設定してください。

１４.３.３７ Sub Address #27/ 輝度オフセット調整 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#27h	(res)	LOSET_LV[6:0]							00h

#27h/ bit[7] 未定義
"0"(初期値)を設定してください。

#27h/ bit[6:0] LOSET_LV[6:0]、輝度オフセット調整 1
ペデスタルレベルに対して輝度レベルに加算されるオフセット値の調整を行います。

"011_1111" : -7IRE　(輝度レベルが低くなる)
|
"000_0000" : 0IRE (default)
|
"100_0000" : +7IRE　(輝度レベルが高くなる)

【注意】アナログ RGB 入力時、調整不可です("000_0000"に設定してください)

１４.３.３８ Sub Address #28/ 輝度オフセット 2 調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#28h	BRIGHT_LV[7:0]								00h

#28h/ bit[7:0] BRIGHT_LV[7:0]、輝度オフセット調整 2
輝度オフセットレベルを調整します。 BRIGHT_LV の 1 ステップ毎に Y データを 1LSB 調整できます。
BRIGHT_LV は 2 の補数値での調整になります。

１４.３.３９ Sub Address #30h/ ACC ＆ クロマコントロール (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#30h	ACC_LF_TM[1:0]		SUB_CRR_OFT[1:0]		PAL_UVF	UVF_TH[2:0]			00h

#30h/ bit[7:6] ACC_LF_TM[1:0]、クロマディジタル ACC 機能の収束特性設定

クロマディジタル ACC または MCC モード設定、およびACC機能の収束時間設定を行います。
ディジタル ACC は、検出したバースト信号の振幅を 40IRE として自動的に係数を設定し、それに合わせクロマデータのゲインを自動調整する機能です。
この機能により、入力レベルが変化しても常に一定のクロマデータレベルが得られます。
収束時間は、slow-medium では約 4 倍、slow-fast では 64 倍の収束速度となります。
MCC モードは入力信号のバースト信号の振幅にかかわらず、クロマ倍率をレジスタ #31h/bit[7:0](ACC_REF) で決定します。 コンポジット入力時のみ有効です。

“00”: Fast ACC mode (default)
“01”: Slow ACC mode
“10”: Medium ACC mode
“11”: MCC mode

#30h/ bit [5:4] SUB_CRR_OFT[1:0]、サブキャリアのオフセット値設定

サブキャリアにオフセット値を加算する機能です。
クロマレベルが小さい場合に出力の色が薄くなるのを防ぎます。

“00”: 0 (default)
“01”: +2
“10”: +4
“11”: +8

#30h/ bit[3] PAL_UVF、PAL 時の UV フィルタ使用の選択

PAL 時の UV フィルタを設定します。

“0”: 使用 (default) 常に前ラインと平均化処理を行います。
“1”: 不使用 bit[2:0] UVF_TH[2:0]の設定に従い平均化処理を行います。

#30h/ bit[2:0] UVF_TH[2:0]、UV フィルタ 閾値設定

前ラインと現ラインの U、V データを平均化処理する際のスレッショルドを設定します。

“000”: 平均化をしない (default)
“001”: レベル差 4
“010”: レベル差 8
“011”: レベル差 12
“100”: レベル差 16
“101”: レベル差 20
“110”: レベル差 24
“111”: 常に平均化する

１４.３.４０ Sub Address #31h/ ACC リファレンスレベル調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#31h	ACC_REF[7:0]								00h

#31h/ bit[7:0] ACC_REF[7:0]、ACC リファレンスレベル（2 の補数）

クロマレベル(色レベル)のゲイン調整を行います。
ACC モード時ゲイン係数は約（44 + (ACC_REF の値/4)）/44 倍となります。
MCC モード時ゲイン係数は約（32 + (ACC_REF の値/4)）/32 倍となります。

“0111_1111”： 約 1.7 倍（ACC 時） 約 1.97 倍（MCC 時）
|
“0000_0000”： 約 1 倍（ACC 時） 約 1 倍 （MCC 時） (default)
|
“1000_0000”： 約 0.27 倍（ACC 時） 約 0 倍 （MCC 時）

【注意】SECAM は全 8bit、NTSC/PAL は上位 6bit が有効です。

このほかに#36h/ bit[7:1] (U_LV_CNT[6:0]), #37h/ bit[7:1] (V_LV_CNT[6:0])で
Cb, Cr 信号を個別にレベル調整可能です。

１４.３.４１ Sub Address #32h/ カラーキラー設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#32h	(res)	CKIL_COMP	CKIL_COMP_FLD [1:0]		(res)				60h

#32h/ bit[7] 未定義

“0”(初期値)を設定してください。

#32h/ bit[6] CKIL_COMP コンポーネント入力選択時カラーキラーイネーブル

入力信号選択の切り替え時にカラーキラーを有効にします。
カラーキラーは信号切り替えから CKIL_COMP_FLD 設定値の期間まで有効です。
また YPbPr、RGB 信号が入力信号として選択された場合のみ働きます。

“0”： 入力信号切り替え時デコード結果を出力
“1”： 入力信号切り替え時カラーキラー動作 (default)

#32h/ bit[5:4] CKIL_COMP_FLD[1:0] コンポーネント入力選択時カラーキラー期間設定

入力信号選択の切り替え時にカラーキラー期間を設定します。
CKIL_COMP=1 時に有効です。

“00”： インタレース時 8 フィールド、プログレッシブ時 8 フレーム
“01”： インタレース時 16 フィールド、プログレッシブ時 16 フレーム
“10”： インタレース時 20 フィールド、プログレッシブ時 20 フレーム (default)
“11”： インタレース時 24 フィールド、プログレッシブ時 24 フレーム

#32h/ bit[3:0] 未定義

“0”(初期値)を設定してください。

１４.３.４２ Sub Address #33h/ カラーキラー設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#33h	CKIL_MD	CKIL TH[1:0]		CKIL_ PHS	CKIL_ TV	CKIL_ YCS1	CKIL_ YCS2	CKIL_ YCS3	60h

#33h/ bit[7] CKIL_MD、カラーキラーモード設定

"0" ：オートカラーキラーモード (default)

カラーキラー閾値 bit[6:5] CKIL_TH[1:0]の設定により、カラーバースト信号振幅レベル、サブキャア位相、TVシステム自動判定に応じて自動的に白黒出力を行います。

"1" ：強制カラーキラーモード

色差データを強制的に最小値にし、白黒出力とする機能です。

#33h/ bit[6:5] CKIL TH[1:0]、カラーキラー閾値

自動カラーキラーモード時 bit[7] CKIL_MD ="0"の検出設定です。
NTSC/PAL 入力時はカラーキラーの判定レベルを、基準カラーバースト信号振幅レベル(40IRE)との比率で設定します。SECAM 入力時はカラーキラー判定の連続ライン数を設定します。

・NTSC/PAL 入力時

"00"：12% カラーバーストレベル
"01"：6% カラーバーストレベル
"10"：3% カラーバーストレベル
"11"：カラーキラー OFF(default)

・SECAM 入力時

"00"：1 ライン
"01"：32 ライン
"10"：64 ライン
"11"：Color killer off(default)

#33h/ bit[4] CKIL_PHS、カラーキラーサブキャリア位相ロック判定

オートカラーキラーモード bit[7] (CKIL_MD)="0"時の検出設定です。
サブキャリア位相がロックしているかを判定し、ロックしていない場合にカラーキラーを行います。

"0"：OFF (default) / "1"：ON 【推奨】推奨設定値は"0"です。

#33h/ bit[3] CKIL_TV、カラーキラーＴＶシステム判定

オートカラーキラーモード bit[7] (CKIL_MD)="0"時の検出設定です。
TV システム自動判定が判定できない時、及び判定中にカラーキラーを行います。

"0"：OFF (default) / "1"：ON 【推奨】推奨設定値は"0"です。

#33h/ bit[2] CKIL_YCS1、カラーキラー時の Y/C 分離設定 1

“1”設定時、サブキャリア振幅によるカラーキラー実行時、Y/C 分離を行いません。

“0”: Y/C 分離 ON (default) / “1”: Y/C 分離 OFF 【推奨】推奨設定値は“0”です。

#33h/ bit[1] CKIL_YCS2、カラーキラー時の Y/C 分離設定 2

“1”設定時、サブキャリア位相によるカラーキラー実行時、Y/C 分離を行いません。

“0”: Y/C 分離 ON (default) / “1”: Y/C 分離 OFF 【推奨】推奨設定値は“0”です。

#33h/ bit[0] CKIL_YCS3、カラーキラー時の Y/C 分離設定 3

“1”設定時、TV システム自動判定によるカラーキラー実行時、Y/C 分離を行いません。

“0”: Y/C 分離 ON (default) / “1”: Y/C 分離 OFF 【推奨】推奨設定値は“0”です。

弱電界など電界強度が大きく変化するような環境で使用する場合などは推奨設定値に設定していただくことにより動作が安定する場合があります。

【注意】カラー映像入力時は、#33h bit[2:0]=“000”、白黒映像入力時は#33h bit[2:0]=“111”を設定してください。

１４.３.４３ Sub Address #34h/ カラーキラー設定３ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#34h	(res)	CKIL_PHL	CKIL_TH1[1:0]		CKIL_TH2[1:0]		CKIL_TH3[1:0]		94h

#34h/ bit[7] 未定義

"1"(初期値)を設定してください。

#34h/ bit[6] CKIL_PHL、カラーキラー検出スレッショルドレベル

"0"： 色が消えやすい (default)　/ "1"： 色が消えにくい

#34h/ bit[5:4] CKIL_TH1[1:0]、　カラーキラー検出スレッショルド１

#33h CKIL_PHS="1" 時のサブキャリア位相によるカラーキラーの検出感度設定です。
1 フィールド中のライン数により検出感度を設定します。
検出感度の値が大きいほどカラーキラーモードに移行しやすくなります。
#33h CKIL_PHS="0"の場合、検出感度設定は無効になります。

"00"： 検出感度 0
"01"： 検出感度 1 (default)
"10"： 検出感度 2
"11"： 検出感度 3

#34h/ bit[3:2] CKIL_TH2[1:0]、　カラーキラー検出スレッショルド２

#33h CKIL_PHS="1" 時のサブキャリア位相によるカラーキラーの検出感度設定です。
bit[5:4] CKIL_TH1[1:0]のライン数設定から、更にフィールド数をカウントし検出感度を設定します。
検出感度の値が大きいほどカラーキラーモードに移行しやすくなります。
#33h CKIL_PHS="0"の場合、検出感度設定は無効になります。

"00"： 検出感度 3
"01"： 検出感度 2 (default)
"10"： 検出感度 1
"11"： 検出感度 0

#34h/ bit[1:0] CKIL_TH3[1:0]、　カラーキラー検出スレッショルド３

#33h CKIL_PHS="1" 時のサブキャリア位相によるカラーキラーの検出感度設定です。
(カラーキラー状態→色出力状態への復帰)
サブキャリア位相がロックしているライン数をカウントし、色出力状態へ復帰する条件です。
検出感度の値が小さいほど色出力状態に復帰しやすくなります。
#33h CKIL_PHS="0"の場合、検出感度設定は無効になります。

"00"： 検出感度 0 (default)
"01"： 検出感度 1
"10"： 検出感度 2
"11"： 検出感度 3

１４.３.４４ Sub Address #35h/ HUE 設定１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#35h	HUE_CNT[7:0]								00h

#35h/ bit[7:0] HUE_CNT[7:0]、色相の調整

色相調整をします。1 ビットで約 1.4 度変化します。(+180° ～ -178.6°)

【注意】SECAM 入力、コンポーネントビデオ入力時は設定不可です。

"0111_1111" : -178.6°
|
"0000_0000" : 0° (default)
|
"1000_0000" : +180°

１４.３.４５ Sub Address #36h/ クロマ Cb レベル調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#36h	U_LV_CNT[6:0]							(res)	00h

#36h/ bit[7:1] U_LV_CNT[6:0]、クロマデータ Cb レベルの調整

クロマデータ(Cb)のレベル調整を行います。

“011_1111”: 95/32 倍
|
“000_0000”: 32/32 倍 (default)
|
“110_0001”: 1/32 倍
“110_0000”: 設定禁止
|
“100_0000”: 設定禁止

#36h/ bit[0] 未定義

“0”(初期値)を設定してください。

１４.３.４６ Sub Address #37h/ クロマ Cr レベル調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#37h	V_LV_CNT[6:0]							(res)	00h

#37h/ bit[7:1] V_LV_CNT[6:0]、クロマデータ Cr レベルの調整

クロマデータ(Cr)のレベル調整を行います。

“011_1111”: 95/32 倍
|
“000_0000”: 32/32 倍 (default)
|
“110_0001”: 1/32 倍
“110_0000”: 設定禁止
|
“100_0000”: 設定禁止

#37h/ bit[0] 未定義

“0”(初期値)を設定してください。

１４.３.４７ Sub Address #38h/ カラーバースト期間調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#38h	BST_FBG_STA[3:0]				BST_FBG_END[3:0]				80h

#38h/ bit[7:4] BST_FBG_STA[3:0]、 カラーバースト開始位置調整

カラーバースト信号検出開始位置を調整するレジスタです。
検出開始位置を２ピクセルずつ調整します。一方向で開始位置が早くなり、＋方向で遅くなります。
“0 ピクセル”が規格の開始位置です。
カラーバースト位置が基準と異なる場合に調整してください。

“0111”: +14 ピクセル
|
“0000”: 0 ピクセル
|
“1000”: -16 ピクセル (default)

#38h/ bit[7:4] BST_FBG_END[3:0]、 カラーバースト終了位置調整

カラーバースト信号検出終了位置を調整するレジスタです。
検出終了位置を２ピクセルずつ調整します。一方向で終了位置が早くなり、＋方向で遅くなります。
“0 ピクセル”が規格の終了位置です。 カラーバースト位置が基準と異なる場合に調整してください。

“0111”: +14 ピクセル
|
“0000”: 0 ピクセル (default)
|
“1000”: -16 ピクセル

１４.３.４８ Sub Address #39h/ バーストロック調整 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#39h	BST_ FBG	(res)	BST_LCK_RG [1:0]		BST_UNLCK [1:0]		BST_LCK [1:0]		00h

#39h/ bit[7] BST_FBG、 カラーバーストフィードバックゲイン選択

カラーバースト信号のフィードバックゲインを切り替えるレジスタです。
"0"設定時はロック時にフィードバックゲインを小さくし、ライン毎の色ずれを小さくします。
"1"設定時は常に一定のフィードバックゲインをかけます。
【推奨】このレジスタの推奨設定値は"0"です。

"0"： ロック時ゲイン小 (default)
"1"： ゲイン一定

#39h/ bit[6] 未定義

"0"を設定して下さい

#39h/ bit[5:4] BST_LCK_RG[1:0]、カラーバーストロック判定条件選択

カラーバースト信号のロック判定条件を選択するレジスタです。
位相角度が大きいほどロック状態と判定しやすくなります。

"00"： 180 度 (default)
"01"： 135 度
"10"： 90 度
"11"： 45 度

#39h/ bit[3:2] BST_UNLCK[1:0]、アンロック時のカラーバーストロックフィードバックゲイン調整

アンロック時のカラーバーストロックフィードバックゲインを調整するレジスタです。

"00"： 1/1 (default)
"01"： 1/2
"10"： 1/4
"11"： 1/8

#39h/ bit[1:0] BST_LCK[1:0]、ロック時のカラーバーストロックフィードバックゲイン調整

ロック時のカラーバーストロックフィードバックゲインを調整するレジスタです。
#39h bit[7]＝"0"設定時に有効です。

"00"： 1/16 (default)
"01"： 1/32
"10"： 1/64
"11"： 1/128

１４.３.４９　Sub Address #3Ah/ HUE 設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#3Ah	HUE_ CNT2	(res)							00h

#3Ah/ bit[7] BHUEENB、色相調整イネーブル
“0”：調整しない(default) / “1”：調整する

#3Ah/ bit[6:0] 未定義
“000000”を設定して下さい

１４.３.５０　Sub Address #3Bh/ HUE 設定 3　(R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#3Bh	HUE_CNT3[7:0]								00h

#3Bh/ bit[7:0] BCTHUE[7:0]、色相の設定
Cb/Cr 信号の成分を回転することにより、色相を設定します。-45°～44.6°の間で調整します。
1bit で約 0.35 度変化します。

“0111_1111”：　44.6°
　　|
“0000_0000”：　　0°　(default)
　　|
“1000_0000”：　-45°

１４.３.５１ Sub Address #40h/ 自走同期出力設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#40h	BB_ GDSEL	BB_ FMODE	BB_ CSEL	HLCK_DET1[1:0]		(res)	HLCK_DET2[1:0]		89h

#40h/ bit[7] BB_GDSEL、自走同期保護時間設定

同期検出(#71h bit[1] ST_HLCK_DT 信号)の保護時間を設定するレジスタです。
保護無しに設定すると、ST_HLCK_DT 信号の切り替りが早くなります。
ノイズの無い映像信号では、”保護無し”に設定すると効果的です。

“0”: 保護なし / “1”: 保護あり (default)

#40h/ bit[6] BB_FMODE、強制自走同期出力モード設定

入力信号にかかわらず同期信号を強制的に自走出力し、#41h bit[7:6] BB_DSEL[1:0]において選択した映像を出力します。 強制自走同期出力時も#71h bit[1] ST_HLCK_DT は入力信号により検出します。

“0”: OFF (default) / “1”: ON

#40h/ bit[5] BB_CSEL、自走同期出力解除設定

ST_HLCK_DT 信号の “0”から”1”への変化速度を切り替えるレジスタです。
“0”設定時は”1”設定時に比べ早く ST_HLCK_DT 信号がロック状態になります。

“0”: 7 フィールド (default) / “1”: 64 フィールド

#40h/ bit[4:3] HLCK_DET1[1:0]、H ロック検出感度の設定１

#71h bit[1] ST_HLCK_DT の検出感度の設定です。
HSYNC を含まない 1 ライン内のエッジ(ノイズ)数を検出し、設定値を超えた場合”ノイズあり”と判定します。
検出感度の値が大きいほど自走同期出力に切替りやすくなります。
【推奨】 弱電界時は、”11”設定を推奨します。

“00”: 検出感度 3
“01”: 検出感度 2 (default)
“10”: 検出感度 1
“11”: 検出感度 0

#40h/ bit [2] 未定義

“0”(初期値)を設定してください。

#40h/ bit [1:0] HLCK_DET2[1:0]、H ロック検出感度の設定２

#71h bit[1] ST_HLCK_DT 検出感度の設定です。
1 フィールド内の「bit[4:3] HLCK_DET1[1:0]において設定したエッジ数を含むライン数」を検出し、設定値を超えた場合#71h bit[1] ST_HCLK_DT=“0”になります。
検出感度の値が大きいほど自走同期出力に切替りやすくなります。

“00”: 検出感度 3
“01”: 検出感度 2 (default)
“10”: 検出感度 1
“11”: 検出感度 0

１４.３.５２ Sub Address #41h/ 自走同期出力設定２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#41h	BB_DSEL[1:0]		(res)						00h

#41h/ bit[7:6] BB_DSEL[1:0]、自走同期出力時の出力データ選択

【推奨】 弱電界時は、“11”設定を推奨します。

“00”： ブルー (default)

“01”： ブラック

“10”： 入力信号

“11”： 入力信号（輝度のみ、色差なし）

【注意】 強制ブルーバック時(#40h bit[6] BB_FMODE=1”)ではブルーまたはブラック(“00”or“01”)に設定してください。

#41h/ bit[5:0] 未定義

“0”(初期値)を設定してください。

１４.３.５３ Sub Address #42h/ 自走同期出力設定３ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#42h	BB_Y[7:0]								26h

#42h/ bit[7:0] BB_Y[7:0]、自走同期出力時の輝度出力データ設定

#41h bit[7:6] BB_DSEL=“00”(ブルー)設定時の輝度レベル設定です。
出力させたい輝度レベルの値を直接設定できます。

１４.３.５４ Sub Address #43h/ 自走同期出力設定４ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#43h	BB_Cb[7:0]								5Ah

#43h/ bit[7:0] BB_Cb[7:0]、自走同期出力時のＣｂ出力データ設定

#41h bit[7:6] BB_DSEL=“00”(ブルー)設定時の色差(Cb)レベル設定です。
2 の補数形式で設定してください。
出力させたい Cb レベルの値を直接設定できます。

１４.３.５５ Sub Address #44h/ 自走同期出力設定５ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#44h	BB_Cr[7:0]								ECh

#44h/ bit[7:0] BB_Cr[7:0]、自走同期出力時のＣｒ出力データ設定

#41h bit[7:6] BB_DSEL=“00”(ブルー)設定時の色差(Cr)レベル設定です。
2 の補数形式で設定してください。
出力させたい Cr レベルの値を直接設定できます。

１４.３.５６ Sub Address #48h/ STATUS 出力設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#48h	STATUS_SEL[3:0]				(res)				00h

#48h/ bit[7:4] STATUS_SEL[3:0]、STATUS 出力情報選択

STATUS 端子か出力される情報を選択します。

“0000”: 割り込み通知 (default)
“0001”: 未定義
“0010”: 未定義
“0011”: 未定義
“0100”: 未定義
“0101”: 未定義
“0110”: 入力フォーマット判別結果 (L:60Hz、H:50Hz)
“0111”: 同期信号検出状態 (L:非検出、H:検出)
“1000”: 未定義
“1001”: PLL ラインロック検出状態 (L:非検出、H:検出)
“1010”: VBID 検出状態 (L:非検出、H:検出)
“1011”: AFC 動作検出状態 (L:非検出、H:検出)
“1100”: SYNC 深さ検出状態 (L:非検出、H:検出)
“1101”: 未定義
“1110”: 未定義
“1111”: 弱電検出状態 (L:非検出、H:検出)

#48h/ bit[3:0] 未定義

“0h”(初期値)を設定してください。

１４.３.５７ Sub Address #4Ch/ Reserved Resister (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#4Ch	(res)								00h

#4Ch/ bit[7:0] 未定義

“00h”(初期値)を設定してください。

１４.３.５８ Sub Address #50h/ アナログ設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#50h	ANG_ AMPE	ANG_ AGCS	ANG_ GAIN	(res)	ADC_CH_SEL[3:0]				A4h

#50h/ bit[7] ANG_AMPE、アナログ入力アンプの動作設定

アナログアンプの動作設定です。

"0"： アンプスリープ

"1"： アンプアクティブ (default)

#50h/ bit[6] ANG_AGCS、アナログ AGC 機能の設定

SYNC レベルを検出し、アンプゲインを自動的に調整します。

マニュアル設定の場合、#51h bit[5:0] (ANG_GAIN_SET1[5:0])、#59h bit[5:0] (ANG_GAIN_SET2[5:0])、#5Ah bit[5:0] (ANG_GAIN_SET3[5:0])、#5Bh bit[5:0] (ANG_GAIN_SET4[5:0])で AMP 毎にゲインを設定します。

"0"： マニュアル設定 (default)

"1"： 自動設定

#50h/ bit[5] ANG_GAIN、アナログアンプゲインの初期値設定

入力アナログ信号の振幅が非常に小さい場合、"0"に設定することで同期検出が可能になります。

【推奨】 #50h[6]=1(自動設定)時は、"1"設定を推奨します。

"0"： 5.4

"1"： 0.608 (default)

#50h/ bit[4] 未定義

"0"(初期値)を設定してください。

#50h/ bit[3:0] ADC_CH_SEL[3:0]、アナログビデオ入力のチャンネル設定

ADC_CH_SEL [3:0]	入力 モード	有効ポート									
		GIN1	GIN2	BIN1	BIN2	RIN1	RIN2	CVBS1	CVBS2	CVBS3	CVBS4
0000	YPbPr1	Y	–	Pb	–	Pr	–	–	–	–	–
0001	YPbPr2	–	Y	–	Pb	–	Pr	–	–	–	–
1000	RGB1	G	–	B	–	R	–	–	–	–	–
1001	RGB2	–	G	–	B	–	R	–	–	–	–
1011	S-Video	–	Y	–	C	–	–	–	–	–	–
0100	CVBS1	–	–	–	–	–	–	CVBS	–	–	–
0101	CVBS2	–	–	–	–	–	–	–	CVBS	–	–
0110	CVBS3	–	–	–	–	–	–	–	–	CVBS	–
0111	CVBS4	–	–	–	–	–	–	–	–	–	CVBS
上記以外	SLEEP	–	–	–	–	–	–	–	–	–	–

１４.３.５９ Sub Address #51h/ アナログ設定２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#51h	(res)	AGC_OVF	ANG_GAIN_SET1[5:0]						7Fh

#51h/ bit[7] 未定義

"0"(初期値)を設定してください。

#51h/ bit[6] AGC_OVF、ADC オーバーフロー検出

アンプゲイン自動設定時、ADC のオーバーフロー検出を設定するレジスタです。
"1"設定時はオーバーフローを検出した時にアンプゲインを下げます。
同期信号のみ規格値に満たない映像信号の場合は"0"設定が有効です。

"0" : 検出しない
"1" : 検出する (default)

#51h/ bit[5:0] ANG_GAIN_SET1[5:0]、アナログアンプゲインのマニュアルセット

AMP1(CVBS1-4、GIN1-2)のアナログアンプゲインをマニュアルモードで設定する場合のゲイン設定です。

"11_1111" : 63 ゲイン最小 (default)
|
"00_0000" : 0 ゲイン最大

レジスタ #51/ANG_GAIN_SET1 [5:0]	倍率
11_1111	0.608
11_0001	0.758
10_0110	0.939
01_1101	1.168
01_0110	1.440
01_0000	1.800
00_1011	2.274
00_0111	2.880
00_0100	3.600
00_0010	4.320
00_0000	5.400

【注意】(アナログアンプゲインの倍率)＝ 504/(7×ANG_GAIN_SET1＋56)×0.6
倍率は設計値です。実際の倍率は内蔵アンプの特性により、
ゲインの設定が大きいほど上式からの誤差が生じます。

１４.３.６０ Sub Address #52h/ アナログ設定３ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#52h	(res)	CLP_CS[2:0]			(res)		CLP_VS[1:0]		44h

#52h/ bit[7] 未定義

“0”(初期値)を設定してください。

#52h/ bit[6:4] CLP_CS[2:0]、クランプ電流（UP 側）の微調整

AFE 特性表に記載しているクランプ電流:Iclp 設定です。
CLP_CS=“000”(0) ～“111”(7) 間で調整でき、CLP_CS=“100”(4)が初期設定です。
通常は初期状態で使用してください。

#52h/ bit[3:2] 未定義

“01”(初期値)を設定してください。

#52h/ bit[1:0] CLP_VS[1:0]、クランプ電圧の微調整

AFE 特性表に記載しているクランプ電圧:Vclp 設定です。
CLP_VS=“00”(0) ～“11”(3) 間で調整でき、CLP_VS=“00”(0)が初期設定です。
通常は初期状態で使用してください。

１４.３.６１ Sub Address #53h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#53h	(res)								00h

#53h/bit[7:0] 未定義
"00h"(初期値)を設定してください。

１４.３.６２ Sub Address #54h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#54h	(res)								04h

#54h/bit[7:0] 未定義
"04h"(初期値)を設定してください。

１４.３.６３ Sub Address #55h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#55h	(res)								F3h

#55h/bit[7:0] 未定義
"F3h"(初期値)を設定してください。

１４.３.６４ Sub Address #56h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#56h	(res)								00h

#56h/bit[7:0] 未定義
"00h"(初期値)を設定してください。

１４.３.６５ Sub Address #57h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#57h	(res)								00h

#57h/bit[7:0] 未定義
"00h"(初期値)を設定してください。

１４.３.６６ Sub Address #58h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#58h	(res)								00h

#58h/bit[7:0] 未定義
"00h"(初期値)を設定してください。

１４.３.６７ Sub Address #59h/ アナログ設定４ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#59h	(res)		ANG_GAIN_SET2[5:0]						3Fh

#59h/ bit[7:6] 未定義
"0"(初期値)を設定してください。

#59h/ bit[5:0] ANG_GAIN_SET2[5:0]、アナログアンプゲインのマニュアルセット
AMP2(CSYNC_A)のアナログアンプゲインをマニュアルモードで設定する場合のゲイン設定です。

"11_1111" : 63 ゲイン最小 (default)
|
"00_0000" : 0 ゲイン最大

レジスタ #59/ANG_GAIN_SET2 [5:0]	倍率
11_1111	0.608
11_0001	0.758
10_0110	0.939
01_1101	1.168
01_0110	1.440
01_0000	1.800
00_1011	2.274
00_0111	2.880
00_0100	3.600
00_0010	4.320
00_0000	5.400

【注意】(アナログアンプゲインの倍率)＝ 504/(7×ANG_GAIN_SET1＋56)×0.6
倍率は設計値です。実際の倍率は内蔵アンプの特性により、
ゲインの設定が大きいほど上式からの誤差が生じます。

１４.３.６８ Sub Address #5Ah/ アナログ設定５ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#5Ah	(res)		ANG_GAIN_SET3[5:0]						3Fh

#5Ah/ bit[7:6] 未定義

"0"(初期値)を設定してください。

#5Ah/ bit[5:0] ANG_GAIN_SET3[5:0]、アナログアンプゲインのマニュアルセット

AMP3(BIN1-2)のアナログアンプゲインをマニュアルモードで設定する場合のゲイン設定です。

"11_1111" : 63 ゲイン最小 (default)

|

"00_0000" : 0 ゲイン最大

レジスタ #51/ANG_GAIN_SET3 [5:0]	倍率
11_1111	0.608
11_0001	0.758
10_0110	0.939
01_1101	1.168
01_0110	1.440
01_0000	1.800
00_1011	2.274
00_0111	2.880
00_0100	3.600
00_0010	4.320
00_0000	5.400

【注意】(アナログアンプゲインの倍率)＝ 504/(7×ANG_GAIN_SET1＋56)×0.6
倍率は設計値です。実際の倍率は内蔵アンプの特性により、
ゲインの設定が大きいほど上式からの誤差が生じます。

１４.３.６９ Sub Address #5Bh/ アナログ設定６ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#5Bh	(res)		ANG_GAIN_SET4[5:0]						3Fh

#5Bh/ bit[7:6] 未定義

"0"(初期値)を設定してください。

#5Bh/ bit[5:0] ANG_GAIN_SET4[5:0]、アナログアンプゲインのマニュアルセット

AMP4(RIN1-2)のアナログアンプゲインをマニュアルモードで設定する場合のゲイン設定です。

"11_1111" : 63 ゲイン最小 (default)

|

"00_0000" : 0 ゲイン最大

レジスタ #5B/ANG_GAIN_SET4 [5:0]	倍率
11_1111	0.608
11_0001	0.758
10_0110	0.939
01_1101	1.168
01_0110	1.440
01_0000	1.800
00_1011	2.274
00_0111	2.880
00_0100	3.600
00_0010	4.320
00_0000	5.400

【注意】(アナログアンプゲインの倍率)＝ 504/(7×ANG_GAIN_SET1＋56)×0.6
倍率は設計値です。実際の倍率は内蔵アンプの特性により、
ゲインの設定が大きいほど上式からの誤差が生じます。

１４.３.７ O Sub Address #5Ch/ HPLL コントロール１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#5Ch	PLL_EN	PLL_ LKEN	SCFB_ SEL	PLL_LL_ SEL	PLL_ LK_TM	PLL_ PH_LMT	PLL_ LK_PRCT[1:0]		A0h

#5Ch/ bit[7] PLL_EN、PLL 動作選択

PLL 使用／未使用切り替え設定レジスタです。

“0”： 外部クロック / “1”： PLL クロック(default)

【注意】 外部クロックモードは 27MHz サンプリング動作のみ有効です。

#5Ch/ bit[6] PLL_LKEN、PLL クロック選択

PLL の動作モードの設定レジスタです。

“0”： ラインロッククロック方式(default) / “1”： PLL 固定クロック方式

#5Ch/ bit[5] SCFB_SEL、サブキャリアフィードバック選択

PLL 発振周波数に応じてカラーサブキャリアにフィードバックをかけるレジスタです。
カラーサブキャリア周波数が固定値でライン周波数が異なっている場合に”フィードバックあり”設定が有効です。
ラインロッククロック選択時(#5Ch[7]＝1、#5Ch[6]=1)に有効です。

“0”： フィードバックなし / “1”： フィードバックあり(default)

#5Ch/ bit[4] PLL_LL_SEL、弱電界時の PLL ラインロック制御選択

PLL のラインロックを OFF から ON へ制御するレジスタです。
ラインロッククロック選択時(#5Ch[7]＝1、#5Ch[6]=1)に有効です。

“0”： 1 ラインのピクセル数が頻繁に変化している場合にラインロック OFF (default)

“1”： 常時ラインロック動作

#5Ch/ bit[3] PLL_LK_TM、PLL のロック時間の選択

PLL のロック時間を選択します。Fast-lock mode では PLL の追従速度を早くすることができますが、
非標準信号を入力した場合、追従性が悪くなる場合があります。

“0”： Normal mode (default) / “1”： Fast-lock mode

#5Ch/ bit[2] PLL_PS_LMT、PLL の位相差リミッタを選択

PLL の位相差リミッタを選択します。通常はデフォルト設定でご使用ください。

“0”： リミッタ無し (default) / “1”： リミッタ有り

#5Ch/ bit[1:0] PLL_LK_PRCT[1:0]、 PLL のロック保護時間の選択

PLL がロックするまでの最大時間を設定します。PLL が設定されたフィールド数以内でロックしない場合、
PLL 固定クロックで動作します。

“00”： 32 フィールド (default)

“01”： 64 フィールド

“10”： 128 フィールド

“11”： 256 フィールド

１４.３.７１ Sub Address #5Dh/ HPLL コントロール２ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#5Dh	(res)	PLL_GAIN_S1[2:0]			(res)	PLL_GAIN_S2[2:0]			00h

#5Dh/ bit[7] 未定義
"0"(初期値)を設定してください。

#5Dh/ bit[6:4] PLL_GAIN_S1[2:0]、ロック開始時のゲイン粗調整
ロック開始時の PLL のフィードバックゲインを調整します。
PLL 動作の安定化に効果があります。

"011"： 8 倍
"010"： 4 倍
"001"： 2 倍
"000"： 1 倍 (default)
"111"： 1/2 倍
"110"： 1/4 倍
"101"： 1/8 倍
"100"： 未定義

#5Dh/ bit[3] 未定義
"0"(初期値)を設定してください。

#5Dh/ bit[2:0] PLL_GAIN_S2[2:0]、ロック開始時のゲイン微調整
ロック開始時の PLL のフィードバックゲインを微調整します。
PLL 動作の安定化に効果があります。

"011"： 1/8 倍
"010"： 1/16 倍
"001"： 1/32 倍
"000"： 1/64 倍 (default)
"111"： 1/128 倍
"110"： 1/256 倍
"101"： 1/512 倍
"100"： 未定義

１４.３.７２ Sub Address #60h/ VBID 検出コントロール (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#60h	VBID_DT	(res)							00h

#60h/ bit[7] VBID_DT、VBI 期間のデータ検出モード

VBI 期間のデータ検出を行う設定です。VBI データを検出する場合、“1”に設定してください。

“0”： 非検出 (default) / “1”： 検出

#60h/ bit[6:0] 未定義

“0”(初期値)を設定してください。

１４.３.７３ Sub Address #61h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#61h	(res)								86h

#61h/ bit[7:0] 未定義

“86h”(初期値)を設定してください。

１４.３.７４ Sub Address #62h/ Closed Caption 検出設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#62h	C.C_DT_LV[2:0]			C.C_ODT_LSET[4:0]					00h

#62h/ bit[7:5] C.C_DT_LV[2:0]、C.C. data 検出レベル

NTSC 信号の VBI 区間の特定ラインに書き込まれたクローズドキャプションデータを検出するレベルの設定です。
検出感度が悪いときに調整します。

“011”: 79IRE
“010”: 65IRE
“001”: 50IRE
“000”: 36IRE (default)
“111”: 22IRE
“110”: 0IRE
“101”: 0IRE
“100”: 0IRE

#62h/ bit[4:0] C.C_ODT_LSET[4:0]、C.C. data ODD 検出ライン設定

ODD フィールドクローズドキャプションデータ検出ラインの設定です。
通常はデフォルトラインに書き込まれています。

“0_1111”: +15 NTSC: 36 line / PAL: 37 line
|
“0_0001”: +1 NTSC: 22 line / PAL: 23 line
“0_0000”: 0 NTSC: 21 line / PAL: 22 line (default)
“1_1111”: -1 NTSC: 20 line / PAL: 21 line
|
“1_0000”: -16 NTSC: 5 line / PAL: 6 line

１４.３.７５ Sub Address #63h/ Closed Caption 検出設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#63h	(res)			C.C_EDT_LSET[4:0]					00h

#63h/ bit[7:5] 未定義

“0”(初期値)を設定してください。

#63h/ bit[4:0] C.C_EDT_LSET[4:0]、C.C. data EVEN 検出ライン設定

EVEN フィールドクローズドキャプションデータ検出ラインの設定です。
通常はデフォルトラインに書き込まれています。

“0_1111”: +15 NTSC: 36(299) line / PAL: 37(350) line
|
“0_0001”: +1 NTSC: 22(285) line / PAL: 23(336) line
“0_0000”: 0 NTSC: 21(284) line / PAL: 22(335) line (default)
“1_1111”: -1 NTSC: 20(283) line / PAL: 21(334) line
|
“1_0000”: -16 NTSC: 5(268) line / PAL: 6(319) line

１４.３.７６ Sub Address #64h/ CGMS 検出設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#64h	(res)			CGMS_DT_LV[2:0]			CGMS_ODT_LSET[1:0]		00h

【注意】 NTSC only

#64h/ bit[7:5] 未定義

"0"(初期値)を設定してください。

#64h/ bit[4:2] CGMS_DT_LV[2:0]、CGMS data 検出レベル

VBI 区間の特定ラインに書き込まれた CGMS データを検出するレベルの設定です。
検出感度が悪いときに調整します。

"011" : 79IRE
"010" : 65IRE
"001" : 50IRE
"000" : 36IRE (default)
"111" : 22IRE
"110" : 0IRE
"101" : 0IRE
"100" : 0IRE

#64h/ bit [1:0] CGMS_ODT_LSET[1:0]、CGMS data ODD 検出ライン設定

ODD フィールドの CGMS データ検出ラインの設定です。
通常はデフォルトラインに書き込まれています。

"01" : +1 NTSC: 21 line
"00" : 0 NTSC: 20 line (default)
"11" : -1 NTSC: 19 line
"10" : -2 NTSC: 18 line

１４.３.７７ Sub Address #65h/ CGMS 検出設定 2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#65h	(res)						CGMS_EDT_LSET[1:0]		00h

【注意】 NTSC only

#65h/ bit[7:2] 未定義

"0"(初期値)を設定してください。

#65h/ bit[1:0] CGMS_EDT_LSET[1:0]、CGMS data EVEN 検出ライン設定

EVEN フィールドの CGMS データ検出ラインの設定です。
通常はデフォルトラインに書き込まれています。

"01" : +1 NTSC: 284 line
"00" : 0 NTSC: 283 line (default)
"11" : -1 NTSC: 282 line
"10" : -2 NTSC: 281 line

１４.３.７８ Sub Address #66h/ VBI 非標準信号検出設定 1 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#66h	VBNS_DT_LV[2:0]			(res)					00h

#66h/ bit[7:5] VBNS_DT_LV[2:0]、VBI 非標準信号 検出レベル設定

VBI 区間の特定ラインに書き込まれた非標準信号を検出するレベルの設定です。
検出感度が悪いときに調整します。

“011”: 100IRE
“010”: 100IRE
“001”: 100IRE
“000”: 92IRE (default)
“111”: 74IRE
“110”: 57IRE
“101”: 39IRE
“100”: 22IRE

#66h/ bit[4:0] 未定義

“0” （初期値）を設定してください。

１４.３.７９ Sub Address #67h/ Reserved Register (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#67h	(res)								00h

#67h/ bit[7:0] 未定義

“00h”(初期値)を設定してください。

１４.３.８０ Sub Address #68h/ WSS Data 検出設定　(R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#68h	(res)			WSS_DT_LV[2:0]			WSS_ODT_LSET [1:0]		00h

【注意】PAL only

#68h/ bit[7:5] 未定義

"0"(初期値)を設定してください。

#68h/ bit[4:2] WSS_DT_LV[2:0]、WSS data 検出レベル設定

PAL 信号の VBI 区間の特定ラインに書き込まれた WSS データを検出するレベルの設定です。
検出感度が悪いときに調整します。

"011" : 79IRE
"010" : 65IRE
"001" : 50IRE
"000" : 36IRE (default)
"111" : 22IRE
"110" : 0IRE
"101" : 0IRE
"100" : 0IRE

#68h/ bit[1:0] WSS_ODT_LSET[1:0]、WSS data ODD 検出ライン設定

ODD フィールドの WSS データ検出ラインの設定です。
通常はデフォルトラインに書き込まれています。

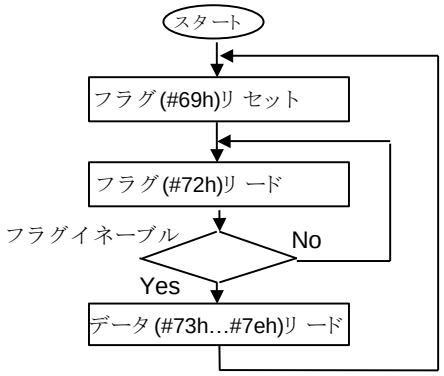
"01" : +1 NTSC: 24 line
"00" : 0 NTSC: 23 line (default)
"11" : -1 NTSC: 22 line
"10" : -2 NTSC: 21 line

１４.３.８１ Sub Address #69h/ VBID 検出リセットコントロール (W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#69h	(res)	RST_ C.C_O	RST_ C.C_E	RST_ CGMS_O	RST_ CGMS_E	(res)	(res)	RST_ WSS	00h

各 VBI データが検出されたか否かは、VBID フラグレジスタ(サブアドレス #72h)から読み出すことが出来ます。
ただし、一旦記憶した内容はこのレジスタからの指示がない限り消えることはありません。
なお、信号の状態や内容によっては検出できないこともあります。
以下に、VBID モジュールリードシーケンスの例を示します。

【注意】本検出機能を使用する場合、入力信号の状態によっては VBID 信号の有無、内容を誤って出力することがあります。本機能を安定してお使いいただくためには信号を数フィールドに渡って読み取り内容が安定していることをご確認の上検出データをご使用ください。



VBID モジュールリードシーケンスの例

<u>#69h/ bit[7] 未定義</u>
“0”を設定してください
<u>#69h/ bit[6] RST_C.C_O、C.C. data(odd field) のリセット要求</u>
“1”: Flag reset
<u>#69h/ bit[5] RST_C.C_E、C.C. data(even field) のリセット要求</u>
“1”: Flag reset
<u>#69h/ bit[4] RST_CGMS_O、CGMS data(odd field) のリセット要求</u>
“1”: Flag reset
<u>#69h/ bit[3] RST_CGMS_E、CGMS data(even field) のリセット要求</u>
“1”: Flag reset
<u>#69h/ bit[2] 未定義</u>
“0”を設定してください
<u>#69h/ bit[1] 未定義</u>
“0”を設定してください
<u>#69h/ bit[0] RST_WSS、WSS data のリセット要求</u>
“1”: Flag reset

１４.３.８２　Sub Address #70h/ ステータスレジスタ １　(R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#70h	(res)	(res)		ST_IFM_DET[4:0]					00h

#70h/ bit[7]　未定義
リード時は”不定”が読み出されます。

#70h/ bit[6:5]　未定義
リード時は”0”が読み出されます。

#70h/ bit[4:0] ST_IFM_DET[4:0]、入力フォーマットの自動判定結果の読み出し
入力映像信号の自動判定結果が読み出されます。

“00000”　:　NTSC-M
“00001”　:　NTSC-J
“00010”　:　NTSC 443
“00011”　:　PAL
“00100”　:　PAL-M
“00101”　:　PAL-N
“00110”　:　PAL-Nc
“00111”　:　PAL-60
“01000”　:　SECAM
“10000”　:　525i
“10001”　:　625i
“10010”　:　525p
“10011”　:　625p
“10100”　:　WVGA-33.231MHz
“10101”　:　WVGA-33.333MHz
“10110”　:　EGA-480
“10111”　:　EGA-400
“11000”　:　525p(サンプリング周波数設定モード)
上記以外　:　未定義

１４.３.８３ Sub Address #71h/ ステータスレジスタ 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#71h	ST_ NSCB_M2	ST_ NSCB_M1	ST_ SD_DT	ST_ VBID_DT	ST_ VTR_DT	ST_ AFC_MT	ST_ HLCK_DT	ST_ PLL_MD	00h

#71h/ bit[7] ST_NSCB_M2、非標準カラーバースト動作(モード 2)判定結果読み出し

"0" : 未検出 / "1" : 検出

#71h/ bit[6] ST_NSCB_M1、非標準カラーバースト動作(モード 1)判定結果読み出し

"0" : 未検出 / "1" : 検出

#71h/ bit[5] ST_SD_DT、SYNC 深さ検出

垂直ブランク期間の SYNC 深さと垂直有効期間の SYNC 深さに差があるかをモニタできます。

"0" : 未検出 / "1" : 検出

#71h/ bit[4] ST_VBID_DT、VBID データ検出

#72h/bit[7:0]の各 VBID フラグを検出したかをモニタできます。

"0" : 非検出 / "1" : 検出

#71h/ bit[3] ST_VTR_DT、VTR 検出モニタ

VTR 信号を検出したかをモニタできます。

"0" : 非検出 / "1" : 検出

#71h/ bit[2] ST_AFC_MT、AFC 動作モードモニタ

AFC が動作しているかをモニタできます。

"0" : 非動作 / "1" : 動作

#71h/ bit[1] ST_HLCK_DT、HLOCK 検出モニタ

4.5 項に記載されている HLOCK 判定条件に基づいた検出結果をモニタできます。

"0" : 非検出 / "1" : 検出

#71h/ bit[0] ST_PLL_MD、内蔵 HPLL 動作モード

内蔵 HPLL が、ラインロックで動作しているか、非同期サンプリングで動作しているか
モニタできます。

"0": 非同期サンプリング / "1" : ラインロック

１４.３.８４ Sub Address #72h/ VBID Flag Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#72h	VF_ NSCB	VF_ C.C_O	VF_ C.C_E	VF_ CGMS_O	VF_ CGMS_E	VF_ VBNS_O	VF_ VBNS_E	VF_ WSS	00h

VBID の検出結果、VBID データ読み出し可能フラグが読み出されます。
読み出し可能フラグが”1”の時、C.C、CGMS、WSS データを#73h～#7Eh で読み出し可能です。

#72h/ bit[7] VF_NSCB Non standard color burst detect
#72h/ bit[6] VF_C.C_O、C.C. data ready(odd field)
#72h/ bit[5] VF_C.C_E、C.C. data ready(even field)
#72h/ bit[4] VF_CGMS_O、CGMS data ready(odd field)
#72h/ bit[3] VF_CGMS_E、CGMS data ready(even field)
#72h/ bit[2] VF VBNS_O、VBI non standard signal detect(odd field)
#72h/ bit[1] VF VBNS_E、VBI non standard signal detect(even field)
#72h/ bit[0] VF_WSS、WSS data ready

１４.３.８５ Sub Address #73h/ C.C Data Buffer Register in ODD Field 0 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#73h	C.C_O_DT2[7:0]								00h

#73h/ bit[7:0] C.C_O_DT2[7:0]、character two b0..b6,p2
ODD クローズドキャプションデータ character 2 の値を読み出すことができます。

１４.３.８６ Sub Address #74h/ C.C Data Buffer Register in ODD Field 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#74h	C.C_O_DT1[7:0]								00h

#74h/ bit[7:0] C.C_O_DT1[7:0]、character one b0..b6,p1
ODD クローズドキャプションデータ character 1 の値を読み出すことができます。

１４.３.８７ Sub Address #75h/ C.C Data Buffer Register in EVEN Field 0 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#75h	C.C_E_DT2[7:0]								00h

#75h/ bit[7:0] C.C_E_DT2[7:0]、character two b0..b6,p2
EVEN クローズドキャプションデータ character 2 の値を読み出すことができます。

１４.３.８８ Sub Address #76h/ C.C Data Buffer Register in EVEN Field 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#76h	C.C_E_DT1[7:0]								00h

#76h/ bit[7:0] C.C_E_DT1[7:0]、character one b0..b6,p1
EVEN クローズドキャプションデータ character 1 の値を読み出すことができます。

１４.３.８９ Sub Address #77h/ CGMS Data Buffer Register in ODD Field 0 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#77h	CGMS_O_DT3[7:0]								00h

#77h/ bit[7:0] CGMS_O_DT3[7:0]、Bit 13..20

ODD CGMS データの Bit 13..20 の値を読み出すことができます。

１４.３.９０ Sub Address #78h/ CGMS Data Buffer Register in ODD Field 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#78h	CGMS_O_DT2[7:0]								00h

#78h/ bit[7:0] CGMS_O_DT2[7:0]、Bit 5..12

ODD CGMS データの Bit 5..12 の値を読み出すことができます。

１４.３.９１ Sub Address #79h/ CGMS Data Buffer Register in ODD Field 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#79h	CC_O_P1_ER	CC_O_P2_ER	(res)	CGMS_O_CRC_ER	CGMS_O_DT1[3:0]				00h

#79h/ bit[7] CC_O_P1_ER、C.C. ODD PTY1 エラー検出

ODD C.C.データ PTY1 のパリティエラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#79h/ bit[6] C.C_O_P2_ER、C.C. ODD PTY2 エラー検出

ODD C.C.データ PTY2 のパリティエラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#79h/ bit[5] 未定義

設定なし。リード時は”0”が読み出されます。

#79h/ bit[4] CGMS_O_CRC_ER、CGMS ODD CRC エラー検出

ODD CGMS データの CRC エラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#79h/ bit[3:0] CGMS_O_DT1[3:0]、Bit 1..4

ODD CGMS データの Bit 1..4 の値を読み出すことができます。

１４.３.９２ Sub Address #7Ah/ CGMS Data Buffer Register in EVEN Field 0 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Ah	CGMS_E_DT3[7:0]								00h

#7Ah/ bit[7:0] CGMS_E_DT3[7:0]、Bit 13..20

EVEN CGMS データの Bit 13..20 の値を読み出すことができます。

１４.３.９３ Sub Address #7Bh/ CGMS Data Buffer Register in EVEN Field 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Bh	CGMS_E_DT2[7:0]								00h

#7Bh/ bit[7:0] CGMS_E_DT2[7:0]、Bit 5..12

EVEN CGMS データの Bit 5..12 の値を読み出すことができます。

１４.３.９４ Sub Address #7Ch/ CGMS Data Buffer Register in EVEN Field 2 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Ch	CC_E_P1_ER	CC_E_P2_ER	(res)	CGMS_E_CRC_ER	CGMS_E_DT1[3:0]				00h

#7Ch/ bit[7] C.C_E_P1_ER、C.C. EVEN PTY1 エラー検出

EVEN C.C.データ PTY1 のパリティエラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#7Ch/ bit[6] C.C_E_P2_ER、C.C. EVEN PTY2 エラー検出

EVEN C.C.データ PTY2 のパリティエラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#7Ch/ bit[5] 未定義

設定なし。リード時は”0”が読み出されます。

#7Ch/ bit[4] CGMS_E_CRC_ER、CGMS EVEN CRC エラー検出

EVEN CGMS データの CRC エラー判定結果を読み出すことができます。

“0”： エラー無し / “1”： エラー有り

#7Ch/ bit[3:0] CGMS_E_DT1[7:0]、Bit 1..4

EVEN CGMS データの Bit 1..4 の値を読み出すことができます。

１４.３.９５ Sub Address #7Dh/ WSS Data Buffer Register 0 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Dh	WSS_DG2[1:0]		WSS_DG3[2:0]			WSS_DG4[2:0]			00h

#7Dh/ bit[7:6] WSS_DG2[1:0]、Group2 Bit 6, 7
#7Dh/ bit[5:3] WSS_DG3[2:0]、Group3 Bit 8, 9, 10
#7Dh/ bit[2:0] WSS_DG4[2:0]、Group4 Bit 11, 12, 13
WSS データの Bit 13..6 の値を読み出すことができます。

１４.３.９６ Sub Address #7Eh/ WSS Data Buffer Register 1 (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Eh	WSS_P_ER	(res)	WSS_DG1[3:0]				WSS_DG2[3:2]		00h

#7Eh/ bit[7] WSS_P_ER、WSS PTY エラー検出
WSS データのパリティエラー判定結果を読み出すことができます。
“0”： エラー無し / “1”： エラー有り

#7Eh/ bit[6] 未定義
設定なし。リード時は”0”が読み出されます。

#7Eh/ bit[5:2] WSS_DG1[3:0]、Group1 Bit 0, 1, 2, 3
#7Eh/ bit[1:0] WSS_DG2[3:2]、Group2 Bit 4, 5
WSS データの Bit 5..0 の値を読み出すことができます。

１４.３.９７ Sub Address #7Fh/ Copy guard status Register (R only)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#7Fh	NSS_D	VBNS_D	VBNS_OP	NSCB_OP	NSCB_MOD	(res)	CCOP[1:0]		00h

#7Fh/ bit[7] NSS_D、Non standard sync signal 検出

非標準 SYNC 信号検出結果を読み出すことができます。

“0”： 非検出 / “1”： 検出

#7Fh/ bit[6] VBNS_D、VBI non standard signal 検出

VBI 非標準信号検出結果を読み出すことができます。

“0”： 非検出 / “1”： 検出

#7Fh/ bit[5] VBNS_OP、VBI non standard operation 検出

VBI 非標準動作検出結果を読み出すことができます。

“0”： 非検出 / “1”： 検出

#7Fh/ bit[4] NSCB_OP、Non standard color burst operation 検出

非標準カラーバースト動作検出結果を読み出すことができます。

“0”： 非検出 / “1”： 検出

#7Fh/ bit[3] NSCB_MOD、Non standard color burst mode 検出

非標準カラーバースト動作検出時のモードを読み出すことができます。

“0”： モード１ / “1”： モード２

#7Fh/ bit[2] 未定義

設定なし。リード時は”0”が読み出されます。

#7Fh/ bit[1:0] CCOP[1:0]、Copy Control Operation 検出

コピーコントロールデータ(コピーガード検出結果)を読み出すことができます。

“00”： VBI 非標準動作、非標準カラーバースト動作非検出

“01”： VBI 非標準動作検出、非標準カラーバースト動作非検出

“10”： VBI 非標準動作検出、非標準カラーバースト動作モード１検出

“11”： VBI 非標準動作検出、非標準カラーバースト動作モード２検出

１４.３.９８ Sub Address #80h/ 割り込みマスク設定１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#80h	(res)	SD_ MSK	TVSYS_ MSK	VBID_ MSK	VTR_ MSK	AFC_ MSK	HLCK_ MSK	PLLMD_ MSK	FFh

#80h/ bit[7] 未定義

“1”を設定してください

#80h/ bit[6] SD_MSK、 SYNC 深さ検出割り込みマスク

SYNC 深さ検出割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり (default)

#80h/ bit[5] TVSYS_MSK、 入力ビデオフォーマット変更割り込みマスク

入力ビデオフォーマット変更検出割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

#80h/ bit[4] VBID_MSK、 VBID 検出割り込みマスク

VBID 検出割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

#80h/ bit[3] VTR_MSK、 VTR 検出割り込みマスク

VTR 検出割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

#80h/ bit[2] AFC_MSK、 AFC 動作状態変更割り込みマスク

AFC 動作状態変更割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

#80h/ bit[1] HLCK_MSK、 同期信号検出割り込みマスク

同期検出割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

#80h/ bit[1] PLLMD_MSK、 PLL ラインロック動作状態変更割り込みマスク

PLL ラインロック動作状態変更割り込み通知のマスク設定を行います。

“0” ： マスクなし / “1” ： マスクあり(default)

１４.３.９９ Sub Address #81h/ 割り込みステータス１ (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#81h	(res)	SD_INT	TVSYS_INT	VBID_INT	VTR_INT	AFC_INT	HLCK_INT	PLLMD_INT	00h

#81h/ bit[7] 未定義

リード時は”0”が読み出されます。

#81h/ bit[6] SD_INT、 SYNC 深さ検出割り込みステータス

SYNC 深さ検出割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[5] TVSYS_INT、 入力ビデオフォーマット変更割り込みステータス

入力ビデオフォーマット変更検出割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[4] VBID_INT、 VBID 検出割り込みステータス

VBID 検出割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[3] VTR_INT、 VTR 検出割り込みステータス

VTR 検出割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[2] AFC_INT、 AFC 動作状態変更割り込みステータス

AFC 動作状態変更割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[1] HLCK_INT、 同期信号検出割り込みステータス

同期検出割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

#81h/ bit[0] PLLMD_INT、 PLL ラインロック動作状態変更割り込みステータス

PLL ラインロック動作状態変更割り込み情報が読み出せます。書込み時は、割り込みをクリアします。

“0” ： 割り込み無し / “1” ： 割り込み有り（Write 時：割り込みクリア）

１４.３.１００ Sub Address #84h,#85h,#86h,#87h/ HPLL コントロール 3,4,5,6 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#84h	PLL_FREQ[7:0]								AAh
#85h	PLL_FREQ[15:8]								AAh
#86h	PLL_FREQ[23:16]								AAh
#87h	PLL_FREQ[31:24]								42h

#84h/bit[7:0],#85h/bit[7:0],#86h/bit[7:0],#87h/bit[7:0] PLL_FREQ[31:0]、PLL サンプリング周波数設定

サンプリングクロック(動作クロック)の周波数設定です。
WVGA2 モード(#00h[7:1]= 1010110)およびサンプリング周波数設定モード時(#00h[7:1]= 1100000)に有効です。
周波数設定値は下記の式で設定してください。

周波数設定値＝2^32×ｻﾝﾌﾟﾘﾝｸﾞｸﾛｯｸ周波数／(4×参照ｸﾛｯｸ周波数)
参照クロック周波数:XOSCI 端子から入力するクロック周波数

例 1:ｻﾝﾌﾟﾘﾝｸﾞｸﾛｯｸ周波数=33.33333333MHz、参照ｸﾛｯｸ周波数=32MHz
2^32×33.33333333MHz／(4×32MHz)≒1118481066＝42AAAAAAh

例 2:ｻﾝﾌﾟﾘﾝｸﾞｸﾛｯｸ周波数=25.175MHz、参照ｸﾛｯｸ周波数=32MHz
2^32×25.175MHz／(4×32MHz)≒844732825＝32599999h

１４.３.１０１ Sub Address #88h,#89h/ サンプリング周波数設定 コントロール 1,2 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#88h	SAMPLE_PIXEL[7:0]								00h
#89h	(res)					SAMPLE_PIXEL[10:8]			00h

#88h/ bit[7:0],#89h/ bit[2:0] SAMPLE PIXEL[10:0] １ラインピクセル数設定

サンプリング周波数設定モード時の 1 ライン総ピクセル数です。
“設定値+1”が 1 ライン総ピクセル数になります。
1 ライン総ピクセル数が偶数時のみ動作します。奇数を設定してください。
併せて#84h～#87h, #8Ah～#8Eh の設定が必要です。
1 ライン総ピクセル数は 576 ～ 1280 ピクセルまで対応可能です。

【注意】525 ラインのプログレッシブ入力にのみ有効です。
VVALID 期間は 525P 処理に準じます。(#1Dh/bit[7:0]によりライン調整可能です)

１４.３.１０２ Sub Address #8Ah/ サンプリング周波数設定 コントロール 3 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Ah	DEHST[7:0]								00h

#8Ah/ bit[7:0] DEHST[7:0] 水平有効開始位置設定

サンプリング周波数設定モード時の水平同期立下り位置からの水平有効開始位置設定です。
“設定値+1”が水平有効開始位置になります。
水平有効開始位置が偶数時のみ動作します。奇数を設定してください。

１４.３.１０３ Sub Address #8B,#8Ch/ サンプリング周波数設定 コントロール 4,5 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Bh	DEHWD[7:0]								00h
#8Ch	(res)					DEHWD[10:8]			00h

#8Bh/ bit[7:0], #8Ch/ bit[2:0] DEHWD[10:0] 水平有効期間設定

サンプリング周波数設定モード時の水平有効期間設定です。
“設定値+1”が水平有効期間になります。
水平有効期間が偶数時のみ動作します。奇数を設定してください。
(DEHST+1) + (DEHWD+1) ＜ (SAMPLE_PIXEL+1)の範囲で設定してください。

１４.３.１０４ Sub Address #8Dh/ サンプリング周波数設定 コントロール 6 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Dh	SYNCTIP[7:0]								00h

#8Dh/ bit[7:0] SYNCTIP[7:0] シンクチップ位置設定

サンプリング周波数設定モード時の水平同期立下り位置からのシンクチップ位置設定です。
“設定値+1”がシンクチップ位置になります。

【注意】 本レジスタは Sync On Y/G で AGC 処理を行う場合に有効です。

１４.３.１０５ Sub Address #8Eh/ サンプリング周波数設定 コントロール 7 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Eh	PEDESTAL[7:0]								00h

#8Eh/ bit[7:0] PEDESTAL[7:0] ペデスタル位置設定

サンプリング周波数設定モード時のペデスタル位置設定です。
“設定値+1”がペデスタル位置になります。
ペデスタル位置から 16 ピクセルの期間で入力信号の黒レベルを検出し、
AGC ゲイン、ペデスタルレベル調整を行います。
有効映像期間、または水平同期期間とオーバーラップしないように設定してください。

【注意】 本レジスタは Sync On Y/G で AGC 処理を行う場合に有効です。

１４.３.１０６ Sub Address #8Fh/ リファレンスクロック設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#8Fh	(res)							OSCSEL	00h

#8Fh/ bit[0] OSC SEL リファレンスクロック選択

PLL 使用時の基準クロックの設定です。

“0” : 32.000MHz (default)

“1” : 25.000MHz

１４.３.１０７ Sub Address #FFh/ パワーダウン、レジスタアクセス動作設定 (R/W)

アドレス	bit[7]	bit[6]	bit[5]	bit[4]	bit[3]	bit[2]	bit[1]	bit[0]	初期値
#FFh	(res)			PDEN	(res)	ISAM	ICYC[1:0]		00h

#FFh/ bit[7:5] 未定義

"00"(初期値)を設定して下さい

#FFh/ bit[4] PDEN、パワーダウン設定

内部動作を最小限にし、パワーダウンを行います。 PDEN="1"時は、同期信号、データ出力も停止します。

"0"：通常動作 (default) / "1"：パワーダウンモード

#FFh/ bit[3] 未定義

"0"を設定して下さい。

#FFh/ bit[2] ISAM、I2C バス　アドレッシングモードの選択

ISAM = "0" はアドレスインクリメントモードで、初期状態はこのモードです。データを複数個、連続アクセスすると、レジスタアドレスは指定したレジスタ先頭アドレスから順にインクリメントします。レジスタの連続アドレス領域をアクセスするのに便利です。

ISAM = "1"は、アドレス循環モードです。ICYC レジスタの設定により、レジスタ先頭アドレスから1～4個のアドレス間を循環してアクセスできます。 同じアドレスに連続したアクセスや(ICYC = "00")、3～4アドレスを繰り返しアクセスする場合に便利です。

"0"：アドレスインクリメントモード (default) / "1"：アドレス循環モード

#FFh/ bit[1:0] ICYC、アドレス循環モード時の循環範囲

bit[4] ISAM = "1" 設定時のアドレス循環範囲の設定を行います。

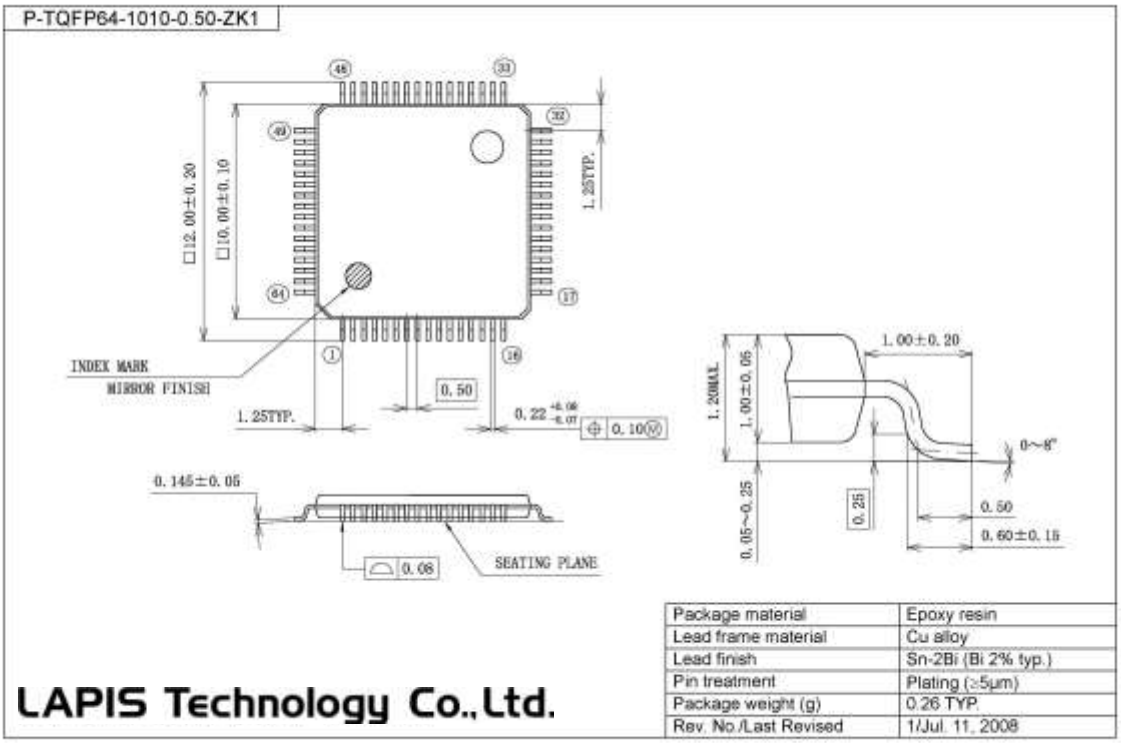
"00"：先頭アドレスのみ循環 (default)
"01"：先頭アドレスと (先頭アドレス + 1) を循環
"10"：先頭アドレスと (先頭アドレス + 2) までを循環
"11"：先頭アドレスと (先頭アドレス + 3) までを循環

【循環モード例】サブアドレスに#02h を書込み、アドレス循環モード(ISAM=1)で動作させた場合

Start Condition	Slave address	Sub address	DATA 1	DATA 2	DATA 3	DATA 4	DATA 5	----------
	ICYC="00"時	02h	(02h)	(02h)	(02h)	(02h)	(02h)	----------
	ICYC="01"時	02h	(02h)	(03h)	(02h)	(03h)	(02h)	----------
	ICYC="10"時	02h	(02h)	(03h)	(04h)	(02h)	(03h)	----------
	ICYC="11"時	02h	(02h)	(03h)	(04h)	(05h)	(02h)	----------

■ パッケージ寸法図

［単位：mm］



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

［ご使用上の注意］

ML86V7675 のアナログ入力部は、標準映像信号を基準にして開発しております。非標準映像信号においても安定した動作が得られるよう改良を行っておりますが、弱電界地域の放送波受信信号やVTR 再生信号、信号源の切り替えを伴う映像信号、ノイズの混入した信号、各種カメラやゲーム機の簡易ビデオ信号など、信号状態や使用環境にはさまざまな状況があり、すべての信号で安定動作が確認されているものではございません。

ご採用にあたりましては、想定される信号状態・ご使用環境にて、ユーザ様側で充分なご評価・ご検討をお願い致します。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL86V7675-01	2011.07.21	–	114	正式初版発行
FJDL86V7675-02	2011.10.17	114	114	社名、ロゴ変更
FJDL86V7675-03	2013.01.15	114	116	サンプリング周波数可変モード説明追加 （機能説明 5.5 項、 レジスタ説明#00h、#70h、#84h～#8Eh）
FJDL86V7675-04	2024.02.16	116	116	P2 用途、ラインアップ追加 P20 ラインナンバー修正

ご注意

1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格(*1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格 ： 瞬時たりとも超過してはならない限界値となります。

2) 本資料に掲載されております製品は、耐放射線設計がなされておりません。

3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。

4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、 当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。

5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。

6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。

7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。

8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。

9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。

10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2011 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社
〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
https://www.lapis-tech.com

LTSZ08023・01・002