



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.
October 1, 2020

ML7630

13.56MHz ワイヤレス給電用受電 LSI

■ 概要

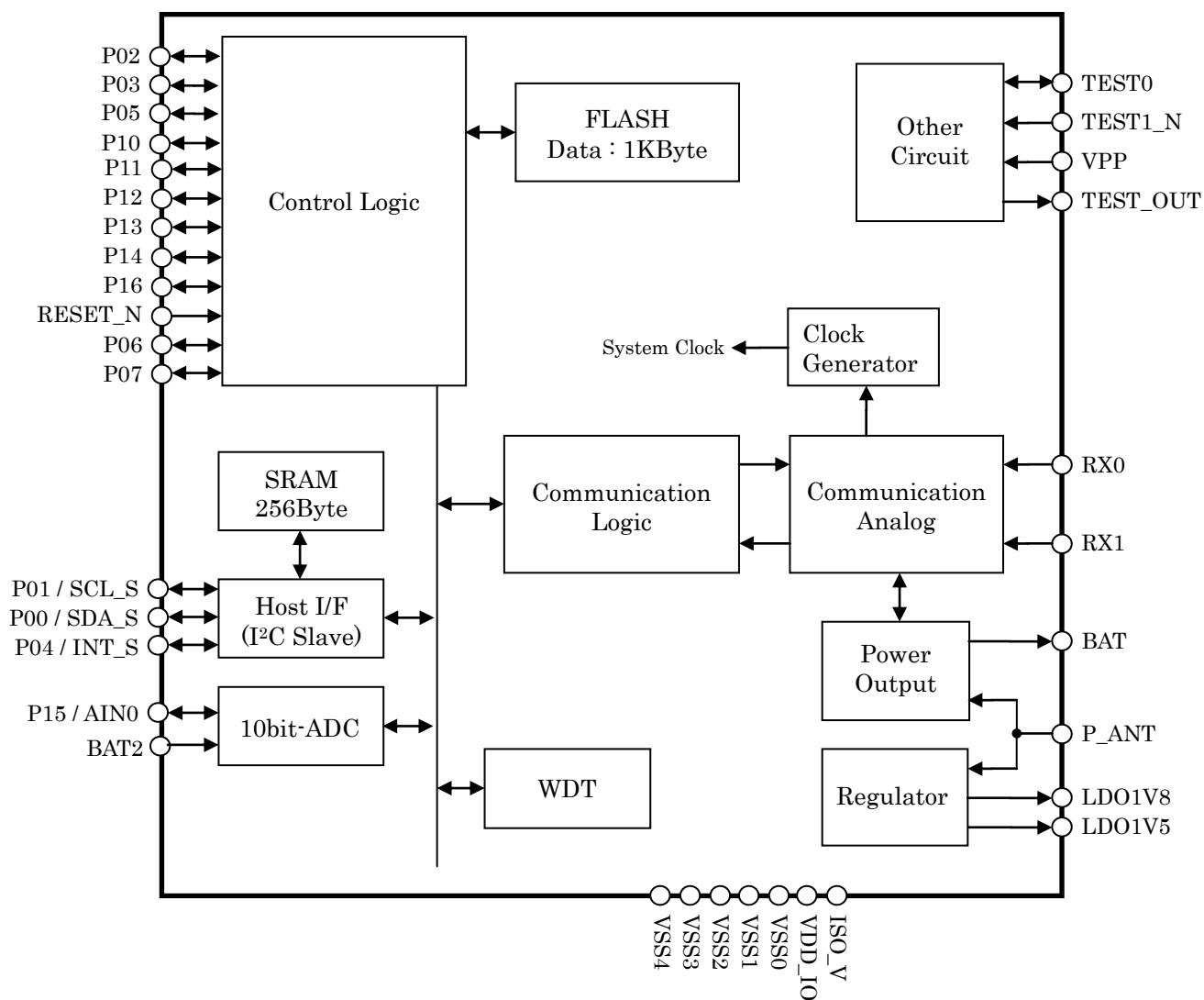
ML7630 は 13.56MHz ワイヤレス給電用受電デバイスです。ML7630 は送電側デバイス ML7631 と組み合わせることでワイヤレス給電システムを実現し、200mW の充電出力が可能です。

ML7630 は電圧電流制御が可能な充電制御 LDO、充電状態やサーミスタで電池温度を測定するための 10bit SA-ADC、充電制御機能など充電に必要な機能を 2.59mm 角の WL-CSP チップに搭載しており、ヘッドセットやイヤークリップなどの小型ウェアラブルデバイスのワイヤレス給電に最適な LSI となっています。また NFC Forum Type 3 Tag 機能を搭載し、タッチによる Bluetooth® のペアリングなどの NFC 機能を実現することができます。

■ 特長

- 充電制御 LDO
 - 充電出力回路内蔵
出力電圧設定と電流制限機能を内蔵
200mW 充電出力
 - ソフトウェア制御とハードウェア制御による異常検知機能(温度異常)
 - 送電側への異常通知機能
- NFC 通信制御
 - NFC Forum Type3 TAG 機能搭載
 - 通信速度 : 212kbps (13.56MHz/64)
 - TAG データ格納用 1Kbyte Data Flash
- ホストインタフェース(I²C スレーブ)
 - 標準モード(100kbit/s)、ファーストモード(400kbit/s)対応
 - ホストマイコンからアクセス可能なレジスタ機能
- 汎用ポート(PORT)
 - 入出力ポート×15ch
- 逐次比較型 A/D コンバータ(SA-ADC)
 - 分解能 10ビット
- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - WDT オーバーフローによるリセット
- クロック
 - 低速側クロック
内蔵 RC 発振(32.768kHz)
 - 高速側クロック
RX0/RX1 アンテナ入力(13.56MHz)
- パッケージ
 - WL-CSP34pin

■ ブロック図



■ 端子配置

(Top View)

P_ANT	TEST0	P03	RESET_N	P07	P10	A
RX1		TEST1_N	P05	P06	P13	B
RX0	VSS3		P02	TEST_OUT	VSS1	C
BAT2	BAT	P01 / SCL_S	VPP	P12	VSS0	D
LDO1V8	LDO1V5	P00 / SDA_S	P11	P14	VDD_IO	E
VSS4	ISO_V	VSS2	P04 / INT_S	P15 / AIN0	P16	F
1	2	3	4	5	6	

(Bottom View)

P16	VDD_IO	VSS0	VSS1	P13	P10	6
P15 / AIN0	P14	P12	TEST_OUT	P06	P07	5
P04 / INT_S	P11	VPP	P02	P05	RESET_N	4
VSS2	P00 / SDA_S	P01 / SCL_S		TEST1_N	P03	3
ISO_V	LDO1V5	BAT	VSS3		TEST0	2
VSS4	LDO1V8	BAT2	RX0	RX1	P_ANT	1
F	E	D	C	B	A	

■ 端子説明

● 電源・グランド・リファレンス電圧端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	Active Level	端子機能	未使用時の処理
D6	VSS0	—	—	—	グランド	—
C6	VSS1					
F3	VSS2					
C2	VSS3					
F1	VSS4					
E6	VDD_IO	—	—	—	ロジック IO 電源	—
E2	LDO1V5	H(A)	OA	—	コア用 1.5V 電源出力	—
E1	LDO1V8	H(A)	OA	—	ADC 用 1.8V 電源出力	—
A1	P_ANT	—	—	—	整流入力	—
F2	ISO_V	—	—	—	ロジック IO 電源(ホスト通信用)	—
D2	BAT	Z	OA	—	充電電圧出力	—
D1	BAT2	—	IA	—	電池電圧観測/Flash 書き込み電源	GND

● アナログ信号端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	Active Level	端子機能	未使用時の処理
C1	RX0	—	IA	—	磁界(プラス側) / データ受信	—
B1	RX1	—	IA	—	磁界(マイナス側) / データ受信	—

● リセット端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
A4	RESET_N	PU	I	VDD_IO	L	リセット端子	オープン

● 汎用端子

FW Ver.によって設定が異なるため、詳細はアプリケーションノートをご参照ください。

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能
E3	P00 / SDA_S	Z	I/O	ISO_V	—	入出力ポート HostIF(I ² C スレーブ) データ入出力
D3	P01 / SCL_S	Z	I/O	ISO_V	—	入出力ポート HostIF(I ² C スレーブ) クロック入力
C4	P02	Z	I/O	VDD_IO	—	入出力ポート
A3	P03	Z	I/O	VDD_IO	—	入出力ポート
F4	P04 / INT_S	Z	I/O	ISO_V	—	入出力ポート HostIF INT 出力
B4	P05	Z	I/O	VDD_IO	—	入出力ポート
B5	P06	Z	I _{DA} /O	VDD_IO	—	入出力ポート
A5	P07	Z	I _{DA} /O	VDD_IO	—	入出力ポート
A6	P10	Z	I/O	VDD_IO	—	入出力ポート
E4	P11	Z	I/O	ISO_V	—	入出力ポート
D5	P12	Z	I/O	ISO_V	—	入出力ポート
B6	P13	Z	I/O	VDD_IO	—	入出力ポート
E5	P14	Z	I/O	VDD_IO	—	入出力ポート
F5	P15 / AIN0	Z	I _{DA} /O	VDD_IO	—	入出力ポート/AD 入力
F6	P16	Z	I/O	VDD_IO	—	入出力ポート

● テスト端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
A2	TEST0	PD	I/O	VDD_IO	H	テスト用/デバッグ用端子	オープン
B3	TEST1_N	PU	I	VDD_IO	L	テスト用/デバッグ用端子	オープン
D4	VPP	—	IA	—	—	Flash テスト用電源端子	オープン
C5	TEST_OUT	L(A)	O	VDD_IO	—	テスト出力端子	オープン

(※1) リセット時 : リセット状態で記載する状態を表しています。

リセット時 端子状態定義	L(O)	: 出力状態かつ”L”レベル出力
	H(O)	: 出力状態かつ”H”レベル出力
	L(A)	: アナログ L レベル出力
	H(A)	: アナログ H レベル出力
	PU	: Pull-Up
	PD	: Pull-Down
	Z	: フローティング状態

(※2) I/O : I/O 定義に関しましては、下記の略称を使用しております。

I/O 定義	IA	: アナログ入力端子
	OA	: アナログ出力端子
	I	: デジタル入力端子
	I/O	: 双方向端子
	IDA/O	: 双方向端子、入力はデジタルとアナログ共用
	O	: デジタル出力端子

■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	VDD_IO	Ta=25°C	-0.3~+6.5	V
	ISO_V	Ta=25°C	-0.3~+6.5	V
	P_ANT	Ta=25°C	-0.3~+6.5	V
	BAT2	Ta=25°C	-0.3~+6.5	V
コア電源電圧	LDO1V5	Ta=25°C	-0.3~+2.0	V
アナログ電源電圧	LDO1V8	Ta=25°C	-0.3~+6.5	V
入力電圧	VDIN	Ta=25°C、デジタルポート	-0.3~V _{DD} +0.3	V
		Ta=25°C、RX0/RX1	12	V
入力電流	Ii	Ta=25°C、デジタルポート	-10~+10	mA
	I _{P_ANT}	Ta=25°C	100	mA
出力電圧	VDO	Ta=25°C、デジタルポート	-0.3~V _{DD} +0.3	V
デジタル出力電流	I _{DO}	Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	0.9	W
保存温度	T _{stg}	—	-55~+150	°C

V_{DD}: VDD_IO 系の端子は VDD_IO 電圧、ISO_V 系の端子は ISO_V 電圧

● 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
動作電圧	VDD_IO	—	1.8	—	5.5	V
	ISO_V	—	1.8	—	5.5	V
	P_ANT	通信時	2.0	5.0	5.5	V
		充電時	—	—	5.5	V
入力電流	P_ANT	通信時	0.5	—	—	mA
		充電時	—	—	80	mA
動作温度	T _{a1}	通信時	-40	+25	+85	°C
	T _{a2}	充電時	-10	+25	+50	°C
LDO1V5 外付けキャパシタ	C _{LDO1V5}	—	Typ -10%	2.2	Typ +10%	μF
P_ANT 外付けキャパシタ	C _{PANT}	—	Typ -10%	2.2	Typ +10%	μF
LDO1V8 外付けキャパシタ	C _{LDO1V8}	—	Typ -10%	0.47	Typ +10%	μF
VDD_IO 外付けキャパシタ	C _{VDDIO}	—	Typ -10%	0.1	Typ +10%	μF
ISO_V 外付けキャパシタ	C _{ISOV}	—	Typ -10%	0.1	Typ +10%	μF
アンテナ入力周波数	F _{ANT}	—	Typ -0.05%	13.56	Typ +0.05%	MHz

● フラッシュメモリ動作条件

項目	記号	条件	範囲	単位
動作温度(周囲)	T _{OP}	書き込み／消去時	-20 to +60	°C
動作電圧	P_ANT	書き込み／消去時	2.7 to 5.5	V
書き換え回数	C _{EPD}	—	10,000	回
消去単位	—	セクタ消去	1	KB
消去時間(最大)	—	セクタ消去	100	ms
書き込み単位	—	—	1 word (2 byte)	—

● RF 特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
入力レベル	V _{RX1}	RX0/RX1	2.0	—	5.5	V
入力データ振幅	V _{RX2}	RX0/RX1	50	—	—	mV
通信速度	F _{RX}	RX0/RX1		212		kbps
負荷変調抵抗	R _{MODR}	RX0/RX1	105	—	220	Ω

● 給電特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
BAT 端子出力電圧	V _{BAT}	無負荷時	—	5.0	—	V
BAT 端子出力負荷特性	V _{BAT_LOAD}	45mA 負荷時	V _{BAT} -0.5	—	—	V

BAT 端子出力電圧の設定方法についてはアプリケーションノートをご参照ください。

● 通知特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
P_ANT 入力リミッタ	V _{PANT1}	通常時	—	—	5.5	V
	V _{PANT2}	異常通知時	—	3.0	—	V

● 発振特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V)

項目	記号	条件	最小	標準	最大	単位
低速内蔵 RC 発振周波数 ^{*1}	f _{LCR}		-5%	32.768	+5%	kHz

*1: 1024 サイクルの平均値です。

● SA-ADC 特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
分解能	n	—	—	10	—	bit
積分非直線性誤差	INL	LDO1V8=1.8V	-6	—	+6	LSB
微分非直線性誤差	DNL	LDO1V8=1.8V	-6	—	+6	LSB
ゼロスケール誤差	ZSE	—	-6	—	+6	LSB
フルスケール誤差	FSE	—	-6	—	+6	LSB
入力インピーダンス	RI	—	—	6k	—	Ω
SA-ADC 基準電位	V _{REF}	LDO1V8=V _{REF}	—	1.8	—	V

● リセット特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
RESET_N パルス幅	P _{RST}	—	200	—	—	μs
RESET_N ノイズ除去パルス幅	P _{NRST}	—	—	—	0.3	μs

● 交流特性 (I²C Bus Interface: Standard Mode 100 kHz)

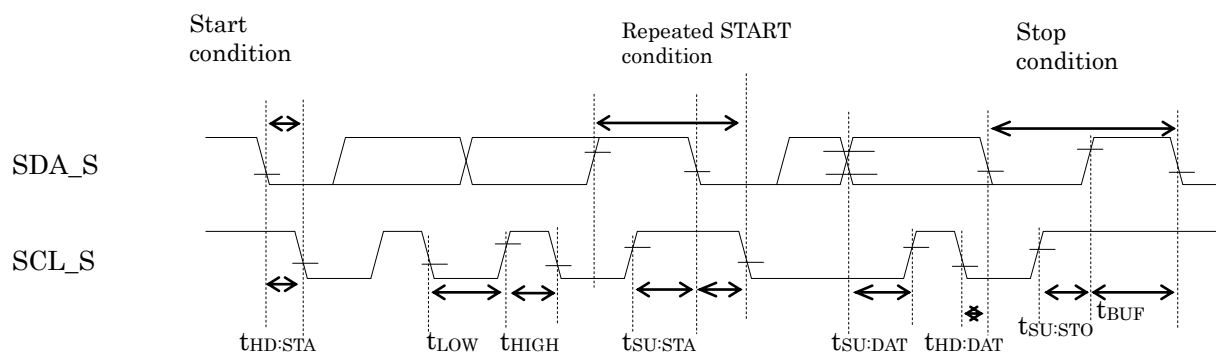
(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL_S clock frequency	f _{SCL}	—	—	—	100	kHz
SCL_S hold time (start/repeated start condition)	t _{HD:STA}	—	4.0	—	—	μs
SCL_S "L" level time	t _{LOW}	—	4.7	—	—	μs
SCL_S "H" level time	t _{HIGH}	—	4.0	—	—	μs
SCL_S setup time (repeated start condition)	t _{SU:STA}	—	4.7	—	—	μs
SDA_S hold time	t _{HD:DAT}	—	0	—	—	μs
SDA_S setup time	t _{SU:DAT}	—	0.25	—	—	μs
SDA_S setup time (P: Stop condition)	t _{SU:STO}	—	4.0	—	—	μs
Bus free time	t _{BUF}	—	4.7	—	—	μs

● 交流特性 (I²C Bus Interface: Fast Mode 400 kHz)

(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL_S clock frequency	f _{SCL}	—	—	—	400	kHz
SCL_S hold time (start/repeated start condition)	t _{HD:STA}	—	0.6	—	—	μs
SCL_S "L" level time	t _{LOW}	—	1.3	—	—	μs
SCL_S "H" level time	t _{HIGH}	—	0.6	—	—	μs
SCL_S setup time (repeated start condition)	t _{SU:STA}	—	0.6	—	—	μs
SDA_S hold time	t _{HD:DAT}	—	0	—	—	μs
SDA_S setup time	t _{SU:DAT}	—	0.1	—	—	μs
SDA_S setup time (P: Stop condition)	t _{SU:STO}	—	0.6	—	—	μs
Bus free time	t _{BUF}	—	1.3	—	—	μs



I²C スレーブは他のデバイスと共通の I²C バスに接続する場合、他のデバイスの通信を阻害する恐れがございますので、本 LSI の ISO_V 電源を落とさないようにしてください。磁界による P_ANT 電源がない場合でも ISO_V 電源を印加していれば、Hi-z 状態を維持します。

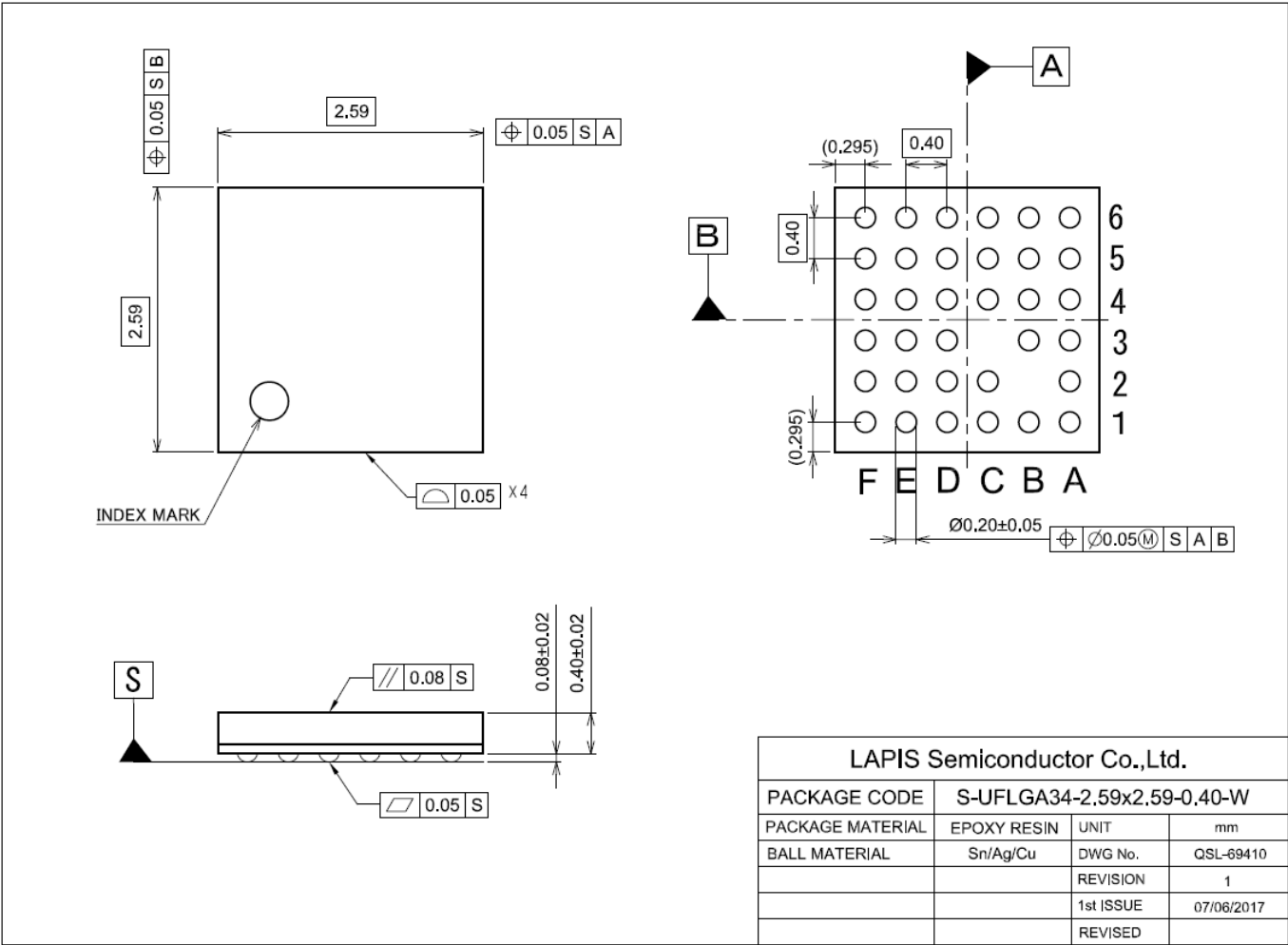
● IO 特性

(特に指定のない場合は、VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
出力電圧 1 (P00-P07, P10-P16)	VOH1	IOH=-1.0mA	V _{DD} -0.5	—	—	V
	VOL1	IOL=+0.5mA	—	—	0.4	V
出力電圧 2 (P00-P07, P10-P16) (LED 端子)	VOL2	2.7V ≤ V _{DD} ≤ 5.5V IOL=+5.0mA	—	—	0.6	V
		IOL=+2.0mA	—	—	0.4	V
出力電圧 3 (SCL_S, SDA_S) (I ² C 端子)	VOL3	IOL3= +3mA (I ² Cspec) (VDD_IO ≥ 2V, ISO_V ≥ 2V)	—	—	0.4	V
出力電圧 4 (SCL_S, SDA_S) (I ² C 端子)	VOL4	IOL4= +2mA (I ² Cspec) (VDD_IO < 2V, ISO_V < 2V)	—	—	V _{DD} ×0.2	V
出力リーク 1 (P00-P07, P10-P16, SCL_S, SDA_S)	IOOH1	VOH=V _{DD} (at high impedance)	—	—	1	μA
	IOOL1	VOL=VSS (at high impedance)	-1	—	—	μA
入力電流 1 (RESET_N, TEST1_N)	IIH1	VIH1=V _{DD}	—	—	1	μA
	IIL1	VIL1=VSS	-900	-300	-20	μA
入力電流 2 (TEST0)	IIH2	VIH2=V _{DD}	20	300	900	μA
	IIL2	VIL2=VSS	-1	—	—	μA
入力電流 3 (P00-P07, P10-P16)	IIH3	VIH3=V _{DD} (プルダウン時)	1	15	200	μA
	IIL3	VIL3=VSS (プルアップ時)	-200	-15	-1	μA
	IIH3Z	VIH3=V _{DD} (at high impedance)	—	—	1	μA
	IIL3Z	VIL3=VSS (at high impedance)	-1	—	—	μA
入力電圧 1 (RESET_N, TEST0, TEST1_N, P00-P07, P10-P16)	VIH1	—	0.7×V _{DD}	—	V _{DD}	V
	VIL1	—	0	—	0.3×V _{DD}	V
入力端子容量 (RESET_N, TEST0, TEST1_N, P00-P07, P10-P16)	CIN	f=10kHz Vrms=50mV Ta=25°C	—	10	—	pF
リーク電流	I _{ISOV}	ISO_V 端子に電位供給し、 磁界入力無し時の端子リーク	—	100	—	nA

V_{DD}: VDD_IO 系の端子は VDD_IO 電圧、ISO_V 系の端子は ISO_V 電圧
標準値は Ta=25°C, VDD_IO=3.0V のとき

■ パッケージ寸法図



■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
PJDL7630-01	2016.09.27	—	—	暫定初版発行
FJDL7630-01	2018.03.23	—	—	正式初版発行
FJDL7630-02	2019.01.15	9	9	IO 端子の説明を修正
	2019.11.18	1 2 3 4	1 2 3 4	未使用ブロックの削除
		4 5	4 5	リセット端子追加 その他の端子を汎用端子に変更 汎用端子はアプリケーションノート参照の注記追加
		11 12	-	サンプル回路例の削除 (FW に依存するためアプリケーションノートへ記載)
		3	3	TOP VIEW を追加
		4	4	BAT2 の未使用時の処理を追記
		2	2	BAT2 の接続先を ADC に変更
		7	7	BAT 出力電圧の説明を修正

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器(車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2016-2019 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>