お客様各位

資料中の「ラピステクノロジー」等名称の
ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

２０２４年４月１日
ローム株式会社

ML7651

13.56MHz ワイヤレス給電送電 LSI

1. 概要

ML7651 は 13.56MHz ワイヤレス給電送電 LSI です。ML7651 はワイヤレス給電受電 LSI ML7650 と組み合わせることでワイヤレス給電システムを実現し、最大 3W の送電出力が可能です。
ML7661 は ML7660 と通信するための通信コマンド生成機能、1W を給電するための外付けトランジスタの制御機能、送電電力を最適化するために送電量を可変に制御する機能および ML7660 の着脱や給電中の異物検知機能などのワイヤレス給電用送電機能を 6mm 角の 40 ピン WQFN パッケージに搭載しており、小型機器のワイヤレス給電に最適な LSI となっています。また、動作電圧を 5V としており、モバイルバッテリなど USB 電源からの駆動が可能です。更にホストインタフェース(SPI/I²C スレーブ)機能を搭載しており、外部マイコンからのコンフィグレーションデータ更新や制御が可能です。

2. 特長

- 給電制御
  - 13.56MHz 電力伝送制御回路内蔵
    3W 送電用トランジスタ制御出力
  - ソフトウェア制御とハードウェア制御による異常検知機能

- 通信制御
  - ML7650 との通信用コマンド生成機能搭載
  - 通信速度 : 212kbps, 424kbps
  - ユーザデータ格納用 2Kbyte Data Flash

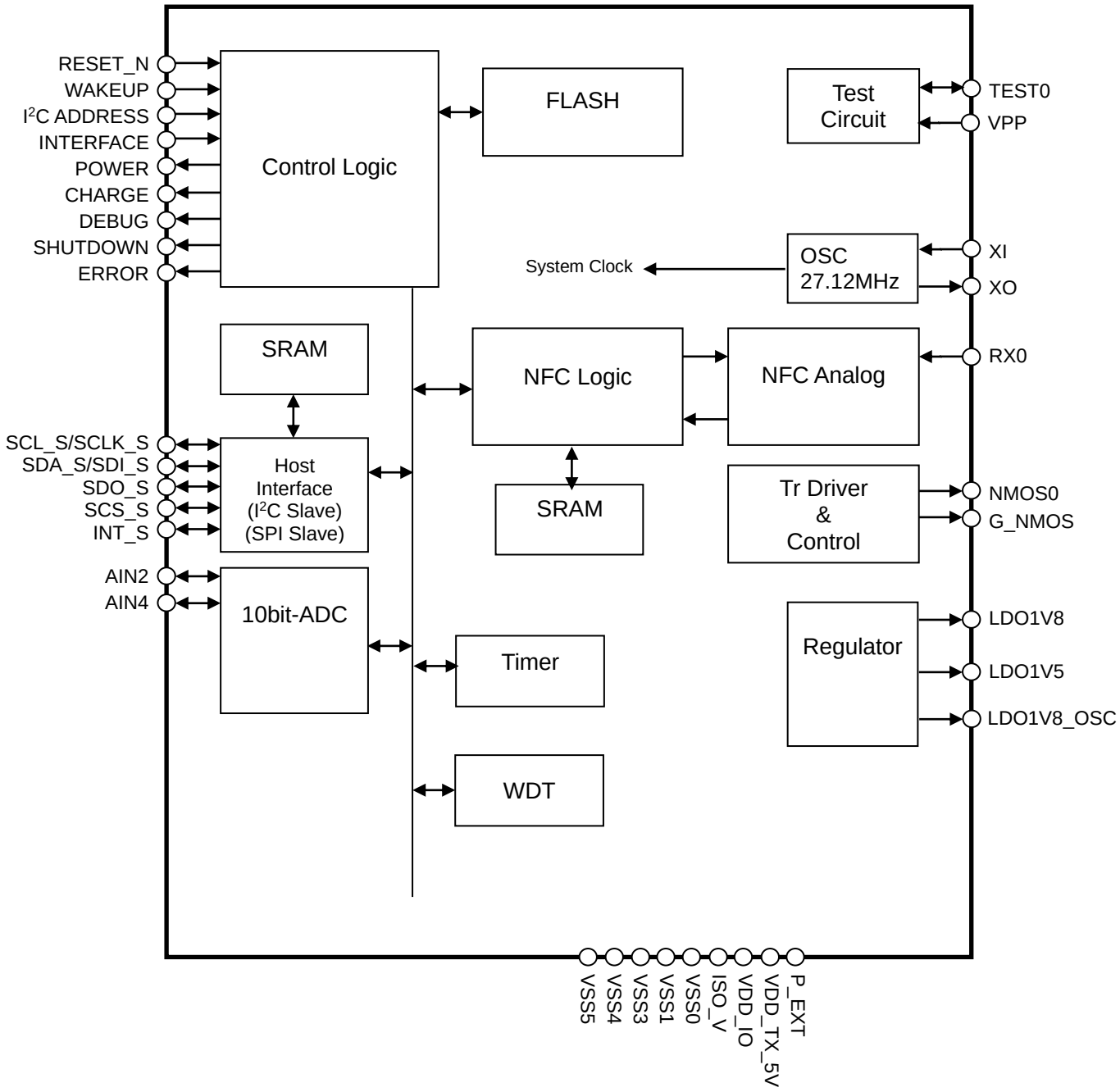
- ホストインターフェース
  - 1ch のスレーブ機能をもったシリアルインターフェース(SPI と I²C の選択可)

- パッケージ
  - WQFN40 ピン(P-WQFN40-0606-0.50-63)

- 製品名
  ML7651-F00GD (WQFN)

- 用途
  NFC 充電デバイス
  ・スマートウォッチ、フィットネス・トラッカー、スマートリストバンド
  ・スマートリング
  ・スマートグラス
  ・ワイヤレス・イヤホン、補聴器
  ・スタイラスペン、ワイヤレス・マウス、ワイヤレス・キーボード
  ・電動歯ブラシ
  ・美容家電
  ・パーソナル・ヘルスケア端末
  ・バッテリパック

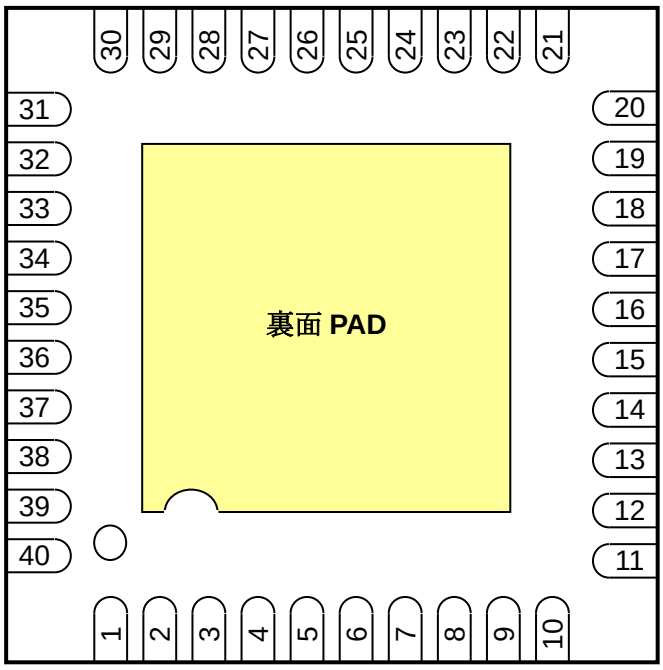
3. ブロック図


RESET_N
WAKEUP
I2C ADDRESS
INTERFACE
POWER
CHARGE
DEBUG
SHUTDOWN
ERROR
Control Logic
FLASH
Test Circuit
TEST0
VPP
System Clock
OSC 27.12MHz
XI
XO
SRAM
NFC Logic
NFC Analog
RX0
SCL_S/SCLK_S
SDA_S/SDI_S
SDO_S
SCS_S
INT_S
Host Interface (I2C Slave) (SPI Slave)
SRAM
Tr Driver & Control
NMOS0
G_NMOS
AIN2
AIN4
10bit-ADC
Timer
Regulator
LDO1V8
LDO1V5
LDO1V8_OSC
WDT
VSS5
VSS4
VSS3
VSS1
VSS0
ISO_V
VDD_IO
VDD_TX_5V
P_EXT

4. 端子配置/端子一覧

40 ピン WQFN

TOP VIEW



ご注意：中央の四角はパッケージ裏側の PAD です（裏面 PAD）。
裏面 PAD は基板の GND に接続してください。

5. 端子説明

5.1 電源・グランド・リファレンス電圧端子

PIN No.	端子名称	リセット時(※1)	I/O (※2)	Active Level	端子機能	未使用時の処理
15	VSS0	ー	ー	ー	グランド (VSS0～VSS5 は LSI 内部で接続されています)	ー
16	VSS1					
29	VSS3					
36	VSS4					
12	VSS5					
17	VDD_IO	ー	ー	ー	ロジック IO 電源	ー
34	LDO1V5	H(A)	OA	ー	内蔵 LDO デカップリングキャパシタ接続端子 (コア用 1.5V 電源)	ー
35	LDO1V8	H(A)	OA	ー	内蔵 LDO デカップリングキャパシタ接続端子 (ADC 用 1.8V 電源)	ー
31	LDO1V8_OSC	H(A)	OA	ー	内蔵 LDO デカップリングキャパシタ接続端子 (発振回路用 1.8V 電源)	ー
40	P_EXT	ー	ー	ー	外部電源(5V)	ー
26	ISO_V	ー	ー	ー	ロジック IO 電源(ホスト通信用)	ー
27	VDD_TX_5V	ー	ー	ー	ドライバ用電源(5V)	ー

※ ISO_V は基板上で VDD_IO と接続してください。

5.2 アナログ信号端子

PIN No.	端子名称	リセット時(※1)	I/O (※2)	供給電源	Active Level	端子機能	未使用時の処理
37	RX0	ー	IA	ー	ー	RF データ受信	ー
30	G_NMOS	PD	OA	VDD_TX_5V	ー	給電用 N トランジスタバイアス出力	ー
28	NMOS0	Z	OA	VDD_TX_5V	ー	給電用 N トランジスタドライバ出力	ー

5.3 クロック端子

PIN No.	端子名称	リセット時(※1)	I/O (※2)	供給電源	Active Level	端子機能	未使用時の処理
32	XI	I	I	LDO1V8_OSC	ー	27.12MHz 発振端子	ー
33	XO	O	O	LDO1V8_OSC	ー	27.12MHz 発振端子	ー

5.4 その他の端子

PIN No.	端子名称	リセット時(※1)	I/O (※2)	供給電源	Active Level	端子機能	未使用時の処理
5	RESET_N	PU	I	VDD_IO	L	リセット入力端子	オープン
25	SDA_S / SDI_S	Z	I/O	ISO_V	ー	I^2C スレーブ データ入出力 SPI スレーブ データ入力	オープン
24	SCL_S / SCLK_S	Z	I/O	ISO_V	ー	I^2C スレーブ クロック入力 SPI スレーブ クロック入力	オープン
7	P02	Z	I/O	ISO_V	ー	DCDC コンバータ制御端子 1	オープン
6	WAKEUP	Z	I/O	ISO_V	ー	ホストからの WAKEUP リクエスト入力	オープン
23	INT_S	Z	I/O	ISO_V	ー	割込み出力	オープン

PIN No.	端子名称	リセット時(※1)	I/O (※2)	供給電源	Active Level	端子機能	未使用時の処理
22	SDO_S	Z	I/O	ISO_V	ー	SPI スレーブ データ出力	オープン
21	SCS_S	Z	I/O	ISO_V	ー	SPI スレーブ 選択信号入力	オープン
11	Not Used	Z	I_A	VDD_IO	ー	未使用	オープン
13	Not Used	Z	I_A	VDD_IO	ー	未使用	オープン
39	AIN2	Z	I_A	P_EXT	ー	電流測定用 ADC 入力	オープン
38	AIN4	Z	I_A	P_EXT	ー	通知信号検知端子	オープン
1	I^2C ADDRESS	PU	I/O	VDD_IO	ー	I^2C スレーブアドレス選択入力	オープン
20	INTERFACE	Z	I_{DA}/O	ISO_V	L: SPI H or Open: I^2C	I^2C/SPI 選択信号入力	オープン
8	POWER	Z	I/O	ISO_V	ー	LED0 (Power) 初期化が完了すると点灯します	オープン
19	P13	Z	I_{DA}/O	VDD_IO	ー	DCDC コンバータ制御端子 2	オープン
10	CHARGE	Z	I/O	ISO_V	ー	LED1 (Charging) 給電が始まると点灯します	オープン
4	DEBUG	Z	I/O	VDD_IO	ー	デバッグ端子	オープン
3	SHUTDOWN	Z	I/O_{DA}	VDD_IO	ー	SHUTDOWN リクエスト出力	オープン
9	ERROR	Z	I/O	ISO_V	ー	LED2 (Error) 異常が検知されると点灯します	オープン
14	Not Used	PU	O	VDD_IO	ー	未使用	オープン

5.5 テスト端子

PIN No.	端子名称	リセット時(※1)	I/O (※2)	供給電源	Active Level	端子機能	未使用時の処理
2	TEST0	Z	I/O	VDD_IO	L	デバッガ用端子	Pull-Up
18	VPP	ー	I_A	ー	ー	テスト用電源端子	オープン

(※1) リセット時: リセット状態で記載する状態を表しています。

リセット時 端子状態定義	L(O)	:	出力状態かつ"L"レベル出力
	H(O)	:	出力状態かつ"H"レベル出力
	L(A)	:	アナログ L レベル出力
	H(A)	:	アナログ H レベル出力
	PU	:	Pull-Up
	PD	:	Pull-Down
	Z	:	フローティング状態

(※2) I/O : I/O 定義に関しましては、下記の略称を使用しております。

I/O 定義	I_A	:	アナログ入力端子
	O_A	:	アナログ出力端子
	I	:	デジタル入力端子
	I/O	:	双方向端子
	I_{DA}/O	:	双方向端子、入力はデジタルとアナログ共用
	I/O_{DA}	:	双方向端子、出力はデジタルとアナログ共用
	O	:	デジタル出力端子

6. 電気的特性

6.1 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧（デジタル IO）	VDD_IO	Ta=25℃	-0.3～+6.5	V
	ISO_V	Ta=25℃	-0.3～+6.5	V
レギュレータ入力電圧	P_EXT	Ta=25℃	-0.3～+6.5	V
送電用電源電圧	VDD_TX_5V	Ta=25℃	-0.3～+6.5	V
コア電源電圧 / 水晶発振電圧	LDO1V5	Ta=25℃	-0.3～+2.0	V
アナログ電源電圧	LDO1V8	Ta=25℃	-0.3～+6.5	V
27.12MHz 発振回路用電源電圧	LSO1V8_OSC	Ta=25℃	-0.3～+6.5	V
入力電圧	V_{DIN}	Ta=25℃	-0.3～V_{DD_IO}+0.3	V
		Ta=25℃、RX0	-0.3～+6.5	V
入力電流	Ii	Ta=25℃	-10~+10	mA
出力電圧	V_{DO}	Ta=25℃	-0.3～V_{DD_IO}+0.3	V
デジタル出力電流	I_{DO}	Ta=25℃	-12～+20	mA
許容損失	PD	Ta=25℃	1	W
保存温度	T_{stg}	ー	-55～+150	℃

6.2 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
動作電圧	VDD_IO	ー	1.8	ー	5.5	V
	ISO_V	基板上で VDD_IO と接続	1.8	ー	5.5	V
	P_EXT	ー	4.5	5.0	5.5	V
	VDD_TX_5V	ー	4.5	5.0	5.5	V
動作温度	T_a	ー	-40	+25	+85	℃
水晶発振周波数	f_{XTL}		Typ. -0.05%	27.12	Typ. +0.05%	MHz
水晶外付け容量	C_{DL} C_{GL}	日本電波工業(株) NX2016SA(CL=6pF)	Typ. -1%	8	Typ. +1%	pF
	C_{DL} C_{GL}	日本電波工業(株) NX2016SA(CL=8pF)	Typ. -1%	12	Typ. +1%	pF
	C_{DL} C_{GL}	京セラ(株) CX1210SB(CL=6pF)	Typ. -1%	8	Typ. +1%	pF
	C_{DL} C_{GL}	京セラ(株) CX2016DB(CL=8pF)	Typ. -1%	12	Typ. +1%	pF
	C_{DL} C_{GL}	TXC SMD SEAM SEALING XTAL 2.0 x 1.6(CL=8pF)	Typ. -1%	12	Typ. +1%	pF
LDO1V5 外付けキャパシタ	C_{LDO1V5}	ー	Typ. -10%	2.2	Typ. +10%	μF
P_EXT 外付けキャパシタ	C_{PEXT}	ー	Typ. -10%	2.2	Typ. +10%	μF
LDO1V8 外付けキャパシタ	C_{LDO1V8}	ー	Typ. -10%	0.47	Typ. +10%	μF
LDO1V8_OSC 外付けキャパシタ	$C_{LDO1V8OSC}$	ー	Typ. -10%	0.47	Typ. +10%	μF
VDD_IO 外付けキャパシタ	C_{VDDIO}	ー	Typ. -10%	0.1	Typ. +10%	μF
VDD_TX_5V 外付けキャパシタ	C_{TX5V}	ー	Typ. -10%	2.2	Typ. +10%	μF

6.3 フラッシュメモリ動作条件

(VDD_IO=2.7 to 5.5V, P_EXT=2.7 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	範囲	単位
書き換え回数	C_{EPD}	データフラッシュ	10,000	回

6.4 送電特性

(VDD_IO=1.8 to 5.5V, VDD_TX_5V=4.5 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
nmos0 出力周波数	F_{TX}	ー	ー	13.56	ー	MHz

6.5 交流特性 (I²C バスインターフェース)

● 標準モード 100 kHz

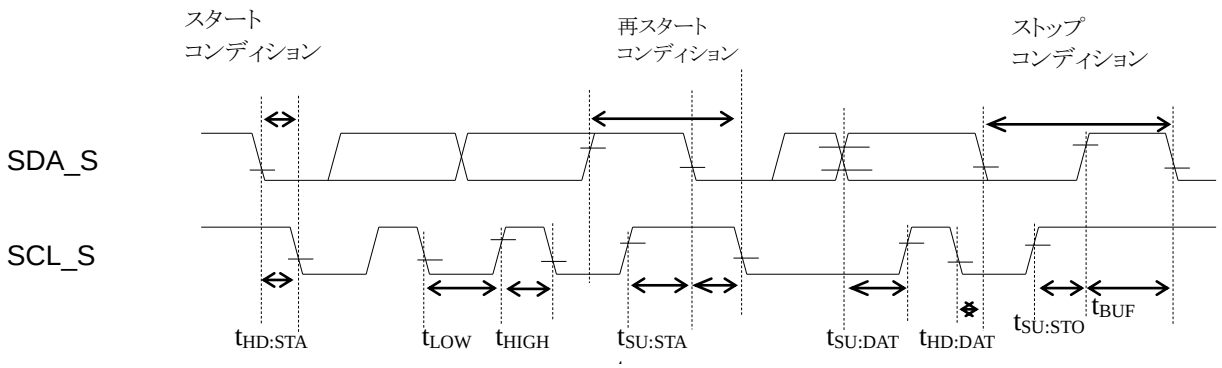
(VDD_IO=1.8 to 5.5V, P_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
SCL_S クロック周波数	f_{SCL}	–	–	–	100	kHz
SCL S ホールド時間 （スタート/再スタートコンディション）	$t_{HD:STA}$	–	4.0	–	–	μs
SCL_S ″L″ レベル時間	t_{LOW}	–	4.7	–	–	μs
SCL_S ″H″ レベル時感	t_{HIGH}	–	4.0	–	–	μs
SCL_S セットアップ時間 （再スタートコンディション）	$t_{SU:STA}$	–	4.7	–	–	μs
SDA_S ホールド時間	$t_{HD:DAT}$	–	0	–	–	μs
SDA_S セットアップ時間	$t_{SU:DAT}$	–	0.25	–	–	μs
SDA_S セットアップ時間 （P:ストップコンディション）	$t_{SU:STO}$	–	4.0	–	–	μs
バスフリー時間	t_{BUF}	–	4.7	–	–	μs

● ファストモード 400 kHz

(VDD_IO=1.8 to 5.5V, P_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
SCL_S クロック周波数	f_{SCL}	–	–	–	400	kHz
SCL_S ホールド時間 （スタート/再スタートコンディション）	$t_{HD:STA}$	–	0.6	–	–	μs
SCL_S ″L″ レベル時間	t_{LOW}	–	1.3	–	–	μs
SCL_S ″H″ レベル時間	t_{HIGH}	–	0.6	–	–	μs
SCL_S セットアップ時間 （再スタートコンディション）	$t_{SU:STA}$	–	0.6	–	–	μs
SDA_S ホールド時間	$t_{HD:DAT}$	–	0	–	–	μs
SDA_S セットアップ時間	$t_{SU:DAT}$	–	0.1	–	–	μs
SDA_S セットアップ時間 （P: ストップコンディション）	$t_{SU:STO}$	–	0.6	–	–	μs
バスフリー時間	t_{BUF}	–	1.3	–	–	μs

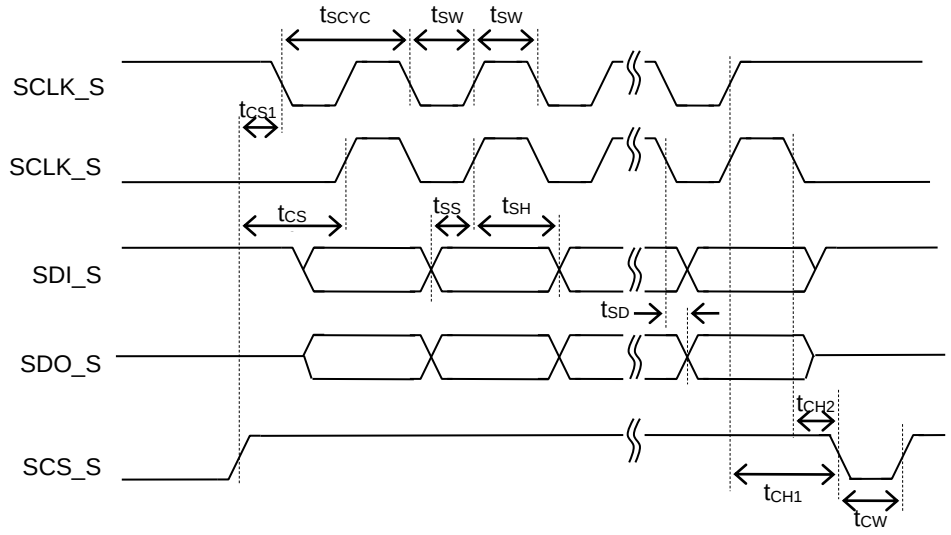


I²C スレーブは他のデバイスと共通の I²C バスに接続する場合，他のデバイスの通信を阻害する恐れがございますので、本 LSI の電源を落とさないようにしてください。

6.6 交流特性 (ホストインタフェース:SPI スレーブ)

(VDD_IO/ISO_V=1.8 to 5.5V, P_EXT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
SCLK_S 入力サイクル	t_{SCYC}	–	500	–	–	ns
SCLK_S 入力パルス幅	t_{SW}	–	200	–	–	ns
SCS_S セットアップ時間	t_{CS1}	–	80	–	–	ns
	t_{CS2}	–	80	–	–	ns
SCS_S ホールド時間	t_{CH1}	–	80	–	–	ns
	t_{CH2}	–	80	–	–	ns
SCS_S 入力パルス幅	t_{CW}	–	80	–	–	ns
SDO_S 出力遅延時間	t_{SD}	–	–	–	240	ns
SDI_S 入力セットアップ時間	t_{SS}	–	80	–	–	ns
SDI_S 入力ホールド時間	t_{SH}	–	80	–	–	ns



6.7 IO 特性

(特に指定のない場合は、VDD_IO=1.8 to 5.5V, P_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
出力電圧 1	VOH1	IOH=-1.0mA	V_{DD_IO} -0.5	–	–	V
	VOL1	IOL=+0.5mA	–	–	0.4	V
出力電圧 2 (LED モード選択時)	VOL2	2.7V≦VDD_IO≦5.5V IOL=+5.0mA	–	–	0.6	V
		IOL=+2.0mA	–	–	0.4	V
出力電圧 3 (I^2C モード選択時)	VOL3	IOL3= +3mA (I^2C 仕様) (VDD_IO ≧2V)	–	–	0.4	V
出力電圧 4 (I^2C モード選択時)	VOL4	IOL4= +2mA (I^2C 仕様) (VDD_IO ＜2V)	–	–	V_{DD_IO} ×0.2	V
出力リーク 1	IOOH1	VOH=VDD_IO (ハイインピーダンス時)	–	–	1	μA
	IOOL1	VOL=VSS (ハイインピーダンス時)	-1	–	–	μA
入力電流 1 (RESET_N)	IIH1	VIH1=VDD_IO	–	–	1	μA
	IIL1	VIL1=VSS	-900	-300	-20	μA
入力電流 2 (TEST0)	IIH2	VIH2=VDD_IO	–	–	1	μA
	IIL2	VIL2=VSS	-200	-15	-1	μA
入力電流 3	IIH3	VIH3=VDD_IO (プルダウン時)	1	15	200	μA
	IIL3	VIL3=VSS (プルアップ時)	-200	-15	-1	μA
	IIH3Z	VIH3=VDD_IO (ハイインピーダンス時)	–	–	1	μA
	IIL3Z	VIL3=VSS (ハイインピーダンス時)	-1	–	–	μA
入力電圧 1	VIH1	–	0.75× V_{DD_IO}	–	V_{DD_IO}	V
	VIL1	–	0	–	0.3× V_{DD_IO}	V
入力端子容量	CIN	f=10kHz Vrms=50mV Ta=25℃	–	10	–	pF

標準値は Ta=25℃, V_{DD_IO}=3.0V のとき

6.8 消費電流

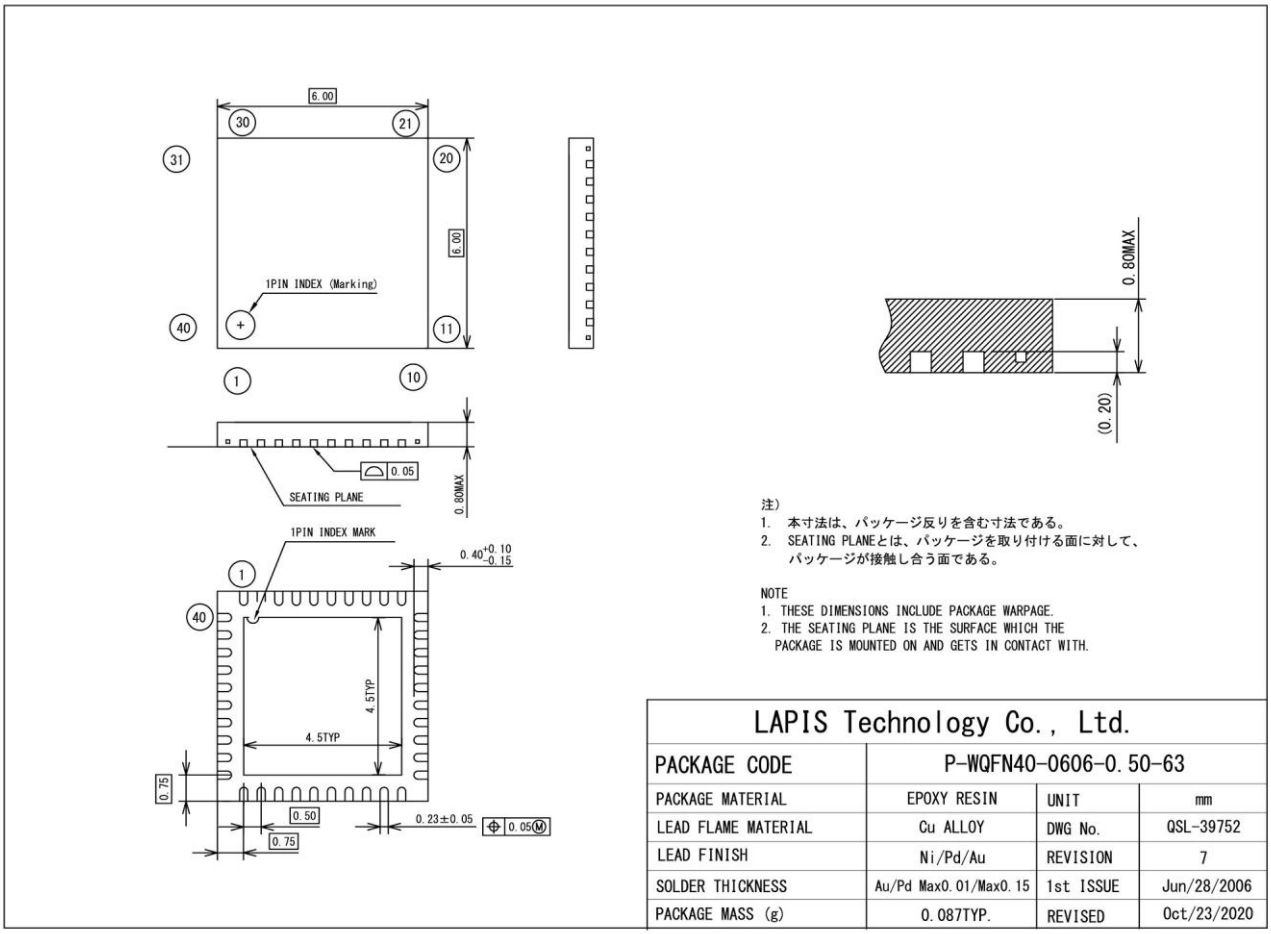
(VDD_IO=1.8 to 5.5V, P_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85℃)

項目	記号	条件	最小	標準	最大	単位
消費電流	IDD1	HALT-H 高速クロック停止	–	7	23.6	uA
	IDD2	HALT	–	1.3	2.0	mA
	IDD3	CPU 6.78MHz 動作 ペリフェラル停止	–	2.2	3.0	mA
	IDD4	CPU 6.78MHz 動作 通信時*	–	15	–	mA
	IDD5	CPU 6.78MHz 動作 給電時*	–	20	–	mA

* 消費電流はアンテナ設計に依存します。負荷抵抗が小さくなれば、消費電流は大きくなります。
外付け Tr.の電流は含まれません。

7. パッケージ寸法図

WQFN40 ピン

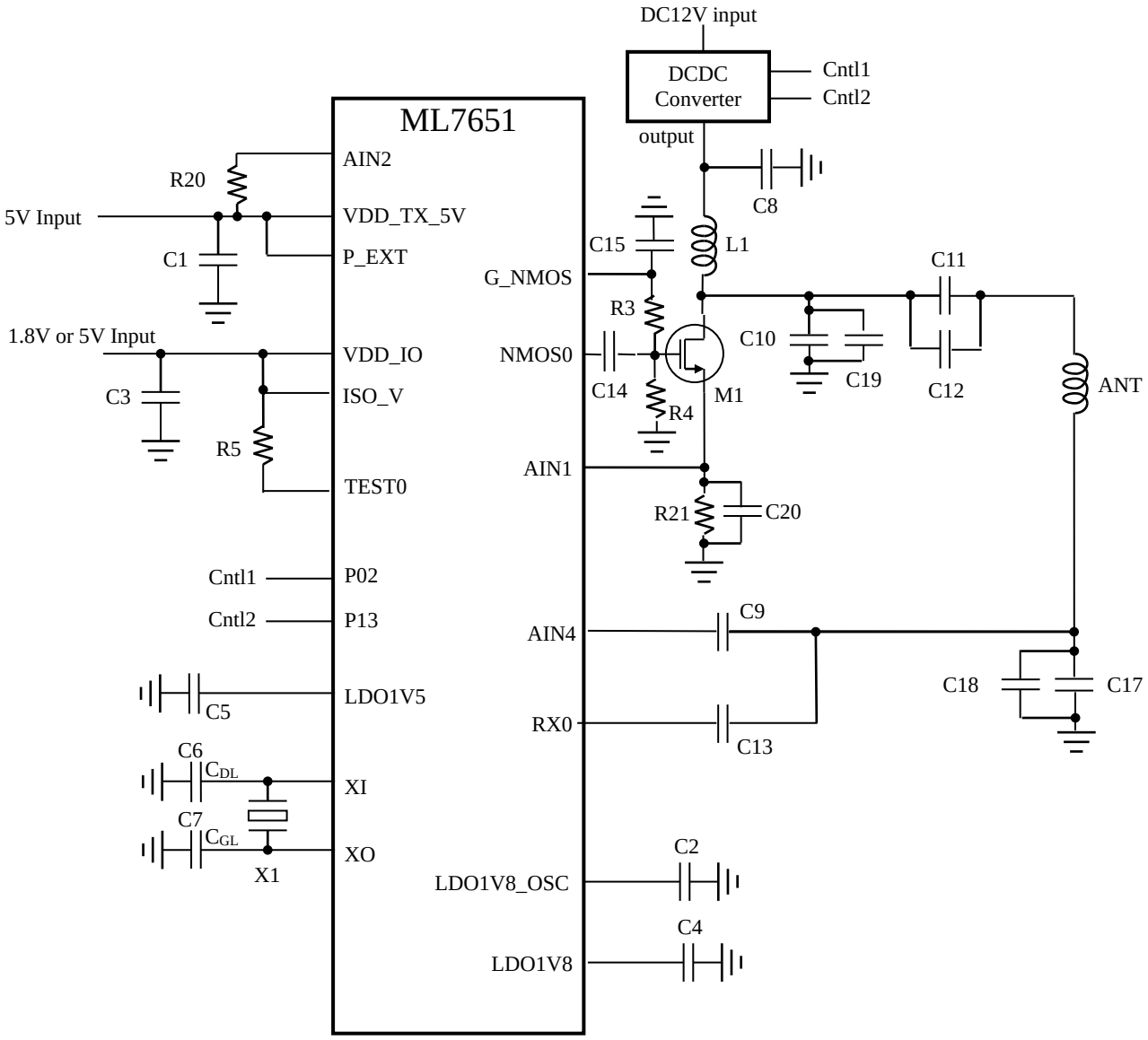


LAPIS Technology Co., Ltd.			
PACKAGE CODE	P-WQFN40-0606-0.50-63		
PACKAGE MATERIAL	EPOXY RESIN	UNIT	mm
LEAD FLAME MATERIAL	Cu ALLOY	DWG No.	QSL-39752
LEAD FINISH	Ni/Pd/Au	REVISION	7
SOLDER THICKNESS	Au/Pd Max0.01/Max0.15	1st ISSUE	Jun/28/2006
PACKAGE MASS (g)	0.087TYP.	REVISED	Oct/23/2020

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

8. 応用回路例


DC12V input
DCDC Converter
Cntl1
Cntl2
output
ML7651
AIN2
R20
5V Input
VDD_TX_5V
C1
P_EXT
G_NMOS
1.8V or 5V Input
VDD_IO
NMOS0
C3
ISO_V
R5
TEST0
AIN1
Cntl1
P02
Cntl2
P13
AIN4
C5
LDO1V5
RX0
C6
CDL
XI
C7
CGL
XO
X1
LDO1V8_OSC
LDO1V8
C8
C15
L1
C11
R3
C10
C19
C12
ANT
C14
R4
M1
R21
C20
C9
C18
C17
C13
C2
C4

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7651-01	2023.6.7	–	–	正式初版発行
FJDL7651-02	2023.12.15	1	1	製品名、用途の追記
		12	12	応用回路例の修正
FJDL7651-03	2024.1.5	14	14	ご注意の修正

ご注意

1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格(*1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格 : 瞬時たりとも超過してはならない限界値となります。

2) 本資料に掲載されております製品は、耐放射線設計がなされておりません。

3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。

4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、 当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。

5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。

6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。

7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。

8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。

9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。

10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2023 - 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社
〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
https://www.lapis-tech.com