

# ML7436RF

## アプリケーションノート

## ハードウェア動作詳細

---

初版 発行日 2021 年 2 月 17 日



## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2020 LAPIS Technology Co., Ltd.

---

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

## はじめに

本ユーザーズマニュアルでは低消費電力対応サブ GHz/2.4GHz 帯 RF トランシーバ ML7436N の RF 部のハードウェア動作詳細(レジスタ仕様、制御手順、動作説明等)について記述されています。

対象商品: ML7436N-480\*

別ドキュメント「データシート」で使用する以下の文言は本マニュアルでは下表に従い読み替えてご使用ください。

データシートの文言	本マニュアルの文言
RESETN_RF	RESETN
RF_SLEEP	SLEEP

## 関連文書

関連するマニュアルについては、別ドキュメント「関連文書一覧」をご確認ください。

## 表記法

分類	表記法	説明
□数値	0xnn 0bnnnn	16 進数を表します。 2 進数を表します。
□アドレス	0xnnnn_nnnn	16 進数を表します。(0xnnnnnnnnn を示します)
□単位	ワード, WORD バイト, BYTE メガ, M キロ, K (大文字) キロ, k (小文字) ミリ, m マイクロ, u ナノ, n セカンド, s (小文字)	1 ワード = 32 ビット 1 バイト = 8 ビット $10^6$ $2^{10}=1024$ $10^3=1000$ $10^{-3}$ $10^{-6}$ $10^{-9}$ 秒
□用語	“H”レベル “L”レベル	電圧の高い側の信号レベルで、電気的特性で規定された $V_{IH}$ 、 $V_{OH}$ の電圧レベルを示します。 電圧の低い側の信号レベルで、電気的特性で規定された $V_{IL}$ 、 $V_{OL}$ の電圧レベルを示します。

## ●レジスタ説明図

読み書き属性: R は読み出し可能、W は書き込み可能なことを表します。

MSB: 8 ビットのレジスタ(メモリ)の最上位ビット

LSB: 8 ビットのレジスタ(メモリ)の最下位ビット

## 目次

ご注意.....	I
はじめに.....	II
関連文書.....	II
表記法.....	III
目次.....	4
■LSI 調整項目と調整方法.....	13
●PA の調整.....	13
●I/Q(受信時イメージ除去比)の調整.....	15
●VCO キャリブレーション(VCO CAL).....	17
○VCO キャリブレーション(VCO CAL)の種類と特徴.....	17
○VCO オンデマンドキャリブレーション.....	19
○オートキャリブレーション.....	26
●電力検出値(ED 値)の調整.....	27
●発振回路の調整.....	28
●送受信周波数の調整.....	29
■その他の設定.....	30
●BER 測定時の設定.....	30
●IEEE802.15.4G モード設定.....	31
●受信ローカル UPPER/LOWER 設定.....	33
■フローチャート.....	34
●電源投入時.....	35
(1) 初期化フロー.....	35
●送信/受信共通.....	36
(1) RF 状態遷移待ち.....	36
●送信時.....	40
(1) 256byte 以下のデータ送信(FIFO モード).....	41
(2) 257byte 以上のデータ送信(FIFO モード).....	42
(3) 自動送信時 (256byte 以下の場合).....	43
(4) DIO 送信.....	44
(5) CCA 実行.....	45
(6) ACK 送信.....	48
●受信時.....	49
(1) 256byte 以下のデータ受信(FIFO モード).....	50
(2) 257byte 以上のデータ受信(FIFO モード).....	51
(3) DIO 受信.....	53
(4) 高速電波チェックモード.....	55
(5) アンテナダイバーシティ.....	56
(6) ED-SCAN.....	57
(7) チャネルサーチ.....	58
(8) Field チェック.....	59
●SLEEP.....	60
(1) SLEEP.....	60
(2) ウェイクアップタイマ(ウェイクアップ後 RX_ON).....	61
●エラー発生時の処理.....	62
(1) Sync エラー.....	63
(2) 送信 FIFO アクセスエラー.....	64
(3) 受信 FIFO アクセスエラー.....	65
(4) PLL ロック外れ検出.....	66
■タイムチャート.....	68

●起動時 .....	68
●送信時 .....	69
●受信時 .....	70
●送信から受信への移行 .....	71
●受信から送信への移行 .....	71
●IDLE から SLEEP への移行 .....	72
●送信/受信状態から SLEEP への移行 .....	72
●SLEEP から IDLE への移行 .....	73
●高速電波チェックモード時 .....	74
■レジスタ .....	75
●初期設定レジスタ .....	75
●レジスタ一覧 .....	75
BANK0 .....	76
BANK1 .....	79
BANK2 .....	82
BANK3 .....	82
BANK4 .....	83
BANK6 .....	84
BANK8 .....	85
●レジスタ BANK0 .....	86
0x00[BANK_SEL] .....	86
0x01[RST_SET] .....	87
0x02[CLK_SET1] .....	88
0x03[CLK_SET2] .....	89
0x04[PKT_CTRL1] .....	90
0x05[PKT_CTRL2] .....	91
0x06[DRATE_SET] .....	92
0x07[DATA_SET1] .....	93
0x08[DATA_SET2] .....	94
0x09[CH_SET] .....	94
0x0A[RF_STATUS_CTRL] .....	95
0x0B[RF_STATUS] .....	96
0x0C[DIO_SET] .....	97
0x0D[INT_SOURCE_GRP1] .....	98
0x0E[INT_SOURCE_GRP2] .....	99
0x0F[INT_SOURCE_GRP3] .....	100
0x10[INT_EN_GRP1] .....	101
0x11[INT_EN_GRP2] .....	101
0x12[INT_EN_GRP3] .....	102
0x13[CRC_ERR_H] .....	102
0x14[CRC_ERR_M] .....	103
0x15[CRC_ERR_L] .....	104
0x16[STATE_CLR] .....	105
0x17[TXFIFO_THRH] .....	106
0x18[TXFIFO_THRL] .....	106
0x19[RXFIFO_THRH] .....	107
0x1A[RXFIFO_THRL] .....	107
0x1B[C_CHECK_CTRL] .....	108
0x1C[M_CHECK_CTRL] .....	109
0x1D[A_CHECK_CTRL] .....	110
0x1E[C_FIELD_CODE1] .....	110
0x1F[C_FIELD_CODE2] .....	111
0x20[C_FIELD_CODE3] .....	111
0x21[C_FIELD_CODE4] .....	111
0x22[C_FIELD_CODE5] .....	112

0x23【M_FIELD_CODE1】	112
0x24【M_FIELD_CODE2】	112
0x25【M_FIELD_CODE3】	112
0x26【M_FIELD_CODE4】	113
0x27【A_FIELD_CODE1】	113
0x28【A_FIELD_CODE2】	113
0x29【A_FIELD_CODE3】	113
0x2A【A_FIELD_CODE4】	114
0x2B【A_FIELD_CODE5】	114
0x2C【A_FIELD_CODE6】	114
0x2D【SLEEP/WU_SET】	115
0x2E【WUT_CLK_SET】	117
0x2F【WUT_INTERVAL_H】	118
0x30【WUT_INTERVAL_L】	118
0x31【WU_DURATION】	118
0x32【GT_SET】	119
0x33【GT_CLK_SET】	120
0x34【GT1_TIMER】	120
0x35【GT2_TIMER】	121
0x36【CCA_IGNORE_LVL】	122
0x37【CCA_LVL】	122
0x38【CCA_ABORT】	122
0x39【CCA_CTRL】	123
0x3A【ED_RSLT】	124
0x3B【IDLE_WAIT_H】	124
0x3C【IDLE_WAIT_L】	125
0x3D【CCA_PROG_H】	125
0x3E【CCA_PROG_L】	126
0x3F【PREAMBLE_SET】	126
0x40【Reserved】	126
0x41【ED_CTRL】	127
0x42【TXPR_LEN_H】	128
0x43【TXPR_LEN_L】	128
0x44【POSTAMBLE_SET】	128
0x45【SYNC_CONDITION1】	129
0x46【SYNC_CONDITION2】	129
0x47【SYNC_CONDITION3】	129
0x48【2DIV_CTRL】	130
0x49【2DIV_RSLT】	130
0x4A【ANT1_ED】	131
0x4B【ANT2_ED】	131
0x4C【ANT_CTRL】	132
0x4D【MON_CTRL】	133
0x4E【GPIO0_CTRL】	134
0x4F【GPIO1_CTRL】	135
0x50【GPIO2_CTRL】	136
0x51【GPIO3_CTRL】	137
0x52【GPIO4_CTRL】	138
0x53【SPI/EXT_PA_CTRL】	139
0x54【CHFIL_BW】	140
0x55【DC_I_ADJ_H】	140
0x56【DC_I_ADJ_L】	140
0x57【DC_Q_ADJ_H】	141
0x58【DC_Q_ADJ_L】	141
0x59【DC_FIL_ADJ】	141

0x5A【IQ_MAG_ADJ_H】.....	142
0x5B【IQ_MAG_ADJ_L】.....	143
0x5C【IQ_PHASE_ADJ_H】.....	143
0x5D【IQ_PHASE_ADJ_L】.....	144
0x5E【IQ_ADJ_WAIT】.....	144
0x5F【IQ_ADJ_TARGET】.....	145
0x60【DEC_GAIN】.....	145
0x61【IF_FREQ】.....	146
0x62【OSC_ADJ1】.....	147
0x63【OSC_ADJ2】.....	147
0x64【FIELD_CHECK_RSLT】.....	148
0x65【OSC_ADJ4】.....	148
0x66【RSSI_ADJ】.....	148
0x67【PA_REG_ADJ_H】.....	149
0x68【PA_REG_ADJ_L】.....	149
0x69【Reserved】.....	149
0x6A【CHFIL_BW_CCA】.....	150
0x6B【CHFIL_BW_OPTION】.....	150
0x6C【DC_FIL_ADJ2】.....	151
0x6D【DEC_GAIN_CCA】.....	151
0x6E【VCO_CAL】.....	151
0x6F【VCO_CAL_START】.....	152
0x70【CLK_CAL_SET】.....	153
0x71【CLK_CAL_TIME】.....	153
0x72【CLK_CAL_H】.....	154
0x73【CLK_CAL_L】.....	154
0x74【FEC_CTRL】.....	154
0x75【SLEEP_INT_CLR】.....	155
0x76【RF_TEST_MODE】.....	156
0x77【STM_STATE】.....	157
0x78【FIFO_SET】.....	158
0x79【RX_FIFO_LAST】.....	159
0x7A【TX_PKT_LEN_H】.....	159
0x7B【TX_PKT_LEN_L】.....	159
0x7C【WR_TX_FIFO】.....	160
0x7D【RX_PKT_LEN_H】.....	160
0x7E【RX_PKT_LEN_L】.....	160
0x7F【RD_FIFO】.....	161
●レジスタ BANK1.....	162
0x00【BANK_SEL】.....	162
0x01【CLK_OUT】.....	162
0x02【TX_RATE_H】.....	163
0x03【TX_RATE_L】.....	163
0x04【RX_RATE1_H】.....	163
0x05【RX_RATE1_L】.....	164
0x06【RX_RATE2】.....	164
0x07【Reserved】.....	164
0x08【OSC_W_SEL】.....	165
0x09-0x0A【Reserved】.....	165
0x0B【PLL_LOCK_DETECT】.....	166
0x0C-0x0D【Reserved】.....	166
0x0E【GAIN_HOLD】.....	167
0x0F【RSSI_STABLE_RES】.....	167
0x10【GC_CTRL_DIV】.....	168
0x11【Reserved】.....	169



0x12【RSSI_STABLE_TIME】	169
0x13【RSSI_MAG_ADJ】	170
0x14【Reserved】	170
0x15【AFC/GC_CTRL】	171
0x16【CRC_POLY3】	172
0x17【CRC_POLY2】	172
0x18【CRC_POLY1】	172
0x19【CRC_POLY0】	172
0x1A【PLL_DIV_SET】	173
0x1B【TXFREQ_I】	173
0x1C【TXFREQ_FH】	173
0x1D【TXFREQ_FM】	174
0x1E【TXFREQ_FL】	174
0x1F【RXFREQ_I】	174
0x20【RXFREQ_FH】	175
0x21【RXFREQ_FM】	175
0x22【RXFREQ_FL】	175
0x23【CH_SPACE_H】	176
0x24【CH_SPACE_L】	176
0x25【SYNC_WORD_LEN】	176
0x26【SYNC_WORD_EN】	177
0x27【SYNCWORD1_SET0】	177
0x28【SYNCWORD1_SET1】	177
0x29【SYNCWORD1_SET2】	178
0x2A【SYNCWORD1_SET3】	178
0x2B【SYNCWORD2_SET0】	178
0x2C【SYNCWORD2_SET1】	178
0x2D【SYNCWORD2_SET2】	179
0x2E【SYNCWORD2_SET3】	179
0x2F【FSK_CTRL】	180
0x30【GFSK_DEV_H】	180
0x31【GFSK_DEV_L】	181
0x32【FSK_DEV0_H/GFIL0】	181
0x33【FSK_DEV0_L/GFIL1】	182
0x34【FSK_DEV1_H/GFIL2】	182
0x35【FSK_DEV1_L/GFIL3】	183
0x36【FSK_DEV2_H/GFIL4】	183
0x37【FSK_DEV2_L/GFIL5】	184
0x38【FSK_DEV3_H/GFIL6】	184
0x39【FSK_DEV3_L】	185
0x3A【FSK_DEV4_H】	185
0x3B【FSK_DEV4_L】	185
0x3C【FSK_TIM_ADJ4】	186
0x3D【FSK_TIM_ADJ3】	186
0x3E【FSK_TIM_ADJ2】	186
0x3F【FSK_TIM_ADJ1】	187
0x40【FSK_TIM_ADJ0】	187
0x41【4FSK_DATA_MAP】	187
0x42【FREQ_ADJ_H】	188
0x43【FREQ_ADJ_L】	188
0x44-0x47【Reserved】	188
0x48【2DIV_MODE】	189
0x49【2DIV_SEARCH1】	190
0x4A【2DIV_SEARCH2】	190
0x4B【2DIV_FAST_LVL】	190

0x4C【2DIV_PB_TH】.....	191
0x4D【VCO_CAL_MIN_I】.....	191
0x4E【VCO_CAL_MIN_FH】.....	191
0x4F【VCO_CAL_MIN_FM】.....	192
0x50【VCO_CAL_MIN_FL】.....	192
0x51【VCO_CAL_MAX_N】.....	193
0x52【VCO_FCAL_MIN】.....	193
0x53【VCO_FCAL_MAX】.....	194
0x54-0x55【Reserved】.....	194
0x56【DEMOD_SET0】.....	195
0x57【DEMOD_SET1】.....	196
0x58【DEMOD_SET2】.....	196
0x59【DEMOD_SET3】.....	197
0x5A-0x5B【Reserved】.....	197
0x5C【DEMOD_SET6】.....	197
0x5D【DEMOD_SET7】.....	197
0x5E【DEMOD_SET8】.....	198
0x5F【DEMOD_SET9】.....	198
0x60【DEMOD_SET10】.....	198
0x61【DEMOD_SET11】.....	198
0x62【ADDR_CHK_CTR_H】.....	199
0x63【ADDR_CHK_CTR_L】.....	199
0x64【WHT_INIT_H】.....	199
0x65【WHT_INIT_L】.....	200
0x66【WHT_CFG】.....	200
0x67-0x6C【Reserved】.....	200
0x6D【GPIO5_CTRL】.....	201
0x6E-6F【Reserved】.....	201
0x70【DCDC_CTRL】.....	202
0x71-0x73【Reserved】.....	202
0x74【VCO_FCAL_MIN_2G】.....	202
0x75【VCO_FCAL_MAX_2G】.....	202
0x76【VCO_FCAL_MIN_2G_RX】.....	203
0x77【VCO_FCAL_MAX_2G_RX】.....	203
0x78-0x7A【Reserved】.....	203
0x7B【TX_RATE2_EN】.....	204
0x7C【TX_RATE2_H】.....	204
0x7D【TX_RATE2_L】.....	204
0x7E【Reserved】.....	205
0x7F【ID_CODE】.....	205
●レジスタ BANK2.....	206
0x00【BANK_SEL】.....	206
0x01-0x43【Reserved】.....	206
0x44【RF_RESET】.....	206
0x45-0x72【Reserved】.....	206
0x73【RSSI_ADJ_H_2G】.....	207
0x74【RSSI_ADJ_M_2G】.....	207
0x75【RSSI_ADJ_L_2G】.....	207
0x76【GAIN_HHTOH】.....	208
0x77【GAIN_HTOHH】.....	208
0x78【GAIN_HTOM】.....	209
0x79【GAIN_MTOH】.....	209
0x7A【GAIN_MTOL】.....	210
0x7B【GAIN_LTOM】.....	210
0x7C【RSSI_ADJ_H】.....	210

0x7D【RSSI_ADJ_M】 .....	211
0x7E【RSSI_ADJ_L】 .....	211
0x7F【Reserved】 .....	211
●レジスタ BANK3 .....	212
0x00【BANK_SEL】 .....	212
0x01-0x22【Reserved】 .....	212
0x23【2MODE_DET】 .....	212
0x24-0x30【Reserved】 .....	212
0x31【DIF_SET3】 .....	213
0x32-0x40【Reserved】 .....	213
0x41【RAMP_CTRL1】 .....	214
0x42【RAMP_CTRL2】 .....	214
0x43【RAMP_CTRL3】 .....	215
0x46-0x4F【Reserved】 .....	216
0x50【EXT_WU_CTRL】 .....	216
0x51【EXT_WU_INTERVAL】 .....	216
0x52-0x61【Reserved】 .....	216
0x62【PLL_FCAL_MODE】 .....	217
0x63-0x65【Reserved】 .....	217
0x66【VCO_ACC_CTRL】 .....	218
0x67-0x7F【Reserved】 .....	218
●レジスタ BANK4 .....	219
0x00【BANK_SEL】 .....	219
0x01【C_CHECK_CTRL】 .....	219
0x02【M_CHECK_CTRL】 .....	220
0x03【A_CHECK_CTRL1】 .....	220
0x04【A_CHECK_CTRL2】 .....	221
0x05【C_FIELD_CODE1】 .....	221
0x06【C_FIELD_CODE2】 .....	222
0x07【C_FIELD_CODE3】 .....	222
0x08【C_FIELD_CODE4】 .....	222
0x09【C_FIELD_CODE5】 .....	223
0x0A【M_FIELD_CODE1】 .....	223
0x0B【M_FIELD_CODE2】 .....	223
0x0C【M_FIELD_CODE3】 .....	223
0x0D【M_FIELD_CODE4】 .....	224
0x0E【A_FIELD_CODE1】 .....	224
0x0F【A_FIELD_CODE2】 .....	224
0x10【A_FIELD_CODE3】 .....	224
0x11【A_FIELD_CODE4】 .....	225
0x12【A_FIELD_CODE5】 .....	225
0x13【A_FIELD_CODE6】 .....	225
0x14【A_FIELD_CODE7】 .....	225
0x15【A_FIELD_CODE8】 .....	226
0x16【A_FIELD_CODE9】 .....	226
0x17【A_FIELD_CODE10】 .....	226
0x18-0x1F【Reserved】 .....	226
0x20【CMA2_CHECK_CTRL1】 .....	227
0x21【CMA2_CHECK_CTRL2】 .....	228
0x22【C2_FIELD_CODE1】 .....	228
0x23【M2_FIELD_CODE1】 .....	229
0x24【M2_FIELD_CODE2】 .....	229
0x25【A2_FIELD_CODE1】 .....	229
0x26【A2_FIELD_CODE2】 .....	229
0x27【A2_FIELD_CODE3】 .....	230

0x28【A2_FIELD_CODE4】.....	230
0x29【A2_FIELD_CODE5】.....	230
0x2A【A2_FIELD_CODE6】.....	230
0x2B【A2_FIELD_CODE7】.....	231
0x2C【A2_FIELD_CODE8】.....	231
0x2D【A2_FIELD_CODE9】.....	231
0x2E【A2_FIELD_CODE10】.....	231
0x2F【Reserved】.....	232
0x30【CMA3_CHECK_CTRL1】.....	232
0x31【CMA3_CHECK_CTRL2】.....	233
0x32【C3_FIELD_CODE1】.....	233
0x33【M3_FIELD_CODE1】.....	234
0x34【M3_FIELD_CODE2】.....	234
0x35【A3_FIELD_CODE1】.....	234
0x36【A3_FIELD_CODE2】.....	234
0x37【A3_FIELD_CODE3】.....	235
0x38【A3_FIELD_CODE4】.....	235
0x39【A3_FIELD_CODE5】.....	235
0x3A【A3_FIELD_CODE6】.....	235
0x3B【A3_FIELD_CODE7】.....	236
0x3C【A3_FIELD_CODE8】.....	236
0x3D【A3_FIELD_CODE9】.....	236
0x3E【A3_FIELD_CODE10】.....	236
0x3F-0x5F【Reserved】.....	237
0x60【TXFREQ_I_2G】.....	237
0x61【TXFREQ_FH_2G】.....	237
0x62【TXFREQ_FM_2G】.....	238
0x63【TXFREQ_FL_2G】.....	238
0x64【RXFREQ_I_2G】.....	238
0x65【RXFREQ_FH_2G】.....	239
0x66【RXFREQ_FM_2G】.....	239
0x67【RXFREQ_FL_2G】.....	239
0x68【CH_SPACE_H_2G】.....	240
0x69【CH_SPACE_L_2G】.....	240
0x6A【GFSK_DEV_H_2G】.....	240
0x6B【GFSK_DEV_L_2G】.....	241
0x6C【PA_REG_ADJ_2G】.....	241
0x6D【IQ_MAG_ADJ_H_2G】.....	242
0x6E【IQ_MAG_ADJ_L_2G】.....	242
0x6F【IQ_PHASE_ADJ_H_2G】.....	243
0x70【IQ_PHASE_ADJ_L_2G】.....	243
0x71【GC_CTRL_2G】.....	244
0x72【VCO_CAL_MIN_I_2G】.....	245
0x73【VCO_CAL_MIN_FH_2G】.....	245
0x74【VCO_CAL_MIN_FM_2G】.....	246
0x75【VCO_CAL_MIN_FL_2G】.....	246
0x76【VCO_CAL_MAX_N_2G】.....	247
0x77-0x7F【Reserved】.....	247
●レジスタ BANK6.....	248
0x00【BANK_SEL】.....	248
0x01【Reserved】.....	248
0x02【FEC_CTRL】.....	248
0x03-0x7F【Reserved】.....	249
●レジスタ BANK8.....	250
0x00【BANK_SEL】.....	250

0x01【SEARCH_CH_SET】 .....	250
0x02【SEARCH_CH_EN】 .....	251
0x03【SEARCH_CH0】 .....	251
0x04【SEARCH_CH1】 .....	252
0x05【SEARCH_CH2】 .....	252
0x06【SEARCH_CH3】 .....	252
0x07【SEARCH_CH4】 .....	252
0x08【SEARCH_CH5】 .....	253
0x09【SEARCH_CH6】 .....	253
0x0A【SEARCH_CH7】 .....	253
0x0B【SRCH_ED_TH】 .....	253
0x0C【PLL_WAIT_TIMER】 .....	254
0x0D【ED_WAIT_TIMER】 .....	254
0x0E【SYNC_WAIT_TIMER】 .....	254
0x0F【SYNC_WAIT_TIMER2】 .....	255
0x10-0x13【Reserved】 .....	255
0x14【FH_SET】 .....	255
0x15【FH_MAX_CH】 .....	256
0x16【RANDOM_CH_DISP】 .....	256
0x17-0x7F【Reserved】 .....	256
改版履歴 .....	257

## ■ LSI 調整項目と調整方法

## ● PA の調整

本 LSI は最大 50mW 出力回路を有しており、PA レギュレータ電圧を調整することにより出力パワーを調整することが可能です。PA レギュレータ電圧は以下のレジスタで調整可能です。ただし、PA レギュレータ電圧値は、[VDD\_PA 印加電圧 - 0.3V] 以下となるように設定してください。

周波数帯	レジスタ名	説明
サブ GHz	PA_REG_ADJ([PA_REG_ADJ_H/L: B0 0x67/68])	512 階調
2.4GHz	PA_REG_ADJ_2G([PA_REG_ADJ_2G: B4 0x6C])	32 階調

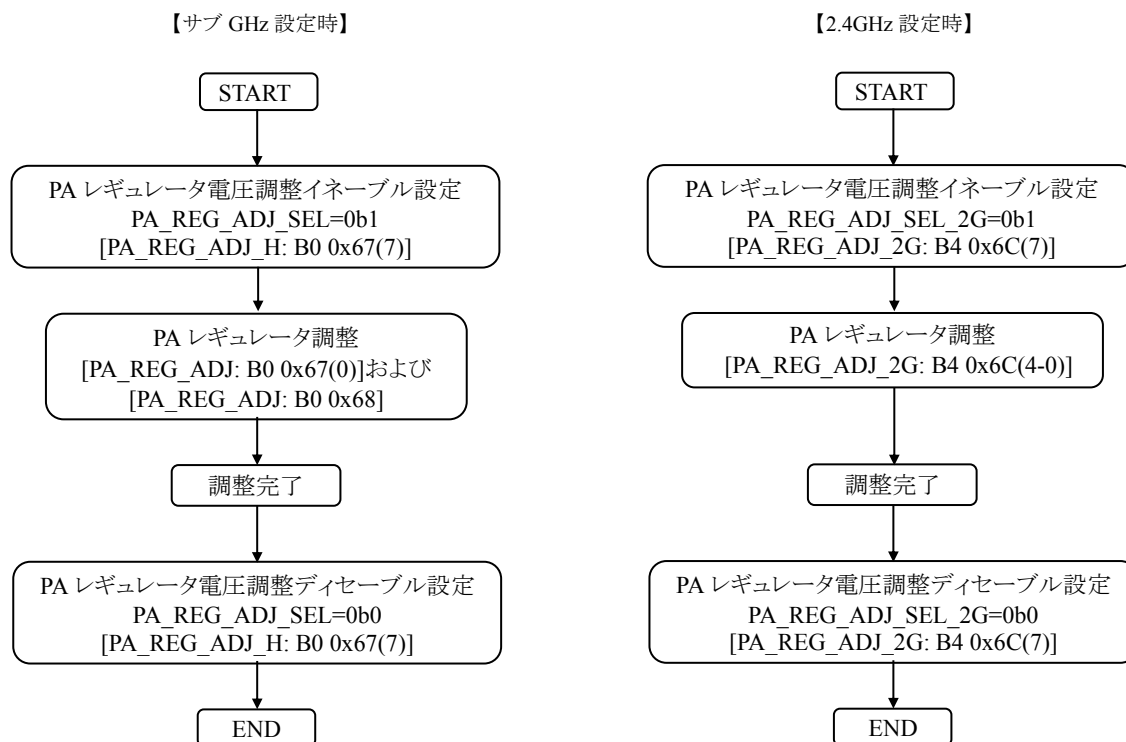
また、サブ GHz 設定時は下記レジスタを設定することで PA モードが切替可能です。

レジスタ名	説明
PA_VDD([PA_REG_ADJ_H: B0 0x67(5)])	PA 用電源供給源選択設定 0: スイッチングレギュレータ出力電圧(デフォルト) 1: VDD_IO 電圧(デフォルトで出力パワーが不足する際に設定してください)
PA_SEL([PA_REG_ADJ_H: B0 0x67(4)])	PA 出力選択設定 0: 高出力(13dBm 用 PA、デフォルト) 1: 低出力(0dBm 用 PA)

## ※PA レギュレータ電圧値の目安

PA_REG_ADJ(8-0) ([PA_REG_ADJ_H/L: B0 0x67(0)/68])	PA レギュレータ電圧[V] PA_VDD = 0	PA レギュレータ電圧[V] PA_VDD = 1
0x000	0.00	0.00
...	...	...
0x00F	0.06	0.10
...	...	...
0x0FF	0.91	1.54
...	...	...
0x1FF	1.82	3.08

## 【出力電力調整のフロー】



## ●I/Q(受信時イメージ除去比)の調整

内部 IQ 信号のバランスを調整することにより、受信時イメージ除去比を改善することができます。  
自動調整は以下の手順で実行することができます。

1. 外部信号発生器よりチャネル周波数の信号を LNA\_IN1 端子から入力します。  
入力信号源: 無変調波  
入力周波数: チャネル周波数  
入力レベル: -75dBm

2. IQ 自動調整時の設定として、下記レジスタを設定します。

レジスタ名	設定値
[CHFIL BW: B0 0x54]	0x78
[DEC_GAIN: B0 0x60]	0x1F
[IQ_ADJ_TARGET: B0 0x5F]	ご使用の条件に合わせて調整ください
[AFC/AGC_CTRL: B1 0x15]	0x02

3. RX\_ON 実行([SET\_TRX:B0 0x0B(3:0)] = 0x6)後、下記レジスタを設定することで IQ 調整を開始します。

レジスタ名	設定値
IQ_ADJ_START([IQ_MAG_ADJ_H: B0 0x5A(4)])	0b1

4. 調整完了した場合、IQ\_ADJ\_DONE = 0b1 にて通知します。

また、IQ 調整が正常に完了した場合は、IQ\_ADJ\_RSLT = 0b1 が通知されます。

IQ\_ADJ\_RSLT = 0b0 となる場合は、IQ 調整が正常に完了していない可能性がありますので、再度 IQ 調整(手順 3)を実施してください。ただし、繰り返し IQ 調整実施した場合でも IQ\_ADJ\_RSLT = 0b1 とならない場合、IQ 自動調整 RSSI 判定閾値(IQ\_ADJ\_TARGET)が低くすぎる可能性があります。RSSI 判定閾値を適切な値に調整後、再度お試しください。

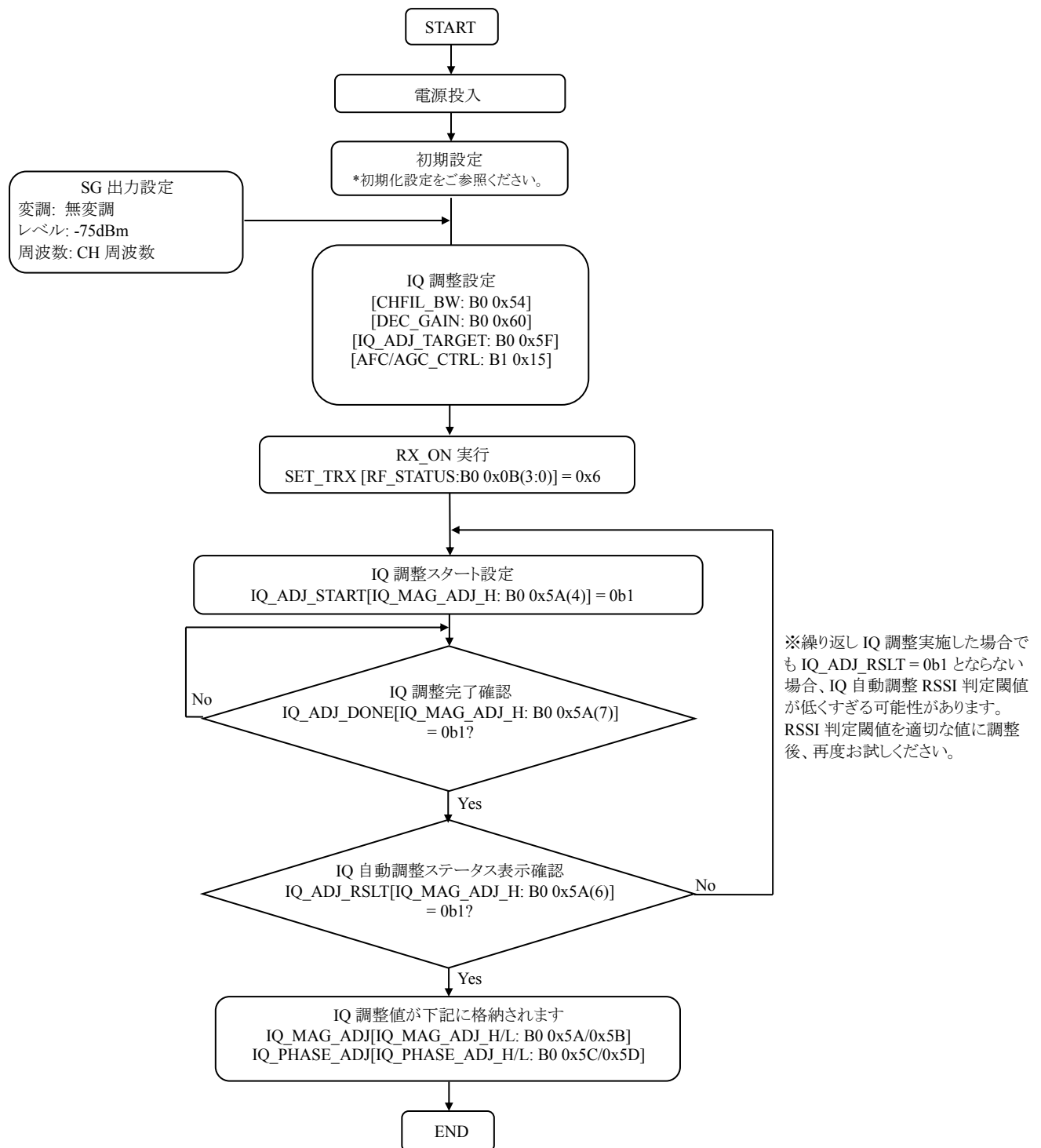
レジスタ名	読出し値
IQ_ADJ_DONE[IQ_MAG_ADJ_H: B0 0x5A(7)]	0b1
IQ_ADJ_RSLT[IQ_MAG_ADJ_H: B0 0x5A(6)]	0b1

5. 確定した調整値は、IQ\_MAG\_ADJ および IQ\_PHASE\_ADJ に格納されます。

レジスタ名	読出し値
IQ_MAG_ADJ[IQ_MAG_ADJ_H/L: B0 0x5A/0x5B]	IQ 調整結果(振幅)
IQ_PHASE_ADJ[IQ_PHASE_ADJ_H/L: B0 0x5C/0x5D]	IQ 調整結果(位相)



## 【I/Q 調整フロー】



## ●VCO キャリブレーション(VCO CAL)

PLL が所望の周波数でロックするために、VCO キャリブレーション (VCO CAL)を行います。  
VCO キャリブレーション (VCO CAL)には 2 種類の方式があります。用途に応じて使い分けください。

### ○VCO キャリブレーション(VCO CAL)の種類と特徴

#### I. オンデマンド

運用周波数の上下限の2点でVCOキャリブレーションを実施し、この2点のVCOキャリブレーション値を使って、使用周波数でのキャリブレーション値を算出します。1回当たりのVCOキャリブレーション時間はサブGHz帯で6ms(3ms x 2回)、2.4GHz帯で12ms(3ms x 4回)と長いですが、その後の運用では計算値を使うため、VCOキャリブレーションは不要となります。ただし、温度、電源電圧等の環境変化、及び周波数範囲等に変化が生じた場合にはVCOキャリブレーション (VCO CAL)を再実施する必要があります。

#### II. オート(状態遷移時)

IDLE状態から送信や受信状態などへ状態が遷移したときに自動でVCOキャリブレーションを実施します。この場合、状態遷移時間がVCOキャリブレーションを実施しない場合に比べ80  $\mu$ sほど長くなりますが、温度、電源電圧等の環境変化及び周波数範囲を気にすることなく、使用することができます。なお、VCOキャリブレーション実行後(毎状態遷移時)、VCOキャリブレーション完了割込みINT[1]([INT\_SOURCE\_GRP1: B0 0x0D(1)])が通知されます。

#### III. 常時補正(状態遷移完了後)

送信状態または受信状態を長時間続ける場合において、温度変化などによりPLLロック外れが生じる可能性があります。このような場合であっても、本機能を使用することにより自動でVCOキャリブレーションを実行し、送信または受信状態を維持することができます。なお、送信時のこの機能を使用する場合には、PLLロックが外れた場合でも送信を継続させる設定([PLL\_LOCK\_DETECT: B1 0x0B]=0x01)をしてください。  
(このモードでVCOキャリブレーションが実行された場合であっても、VCOキャリブレーション完了割込みINT[1]([INT\_SOURCE\_GRP1: B0 0x0D(1)])は通知されません。)

この機能は、上記I.オンデマンド方式、II.オート方式と共に使用することができます。  
詳細は、レジスタ[VCO\_ACC\_CTRL: B3 0x66]をご参照ください。

VCO キャリブレーション (VCO CAL) の種類と特徴

方式	オート	オンデマンド
実行時期	状態遷移毎に毎回	必要に応じて実行
方式	使用周波数での VCO キャリブレーション (VCO CAL) 値	上下限周波数の 2 点で VCO キャリブレーションを実施し、得られた 2 点での VCO キャリブレーション値を使って使用周波数での VCO キャリブレーション (VCO CAL) 値を算出 (2 点補間)
キャリブレーション時間	80 $\mu$ s (*3)	サブ GHz 利用時: 6ms (*3) 2.4 GHz 利用時: 12ms (*3)
有効周波数範囲	制限なし	< 20MHz
環境耐性	強い(状態遷移毎にキャリブレーションされるため)	VCO キャリブレーション実行時の温度から許容範囲以上の温度変動が生じた場合には再キャリブレーションが必要 ※VCO キャリブレーション(VCO CAL)を行う条件を参照
用途	・屋外用途(温度変化が大い) ・周波数範囲が広い	・屋内用途で温度変化が小さい ・周波数範囲が狭い(< 20MHz)

(\*3) Fref = 48MHz 時

それぞれの方式で使用するレジスタを下表に示します。

方式	オート	オンデマンド
必要な設定	<p>○実行 [VCO_CAL_START: B0 0x6F]=0xD0</p>	<p>○実行 【サブ GHz】 [VCO_CAL_START: B0 0x6F]=0x05</p> <p>【2.4GHz】 (*1) [VCO_CAL_START: B0 0x6F]=0x05 :送信時 [VCO_CAL_START: B0 0x6F]=0x25 :受信時</p> <p>【サブ GHz】 ○下限周波数の設定 [VCO_CAL_MIN_I: B1 0x4D] [VCO_CAL_MIN_FH: B1 0x4E] [VCO_CAL_MIN_FM: B1 0x4F] [VCO_CAL_MIN_FL: B1 0x50] ○VCO キャリブレーション周波数範囲設定 [VCO_CAL_MAX_N: B1 0x51]</p> <p>【2.4GHz】 (*1) ○下限周波数の設定 [VCO_CAL_MIN_I_2G: B4 0x72] [VCO_CAL_MIN_FH_2G: B4 0x73] [VCO_CAL_MIN_FM_2G: B4 0x74] [VCO_CAL_MIN_FL_2G: B4 0x75] ○VCO キャリブレーション周波数範囲設定 [VCO_CAL_MAX_N_2G: B4 0x76]</p>
VCO キャリブレーション結果	<p>○VCO キャリブレーション値 [VCO_CAL: B0 0x6E]</p>	<p>○VCO キャリブレーション値 [VCO_CAL: B0 0x6E]</p> <p>【サブ GHz】 ○下限周波数での VCO キャリブレーション値 [VCO_FCAL_MIN: B1 0x52] ○上限周波数での VCO キャリブレーション値 [VCO_FCAL_MAX: B1 0x53]</p> <p>【2.4GHz】 (*1) ○VCO キャリブレーション値 送信時下限周波数: [VCO_FCAL_MIN_2G: B1 0x74] 送信時上限周波数: [VCO_FCAL_MAX_2G: B1 0x75] 受信時下限周波数: [VCO_FCAL_MIN_2G_RX: B1 0x76] 受信時上限周波数: [VCO_FCAL_MAX_2G_RX: B1 0x77]</p>

## ○VCO オンデマンドキャリブレーション

運用周波数の上下限周波数の 2 点で VCO キャリブレーションを実施し、この 2 点の VCO キャリブレーション値を使って、使用周波数でのキャリブレーション値を算出します。

## ◆VCO オンデマンドキャリブレーション下限周波数設定

下限周波数は以下の式より PLL 分周比 **Npll** を算出し、整数部分 I、小数部分 F に分けてレジスタに設定します。

$$N_{pll} = Frf\_0 * Ndiv / (S * F_{ref})$$

整数部分 **I** = INT(**Npll**)

※INT(X) : X の整数部分

小数部分 **F** = INT[ { **Npll** - INT(**Npll**) } \* 2<sup>20</sup> ]

## □サブ GHz 帯下限周波数設定

サブ GHz 帯の下限周波数=920.7MHz を設定する場合 (基準クロック **F<sub>ref</sub>**=48MHz 時) は以下の計算となります。

$$N_{pll} = Frf\_0 * Ndiv / (S * F_{ref}) = 920.7MHz * 2 / (2 * 48MHz) = 19.18125$$

(※Ndiv=2, S=2)

整数部分 **I** = 19[DEC]=13[HEX]

小数部分 **F** = INT((**Npll** - INT(**Npll**)) \* 2<sup>20</sup>) = INT((19.18125 - 19) \* 2<sup>20</sup>) = 190054[DEC] = 02\_E6\_66[HEX]

Frf\_0=920.7MHz(F<sub>ref</sub>=48MHz)時の下限周波数設定

PLL 分周比 Npll	レジスタアドレス	設定値[HEX]
整数部分 I	[VCO_CAL_MIN_I: B1 0x4D]	13
小数部分 F_H(上位)	[VCO_CAL_MIN_FH: B1 0x4E]	02
小数部分 F_M(中位)	[VCO_CAL_MIN_FM: B1 0x4F]	E6
小数部分 F_L(下位)	[VCO_CAL_MIN_FL: B1 0x50]	66

## □2.4GHz 帯下限周波数設定

2.4GHz 帯では、送信状態と受信状態それぞれにおいて下限周波数設定を変更する必要があります。

各モードにおける下限周波数の設定は下表に従ってください。

以下の下限周波数の設定(4つのレジスタ値)は、下表では簡単化のため[VCO\_CAL\_MIN\_2G]と表現します。

[VCO\_CAL\_MIN\_I\_2G: B4 0x72]

[VCO\_CAL\_MIN\_FH\_2G: B4 0x73]

[VCO\_CAL\_MIN\_FM\_2G: B4 0x74]

[VCO\_CAL\_MIN\_FL\_2G: B4 0x75]

2.4GHz 帯におけるオンデマンド VCO キャリブレーション下限周波数設定 (Ndiv=1, S=2 の場合)

モード	VCO キャリブレーション時	運用時
送信	<p>■設定 VCO_CAL_MIN_2G = RF 下限周波数</p> <p>■例. 運用周波数 2402 - 2478MHz の場合</p> <p>VCO キャリブレーション下限周波数= (RF 下限周波数-1MHz) = 2401MHz</p> <p>Fref=48MHz の場合、 VCO_CAL_MIN_2G = 2401MHz/2/48MHz = 25.01... [VCO_CAL_MIN_I_2G: B4 0x72] = 0x19 [VCO_CAL_MIN_FH_2G: B4 0x73] = 0x00 [VCO_CAL_MIN_FM_2G: B4 0x74] = 0x2A [VCO_CAL_MIN_FL_2G: B4 0x75] = 0xAA</p>	<p>■設定 VCO_CAL_MIN_2G = RF 下限周波数</p> <p>■例. 運用周波数 2402 - 2478MHz の場合</p> <p>VCO キャリブレーション下限周波数 = (RF 下限周波数-1MHz) = 2401MHz を設定</p> <p>Fref=48MHz の場合、 VCO_CAL_MIN_2G = 2401MHz/2/48MHz = 25.01... [VCO_CAL_MIN_I_2G: B4 0x72] = 0x19 [VCO_CAL_MIN_FH_2G: B4 0x73] = 0x00 [VCO_CAL_MIN_FM_2G: B4 0x74] = 0x2A [VCO_CAL_MIN_FL_2G: B4 0x75] = 0xAA</p>
受信	<p>■設定 VCO_CAL_MIN_2G = RF 下限周波数</p> <p>■例. 運用周波数 2402 - 2478MHz の場合</p> <p>VCO キャリブレーション下限周波数= (RF 下限周波数-1MHz) * 8/9 = 2401MHz * 8/9 を設定</p> <p>Fref=48MHz の場合、 VCO_CAL_MIN_2G = 2401MHz*8/9/2/48MHz = 22.23... [VCO_CAL_MIN_I_2G: B4 0x72] = 0x16 [VCO_CAL_MIN_FH_2G: B4 0x73] = 0x03 [VCO_CAL_MIN_FM_2G: B4 0x74] = 0xB4 [VCO_CAL_MIN_FL_2G: B4 0x75] = 0x25</p>	<p>■設定 VCO_CAL_MIN_2G = RF 下限周波数</p> <p>■例. 運用周波数 2402 - 2478MHz の場合</p> <p>VCO キャリブレーション下限周波数= (RF 下限周波数-1MHz) = 2401MHz を設定</p> <p>Fref=48MHz の場合、 VCO_CAL_MIN_2G = 2401MHz/2/48MHz = 25.01... [VCO_CAL_MIN_I_2G: B4 0x72] = 0x19 [VCO_CAL_MIN_FH_2G: B4 0x73] = 0x00 [VCO_CAL_MIN_FM_2G: B4 0x74] = 0x2A [VCO_CAL_MIN_FL_2G: B4 0x75] = 0xAA</p>

## ◆VCO オンデマンドキャリブレーション周波数範囲設定

VCO オンデマンドキャリブレーション周波数範囲の設定は VCO キャリブレーション時と運用時で異なります。下表に従い設定下さい。

サブ GHz(利用周波数&lt;550MHz)の VCO キャリブレーション周波数範囲設定

レジスタ設定値 [VCO_CAL_MAX_N: B1 0x51]	VCO キャリブレーション周波数範囲 [MHz] (※基準クロック周波数=48MHz 時)	
	【VCO キャリブレーション時】	【運用時】
0000 0110	24(*3)	12
0000 0101 (初期値)	12	6
0000 0100	6	3
0000 0011	3	1.5
0000 0010	1.5	0.75
0000 0001	0.75	禁止
上記以外	禁止	禁止

サブ GHz(利用周波数&gt;778MHz)の VCO キャリブレーション周波数範囲設定

レジスタ設定値 [VCO_CAL_MAX_N: B1 0x51]	VCO キャリブレーション周波数範囲 [MHz] (※基準クロック周波数=48MHz 時)	
	【VCO キャリブレーション時】	【運用時】
0000 0110	24(*3)	24(*3)
0000 0101 (初期値)	12	12
0000 0100	6	6
0000 0011	3	3
0000 0010	1.5	1.5
0000 0001	0.75	0.75
上記以外	禁止	禁止

2.4 GHz の VCO キャリブレーション周波数範囲設定

レジスタ設定値 [VCO_CAL_MAX_N_2G: B4 0x76]	VCO キャリブレーション周波数範囲 [MHz] (※基準クロック周波数=48MHz 時)	
	【VCO キャリブレーション時】	【運用時】
0000 0110	48(*3)	48(*3)
0000 0101 (初期値)	24(*3)	24(*3)
0000 0100	12	12
0000 0011	6	6
0000 0010	3	3
0000 0001	1.5	1.5
上記以外	0.75	0.75

ここで、VCO キャリブレーション周波数範囲は、下式の通り使用周波数範囲と PLL 出力分周設定(Ndiv)及び PLL 前置分周比設定(S)に応じて決定します。

$$\text{VCO キャリブレーション周波数範囲} \geq (\text{使用周波数範囲} + \text{マージン}(2\text{MHz})) * \text{Ndiv} / \text{S}$$

なお、PLL 出力分周設定(Ndiv)は使用周波数帯によって変える必要があります。詳細は「周波数設定機能」をご参照ください。

例) 920MHz 帯で使用する場合の例を以下に示します。(S=2 の場合)

使用周波数範囲: 920.7MHz~927.7MHz (7MHz)

出力分周設定(Ndiv): 2(PLL\_OUT\_DIV([PLL\_DIV\_SET: B1 0x1A(3-1)]))

$$\text{VCO キャリブレーション周波数範囲} \geq (7\text{MHz} + 2\text{MHz}) * 2 / 2 = 9\text{MHz}$$

このとき、VCO キャリブレーション周波数範囲は 12MHz を選択してください。

(\*3)20MHz を超える範囲でのご利用は推奨いたしません。

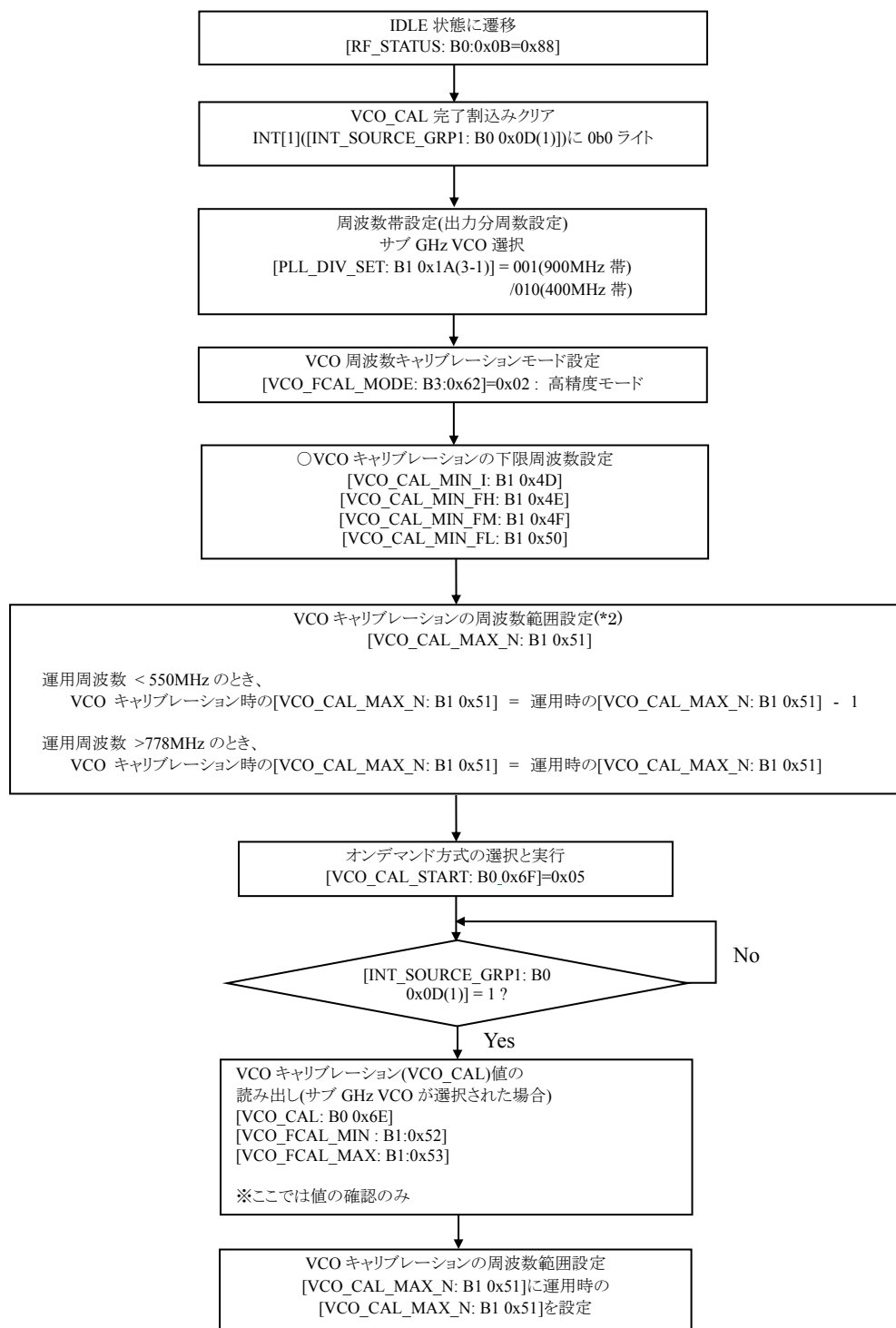
※VCO キャリブレーション(VCO\_CAL)完了後、IDLE 状態へ移行します。

※以下のレジスタ値を外部メモリで保持し、起動後に設定することで、VCO キャリブレーション(VCO\_CAL)を省略することができます。ただし 2.4GHz 利用時は、送信時・受信時それぞれ個別のレジスタ値を外部メモリに保持する必要があります。

[VCO\_CAL\_MIN\_I: B1 0x4D]  
[VCO\_CAL\_MIN\_FH: B1 0x4E]  
[VCO\_CAL\_MIN\_FM: B1 0x4F]  
[VCO\_CAL\_MIN\_FL: B1 0x50]  
[VCO\_CAL\_MAX\_N: B1 0x51]  
[VCAL\_FCAL\_MIN: B1 0x52]  
[VCAL\_FCAL\_MAX: B1 0x53]

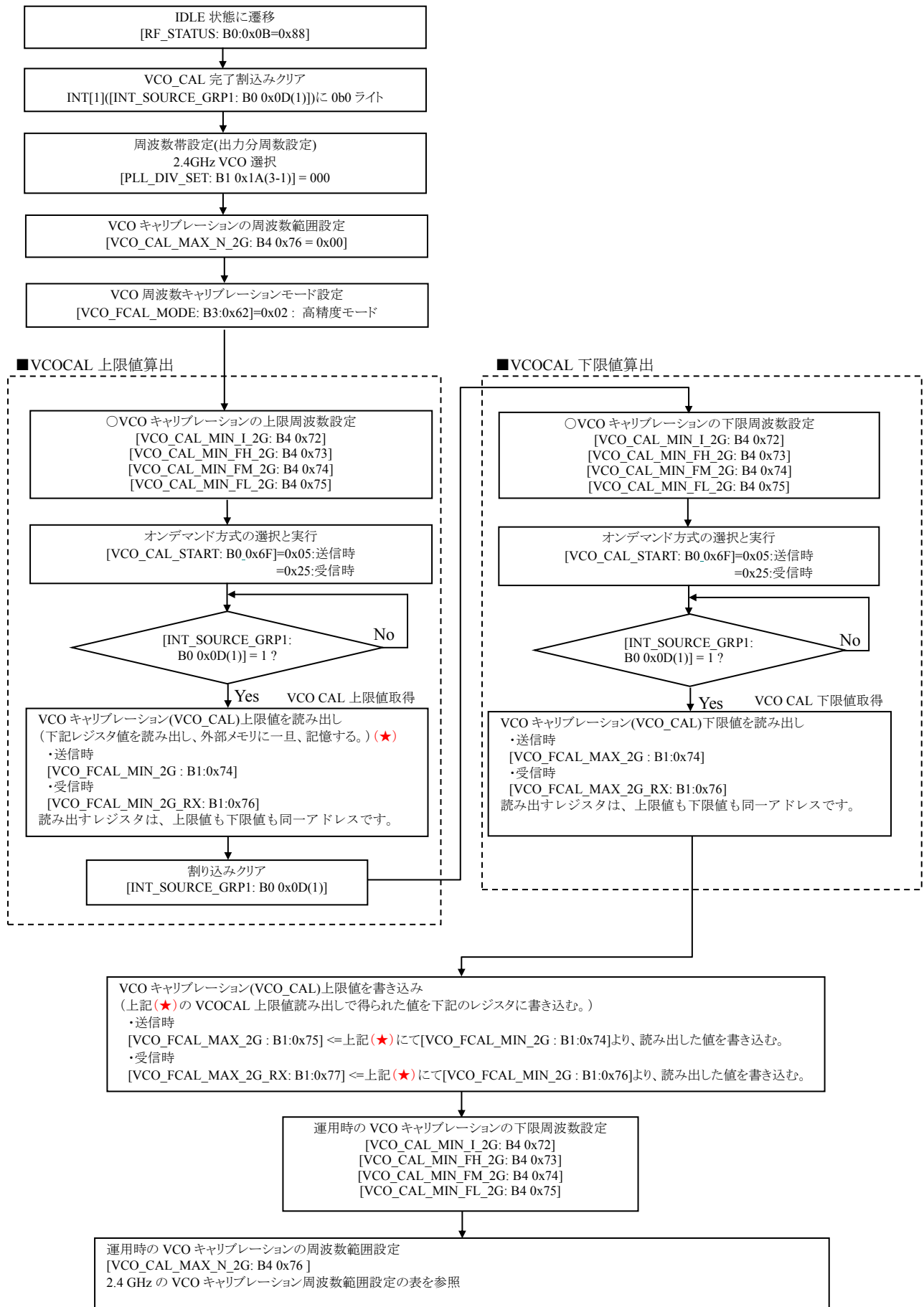
[VCO\_CAL\_MIN\_I\_2G: B4 0x72]  
[VCO\_CAL\_MIN\_FH\_2G: B4 0x73]  
[VCO\_CAL\_MIN\_FM\_2G: B4 0x74]  
[VCO\_CAL\_MIN\_FL\_2G: B4 0x75]  
[VCO\_CAL\_MAX\_N\_2G: B4 0x76]  
[VCAL\_FCAL\_MIN\_2G: B1 0x74]  
[VCAL\_FCAL\_MAX\_2G: B1 0x75]  
[VCAL\_FCAL\_MIN\_2G\_RX: B1 0x76]  
[VCAL\_FCAL\_MAX\_2G\_RX: B1 0x77]

## ◆設定フロー(サブ GHz)





## ◆設定フロー(2.4 GHz)



## ◆オンデマンドキャリブレーションを実施する条件

以下の場合にオンデマンドキャリブレーションを実施する必要があります。

## I. 初めて装置を動作させるとき

LSIが実装された装置を起動した時、VCOキャリブレーション(VCO CAL)値(VCO CAL: B0 0x6E)は初期値(0x80)になっています。VCOキャリブレーション(VCO CAL)を実行し、VCOキャリブレーション(VCO CAL)値を取得してください。

## II. VCOキャリブレーション(VCO CAL)を実行した上下限周波数を超える周波数を利用する場合

例.VCOキャリブレーション(VCO CAL)周波数範囲が921.25～931.25MHzの場合

この932MHzを利用する場合にはVCOキャリブレーション(VCO CAL)を再実行する必要があります。

## III. 利用する周波数範囲が20MHzを超える場合

例. 2402-2483.5MHzの周波数範囲で利用する場合、4回VCOキャリブレーション(VCO CAL)が必要となります。

1. 2402-2420MHz
2. 2420-2440MHz
3. 2440-2460MHz
4. 2460-2483.5MHz

※この場合の「VCO キャリブレーションの周波数範囲設定」は 24MHz を指定して下さい。

※2.4GHz帯の利用では上記オンデマンドでも実行は可能ですが、オート方式を推奨します。

## IV. 前回VCO CALを実行した温度から±15℃の温度変化があった場合

例. 前回のVCOキャリブレーション(VCO CAL)実行時の周囲温度=0℃の場合、

現在の周囲温度が±15℃の範囲を超えた場合にはVCOキャリブレーションを再実行する必要があります。前回のVCO CAL実行時の周囲温度=+15℃の場合には、10℃～+40℃の範囲で同一のVCO CAL 値が利用できます。

※上記以外の用途ではオート方式をご利用ください。

## ○オートキャリブレーション

IDLE状態から送信や受信状態などへ状態が遷移したときに自動でVCOキャリブレーションを実施します。  
この場合、状態遷移時間が約80us長くなりますが、温度、電源電圧等の環境変化及び周波数範囲を気にすることなく、使用することができます。

下記レジスタを初期設定することでオート方式に入ります。

このモードでは送受信切替え時及びチャネル切替え時に VCO キャリブレーションが実行されます。

レジスタ	設定値
[VCO_CAL_START: B0:0x6F]	0xD0

オートキャリブレーション利用時はオンデマンドキャリブレーションの設定は不要です。

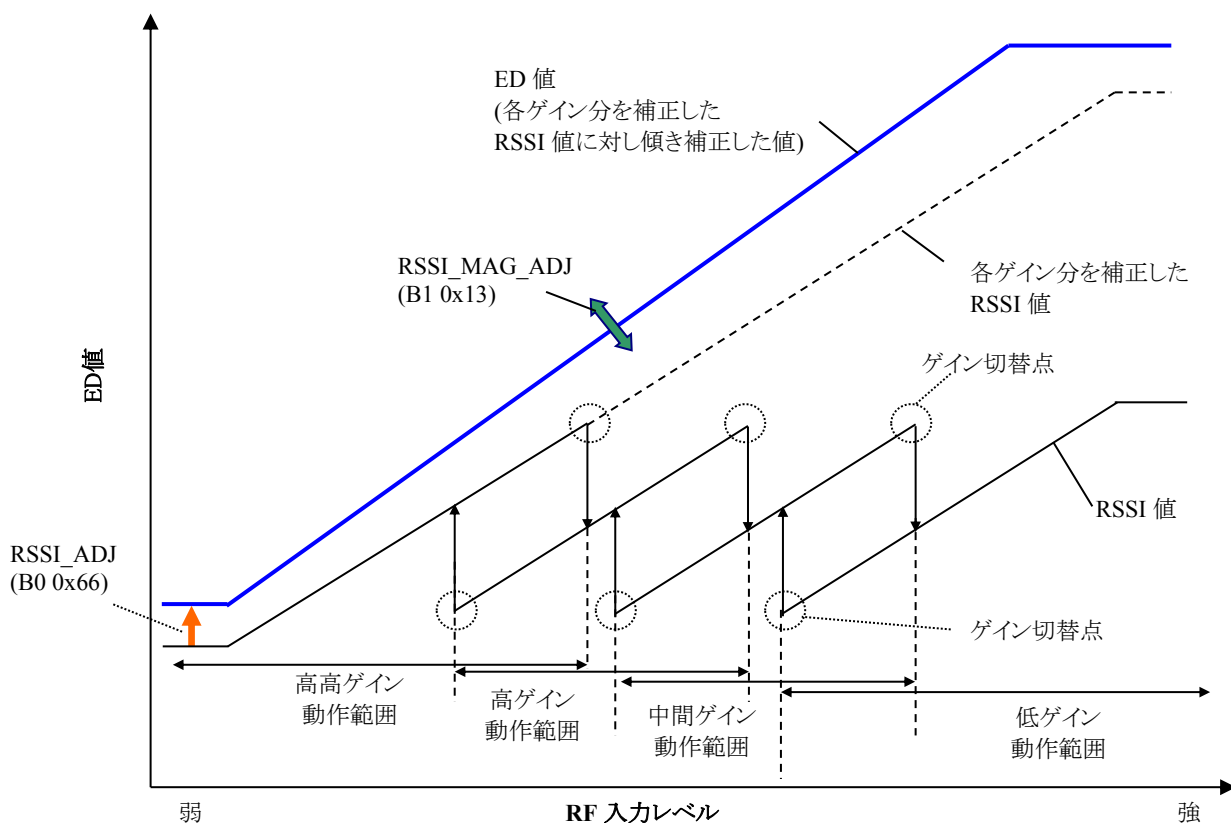
## ●電力検出値(ED 値)の調整

RF 信号から、本節で説明する演算を行い、ED 値として算出致します。本調節を行うことで、個体間のバラツキを補正することが可能となります。

広い入力レンジをカバーするため、4 つのゲイン状態を切り替え、RF 入力レベルに応じた ED 値(下図の青線)を算出できます。精度の高い ED 値を得るため、レジスタにより以下の調整が可能です。

調整項目	周波数帯	レジスタ	備考
ゲイン切替点	サブ GHz/ 2.4GHz 共通	[GAIN_HHTOH: B2 0x76]	高高ゲイン⇒高ゲイン
		[GAIN_HTOHH: B2 0x77]	高ゲイン⇒高高ゲイン
		[GAIN_HTOM: B2 0x78]	高ゲイン⇒中間ゲイン
		[GAIN_MTOH: B2 0x79]	中間ゲイン⇒高ゲイン
		[GAIN_MTOL: B2 0x7A]	中間ゲイン⇒低ゲイン
		[GAIN_LTOM: B2 0x7B]	低ゲイン⇒中間ゲイン
線形性	サブ GHz	[RSSI_ADJ_H: B2 0x7C]	高ゲイン ED 値オフセット
		[RSSI_ADJ_M: B2 0x7D]	中間ゲイン ED 値オフセット
		[RSSI_ADJ_L: B2 0x7E]	低ゲイン ED 値オフセット
	2.4GHz	[RSSI_ADJ_H_2G: B2 0x73]	高ゲイン ED 値オフセット
		[RSSI_ADJ_M_2G: B2 0x74]	中間ゲイン ED 値オフセット
		[RSSI_ADJ_L_2G: B2 0x75]	低ゲイン ED 値オフセット
RSSI 傾き	サブ GHz/ 2.4GHz 共通	[RSSI_MAG_ADJ: B1 0x13]	-
ED 値バラつき (同一入力レベル)	サブ GHz/ 2.4GHz 共通	[RSSI_ADJ: B0 0x66]	各ゲイン ED 値オフセット

RSSI\_ADJ では、同一入力レベルに対する ED 値バラツキを調整することができます。ただし、[RSSI\_MAG\_ADJ: B1 0x13]による傾き設定前の値に対する補正となります。なお、正の値を設定すると低入力レベル時に ED 値が 0x00 まで下がらなくなり、負の値を設定すると高入力レベル時に 0xFF まで上がらなくなることがあります。



## ●発振回路の調整

水晶振動子を使用する場合、XIN 端子(ピン#1)と XOUT 端子(ピン#36)に付く負荷容量を調整することで水晶振動子の偏差を調整することができます。負荷容量の調整は[OSC\_ADJ1: B0 0x62]と[OSC\_ADJ2: B0 0x63]を変更することで可能です。

レジスタ名	説明
[OSC_ADJ1: B0 0x62]	粗調整
[OSC_ADJ2: B0 0x63]	微調整

負荷容量値を大きくすることで発振周波数は下がる方向となります。

OSC\_ADJ\_CORSE\_XO[OSC\_ADJ1: B0 0x62(7-4)]と OSC\_ADJ\_CORSE\_XI[OSC\_ADJ1: B0 0x62(3-0)]は、それぞれ XOUT 端子側と XIN 端子側の負荷容量を調整する働きになっていますので、両設定は同時に変更する事を推奨いたします。)

[OSC_ADJ1: B0 0x62]/ [OSC_ADJ2: B0 0x63]	負荷容量	水晶発振周波数
0x00/0x00	小	高
...	...	...
0x88/0x80	中	中
...	...	...
0xFF/0xFF	大	低

また、送受信周波数の調整は、PLL 周波数設定にオフセットを持たせることによる調整も可能です。詳細は「送受信周波数の調整」をご参照ください。

## ●送受信周波数の調整

基準クロック偏差による送受信周波数のずれは  $\text{FREQ\_ADJ\_SIGN}([\text{FREQ\_ADJ\_H: B1 0x42(7)}])$  および  $\text{FREQ\_ADJ}[9:0][[\text{FREQ\_ADJ\_H/L: B1 0x42(1-0)/0x43}]]$  にて調整することができます。

$\text{FREQ\_ADJ}[9:0]$  の設定値は、下記の式で求められます。

$$\text{FREQ\_ADJ} = \text{INT} ( \text{F}_{\text{adj}} * \text{N}_{\text{div}} / (\text{S} * \text{F}_{\text{ref}}) * 2^{20} )$$

ここで、**FREQ\_ADJ**: 周波数ずれ調整設定

**F<sub>adj</sub>**: 周波数ずれ調整周波数[MHz]

**N<sub>div</sub>**: PLL 出力分周分周設定( $\text{PLL\_OUT\_DIV}([\text{PLL\_DIV\_SET: B1 0x1A(3-1)}])$ )

**S**: PLL 前置分周比設定( $\text{PLL\_OUT\_DIV}([\text{PLL\_DIV\_SET: B1 0x1A(0)}]) = 0: \text{S}=2, 1: \text{S}=4$ )

**F<sub>ref</sub>**: 基準クロック周波数[MHz]

**INT(X)**: X の整数部分

例) 周波数ずれ調整周波数+1kHz の場合( $\text{F}_{\text{ref}}=48\text{MHz}$ 、 $\text{N}_{\text{div}}=2$ 、 $\text{S}=2$  の時)、以下のようになります。

$$\begin{aligned} \text{FREQ\_ADJ} &= \text{INT} ( \text{F}_{\text{adj}} * \text{N}_{\text{div}} / (\text{S} * \text{F}_{\text{ref}}) * 2^{20} ) \\ &= \text{INT} ( 0.001\text{MHz} * 2 / (2 * 48\text{MHz}) * 2^{20} ) \\ &= 21[\text{DEC}] = 0x15[\text{HEX}] \end{aligned}$$

従って、設定値は下記となります。

$[\text{FREQ\_ADJ\_H: B1 0x42}] = 0x80$

$[\text{FREQ\_ADJ\_L: B1 0x43}] = 0x15$

送受信周波数の調整機能は、基準クロック偏差、及び使用周波数範囲によって、周波数誤差を生じます。下表に最大 RF 周波数誤差を示します。

最大 RF 周波数誤差 [ppm]

基準クロック 偏差[ppm]	使用 RF 周波数範囲			
	5MHz	10MHz	40MHz	80MHz
5	0.01	0.02	0.08	0.16
10	0.02	0.04	0.16	0.32
20	0.04	0.08	0.32	0.64
40	0.08	0.16	0.64	1.28
80	0.16	0.32	1.28	2.56

※上記に加え、チャンネル周波数の設定によっても誤差が加わるのでご注意ください。  
詳細は周波数設定機能のチャンネル周波数設定を参照下さい。

基準クロック偏差の調整は「発振回路の調整」によって調整することもできます。

## ■その他の設定

## ●BER 測定時の設定

本 LSI で BER を測定する際には、被試験器(受信)側で以下のレジスタを設定変更する必要があります。

レジスタ	設定値	備考
[DIO_SET: B0 0x0C]	0x40	-
[MON_CTRL: B0 0x4D]	0x80	-
[GPIO0_CTRL: B0 0x4E]～ [GPIO3_CTRL: B0 0x51]	DIO: 0x04 DCLK: 0x05	DIO/DCLK を出力する GPIO に対して設定してください。
[GAIN_HOLD: B1 0x0E]	0x00	-

BER 測定を完了し、受信を停止する場合は Force\_TRX\_OFF(SET\_TRX[RF\_STATUS: B0 0x0B(3-0)]を 0b0011 に設定) を実行してください。

## ●IEEE802.15.4g モード設定

IEEE802.15.4g に規定されるパケットフォーマットに対し、本 LSI で設定が必要なレジスタは以下の通りです。

## ○送受共通

パラメータ	レジスタ		設定値
	名称	アドレス	
同期ワード長設定	SYNCWORD_LEN	B1 0x25	0x10
同期ワードパターン設定 1	SYNCWORD1_SET0	B1 0x27	0x00
	SYNCWORD1_SET1	B1 0x28	0x00
	SYNCWORD1_SET2	B1 0x29	0x90
	SYNCWORD1_SET3	B1 0x2A	0x4E
同期ワードパターン設定 2	SYNCWORD2_SET0	B1 0x2B	0x00
	SYNCWORD2_SET1	B1 0x2C	0x00
	SYNCWORD2_SET2	B1 0x2D	0x7A
	SYNCWORD2_SET3	B1 0x2E	0x0E
Whitening 初期状態設定 1	WHT_INIT_H	B1 0x64	0x00
Whitening 初期状態設定 2	WHT_INIT_L	B1 0x65	0xF0
Whitening 生成多項式設定	WHT_CFG	B1 0x66	0x10

## ○送信

## (1) CRC16, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0010
CRC 生成多項式	CRC_POLY3	B1 0x16	0x00
	CRC_POLY2	B1 0x17	0x00
	CRC_POLY1	B1 0x18	0x08
	CRC_POLY0	B1 0x19	0x10

## (2) CRC16, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0011
CRC 生成多項式	CRC_POLY3	B1 0x16	0x00
	CRC_POLY2	B1 0x17	0x00
	CRC_POLY1	B1 0x18	0x08
	CRC_POLY0	B1 0x19	0x10



## (3) CRC32, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0000
CRC 生成多項式	CRC_POLY3	B1 0x16	0x02
	CRC_POLY2	B1 0x17	0x60
	CRC_POLY1	B1 0x18	0x8E
	CRC_POLY0	B1 0x19	0xDB

## (4) CRC32, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0001
CRC 生成多項式	CRC_POLY3	B1 0x16	0x02
	CRC_POLY2	B1 0x17	0x60
	CRC_POLY1	B1 0x18	0x8E
	CRC_POLY0	B1 0x19	0xDB

## ○受信

IEEE802\_15\_4G\_EN[PKT\_CTRL1: B0 0x04(2)]=0b1 設定することで、受信した PHR から FCS 情報、Whitening 情報を自動判定し受信します。

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D/0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01/0x00

## ●受信ローカル Upper/Lower 設定

受信ローカルの Upper/Lower 切替えに必要なレジスタ設定は以下の通りです。

パラメータ	レジスタ	設定値	
		Lower	Upper
受信ローカル周波数設定	LOCAL_SEL([IQ_MAG_ADJ_H: B0 0x5A(5)])	0b0	0b1
IQ 反転設定	IQ_INV([DEMODO_SET0: B1 0x56(6)])	0b1	0b0
受信データ極性設定	RX_FSK_POL([DATA_SET1: B0 0x07(5)])	0b0	0b1

## ■フローチャート

本 LSI を使用する際に必要な主な処理手順(処理フロー)を示します。フローチャートでは、ホストから LSI へのデータはレジスタ設定で行い、LSI からホストへの通知は割込みで通知します。割込み通知後の処理方法は以下のフローを参考に割込み処理をしてください。

カテゴリ	条件 1	条件 2	フロー名
電源投入時	-	-	(1) 初期化フロー
送信受信共通	RF 状態遷移待ち	-	(1) RF 状態遷移待ち
送信時	FIFO 送信	TX_ON	(1) 256 バイト以下
		FAST_TX モード	(2) 257 バイト以上(FAST_TX)
		自動送信	(3) 自動送信時
	DIO 送信	-	(4) DIO モード
	CCA	単発実行モード	(5) CCA 単発実行モード
		連続実行モード	(5) CCA 連続実行モード
		IDLE 検出モード	(5) CCA IDLE 検出モード
受信時	ACK 送信	-	(6) ACK 送信
	FIFO 受信	-	(1) 256 バイト以下
		-	(2) 257 バイト以上
	DIO 受信	データ出力モード 1	(3) DIO モード ①データ出力モード 1
		データ出力モード 2	(3) DIO モード ②データ出力モード 2
	電力検出(ED)	高速電波チェックモード	(4) 高速電波チェックモード
		アンテナダイバーシティ	(5) アンテナダイバーシティ
		ED-SCAN	(6) ED-SCAN
		チャンネルサーチ	(7) チャンネルサーチ
Field チェック			(8) Field チェック
SLEEP	SLEEP	-	(1) SLEEP
	ウェイクアップタイマ	-	(2) ウェイクアップタイマ
エラー発生時	Sync エラー	-	(1) CRC/Sync エラー
	送信 FIFO アクセスエラー	-	(2) 送信 FIFO アクセスエラー
	受信 FIFO アクセスエラー		(3) 受信 FIFO アクセスエラー
	PLL ロック外れ	送信時	(4) PLL ロック外れ ①送信時
		受信時	(4) PLL ロック外れ ②受信時

## ●電源投入時

## (1) 初期化フロー

初期化フローでは割り込み処理、RF 初期化、レジスタ設定、VCO キャリブレーション(オンデマンド方式使用時)が必要です。

## (1) 割り込み処理

初期値ではクロック安定化完了割り込み通知設定 (INT\_EN[0]([INT\_EN\_GRP1: B0 0x10(0)])) のみイネーブル設定となっております。ハードリセット解除後はクロック安定化完了割り込み (INT[0]([INT\_SOURCE\_GRP1: B0 0x0D(0)])) が検出されます。

## (2) RF 初期化

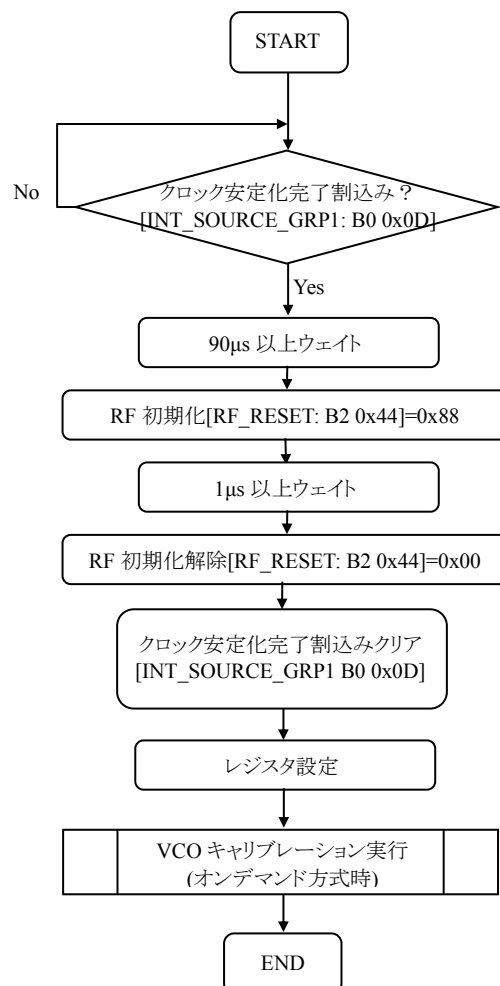
クロック安定化完了割り込み通知後、90 $\mu$ s 以上経過後に RF 初期化([RF\_RESET: B2 0x44] = 0x88)を実施し、1 $\mu$ s 以上のウェイト後に、RF 初期化解除([RF\_RESET: B2 0x44] = 0x00)を実行してください。  
レギュレータ起動後の RF 回路を初期化します。

## (3) レジスタ設定

FIFO アクセスレジスタ([WR\_TX\_FIFO: B0 0x7C], [RD\_FIFO: B0 0x7F])を除く全レジスタはクロック安定化完了割り込み(INT[0])通知後に、クロック安定化完了割り込み(INT[0])を確認し、レジスタアクセスしてください。初期化に必要なレジスタ設定の詳細は、「初期設定レジスタ」をご参照ください。

## (4) VCO キャリブレーション(オンデマンド方式使用時)

運用周波数の下限周波数と上限周波数を設定し、VCO キャリブレーションを実行します。VCO キャリブレーションの実行方法については「VCO キャリブレーション」をご参照下さい。



\* VCO キャリブレーションはオンデマンド方式を使用する場合にキャリブレーション実行が必要です。  
詳細は「VCO キャリブレーション」をご参照下さい。

## ●送信/受信共通

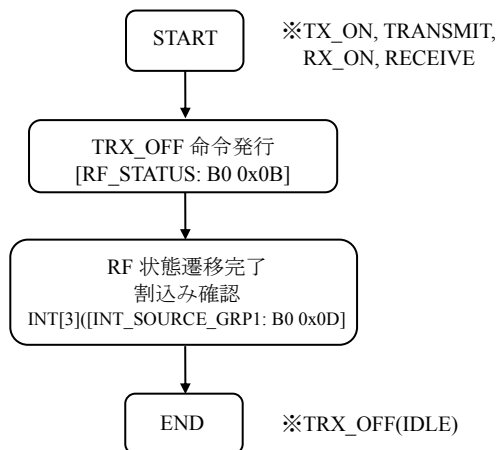
## (1) RF 状態遷移待ち

以下の RF 状態が変更する設定を行った場合、その後 RF 状態遷移が完了したことを RF 状態遷移完了割り込み(INT[3]: 割り込みグループ 1)にて確認を行ってください。

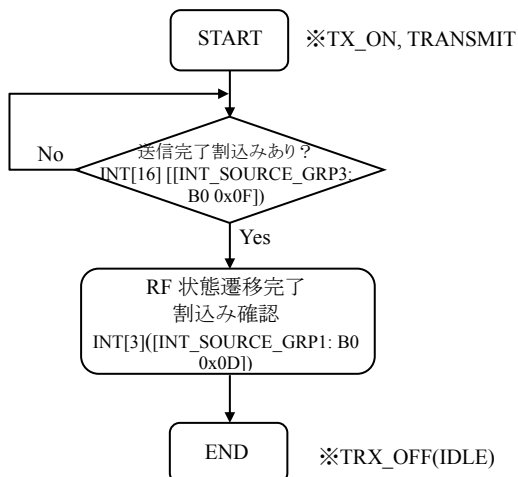
- [RF\_STATUS: B0 0x0B]により RF 状態変更
- [RF\_STATUS\_CTRL: B0 0x0A]による RF 状態変更
  - ・FAST\_TX モード設定
  - ・自動送信設定
  - ・送信完了後の RF 状態設定
  - ・受信完了後の RF 状態設定
- ウェイクアップタイマ設定による RF 状態変更
- クロック安定化後の RF 状態変更

## ①TRX\_OFF フロー

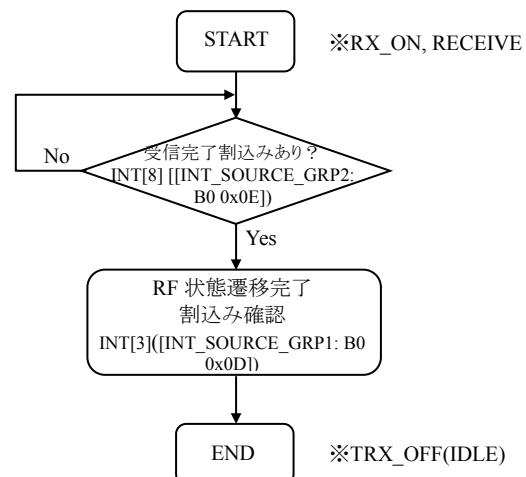
[RF\_STATUS: B0 0x0B]により RF 状態変更  
SET\_TRX[3:0]=0b1000



[RF\_STATUS\_CTRL: B0 0x0A]による RF 状態変更  
TXDONE\_MODE[1:0]=0b00

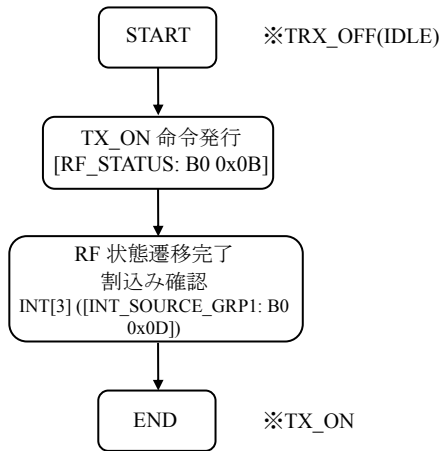


RXDONE\_MODE[1:0]=0b00



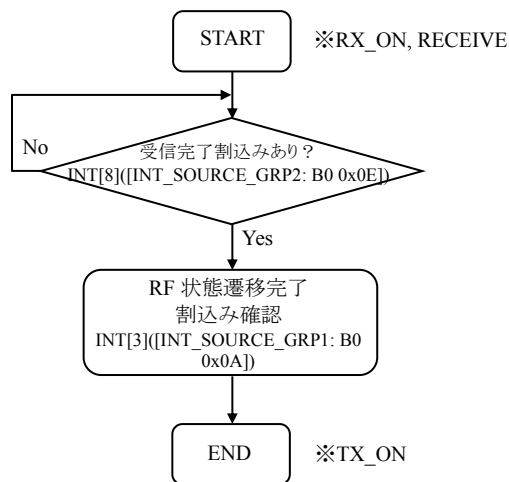
## ②TX\_ON フロー

[RF\_STATUS: B0 0x0B]により RF 状態変更  
SET\_TRX[3:0]=0b1001

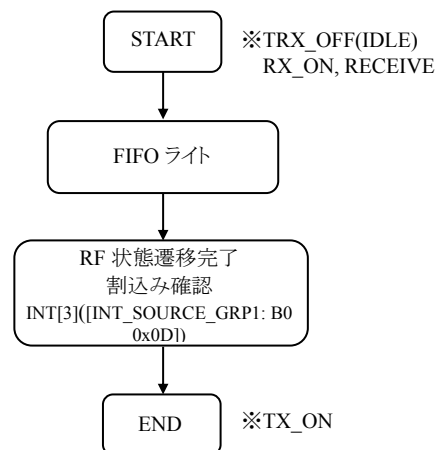


[RF\_STATUS\_CTRL: B0 0x0A]による RF 状態変更

RXDONE\_MODE[1:0]=0b01

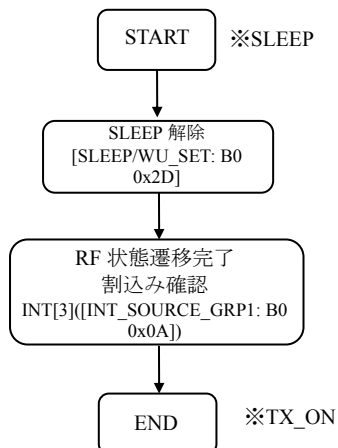


FAST\_TX\_EN=0b1 かつ  
AUTO\_TX\_EN=0b1



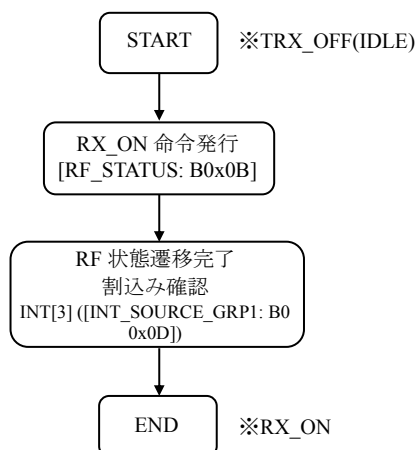
[FIFO\_SET: B0 0x78]による RF 状態変更

CLKINIT\_TRX\_EN=0b1 かつ CLKINIT\_TRX\_SET=0b1

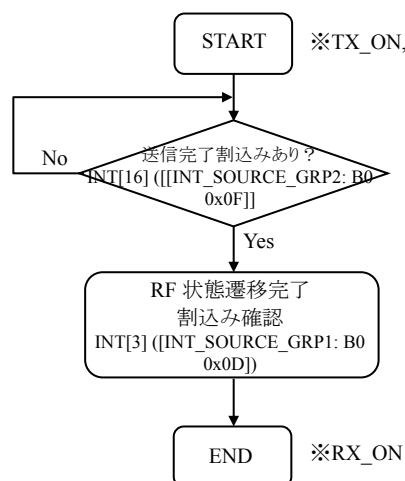


## ③RX\_ON フロー

[RF\_STATUS: B0 0x0B]により RF 状態変更  
SET\_TRX[3:0]=0b0110

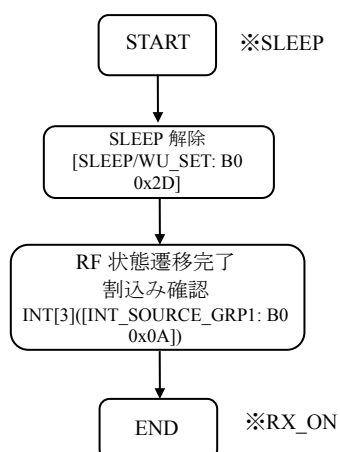


[RF\_STATUS\_CTRL: B0 0x0A]による RF 状態変更  
TXDONE\_MODE[1:0]=0b10



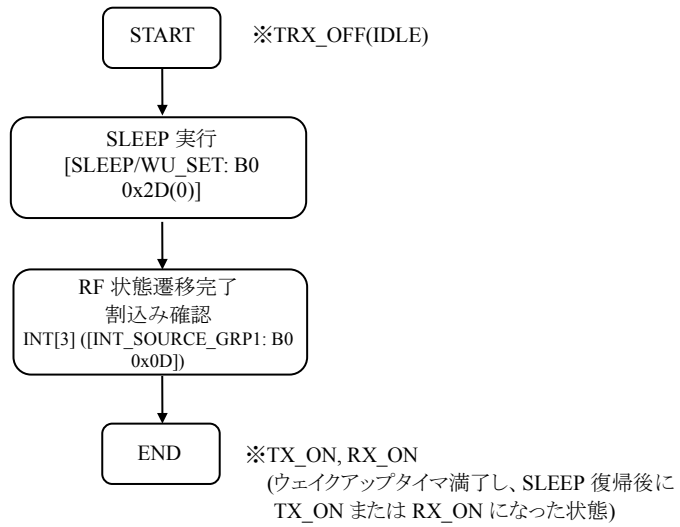
[FIFO\_SET: B0 0x78]による RF 状態変更

CLKINIT\_TRX\_EN=0b1 かつ CLKINIT\_TRX\_SET =0b1



## ④ウェイクアップフロー

ウェイクアップ後割り込みグループ 2 の INT[13] (SyncWord 検出割り込み)を待つ場合は以下の限りではありません





## ●送信時

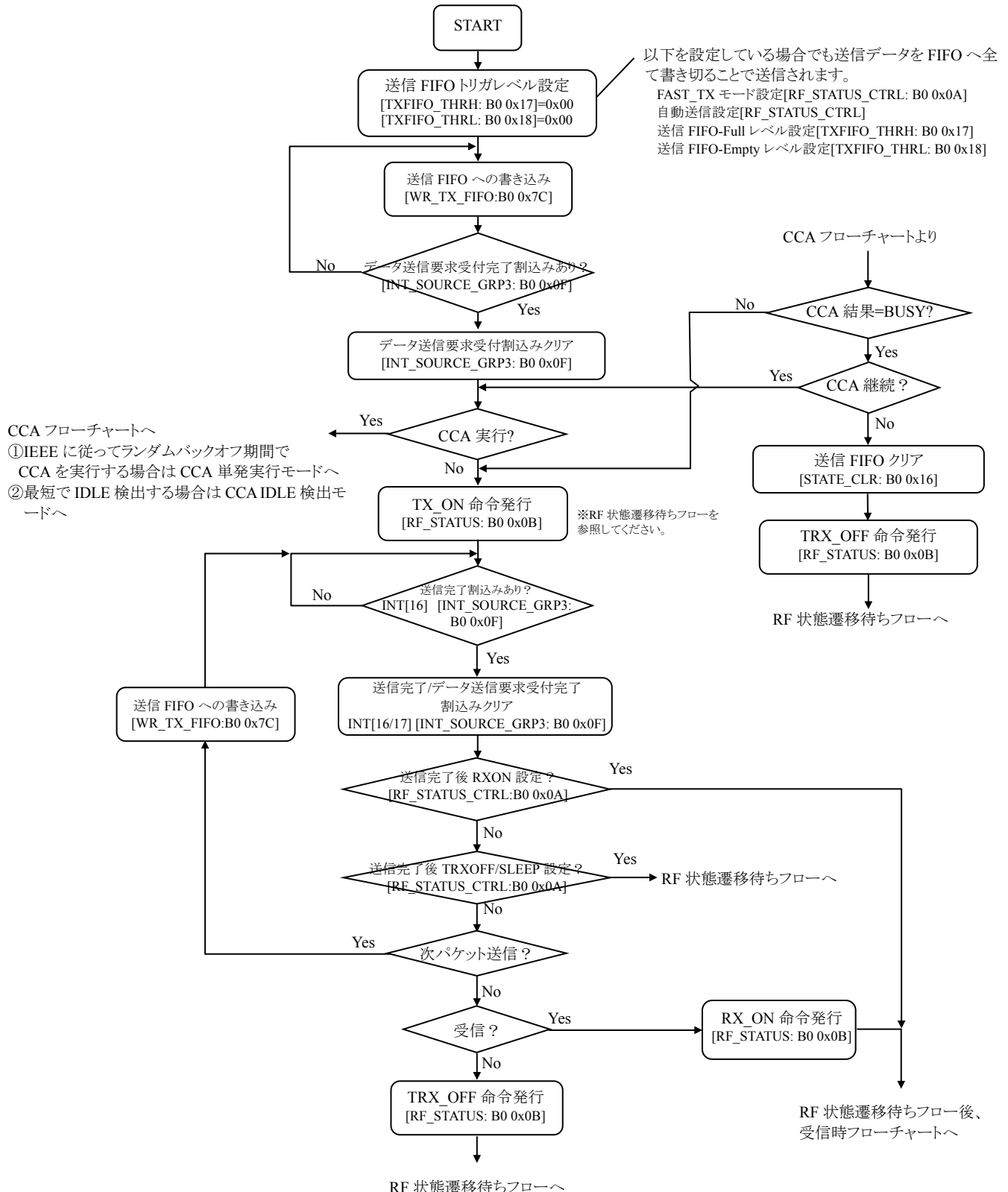
データ送信には FIFO を使用する場合と DIO を使用する場合の 2 つの方法があります。また、FIFO 送信において、LSI を送信状態にする機能が 3 つ(TX\_ON 命令発行、FAST\_TX モード、自動送信)あります。なお、データ送信時にはキャリアセンスを行うことが電波法(ARIB STD-T108 など)で定められています。

動作・機能		機能概要	フロー
FIFO 送信	TX_ON 命令	LSI を TX_ON 状態へ遷移させます。送信 FIFO に Length 分の送信データを書き込み完了後、TX_ON 命令を発行することによりパケットデータを送出することが可能です。  レジスタ: SET_TRX([RF_STATUS: B0 0x0B(3-0)])	(1)
	FAST_TX モード	送信データの書き込み量が[TXFIFO_THRL: B0 0x18]で設定される値より大きくなった場合、送信状態へ遷移します。FIFO サイズ(256 バイト)より大きいデータ送信時に必須な機能です。FIFO サイズ以下のデータ送信にも使用可能です。  TX_FIFO がアンダーランしないように FIFO-Empty 割込み INT[4]([INT_SOURCE_GRP1: B0 0x0D(4)])を確認しながら TX_FIFO に送信データを書き込みます。 詳細は「機能説明-パケットハンドリング機能-FIFO 制御機能」をご参照ください。	(2)
	自動送信	Length 分の送信データの書き込みを完了した場合、送信状態へ遷移します。FIFO サイズ(256 バイト)以下のデータ送信時に使用可能です。  レジスタ: AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])	(3)
DIO 送信		GPIO 端子から送受信データを直接入力する機能です。 詳細は「機能説明-パケットハンドリング機能-DIO 機能」をご参照ください。	(4)
CCA		ある周波数チャネルを受信し、そのチャネルが現在使用されているか、空いているかを判定する機能です。本 LSI は単発実行モード、連続実行モード、IDLE 検出モードの 3 種類のモードを備えています。 ①単発実行モード …IDLE/BUSY を判定するモードです。 ②連続実行モード …ホスト CPU からの停止命令があるまで CCA を継続するモードです。 ③IDLE 検出モード …IDLE を検出するまで CCA を継続するモードです。 詳細は「機能説明-受信関連機能-CCA 機能」をご参照ください。	(5)
ACK 送信		受信 FIFOトリガを使用して受信中に送信 FIFO に ACK フレームをセットし、受信完了後、送信 FIFO にセットした ACK フレームを送信します。	(6)

上記機能を使う場合のフローを以下に示します。

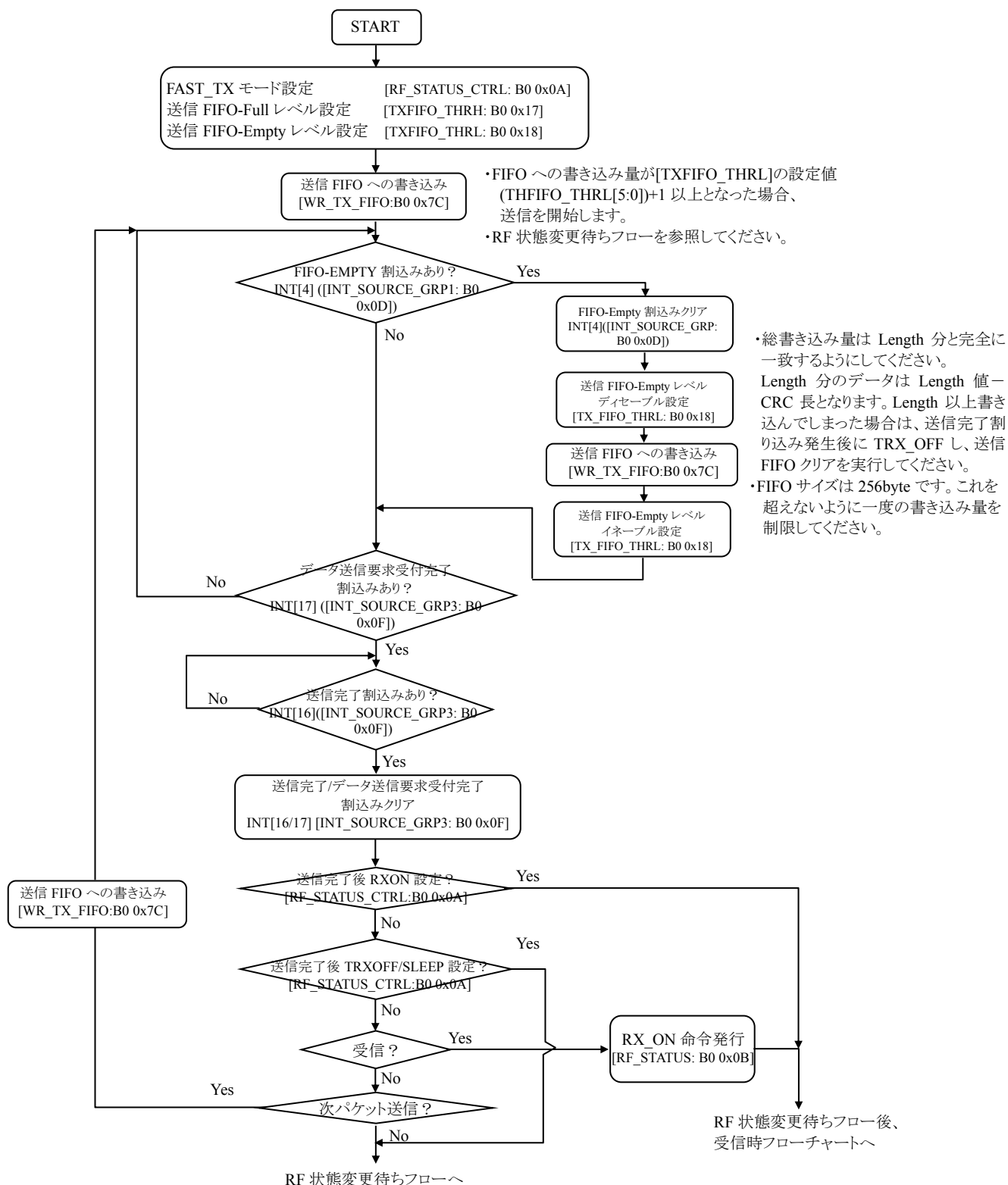
## (1) 256byte 以下のデータ送信(FIFO モード)

FIFO モードは、TXDIO\_CTRL[1:0]([DIO\_SET: B0 0x0C(5-4)]=0b00) を書き込むことで設定できます。FIFO モードではパケット毎に[WR\_TX\_FIFO: B0 0x7C]レジスタでデータを送信 FIFO へ書き込みます。1 パケット分のデータを送信 FIFO へ書き込み後、[RF\_STATUS: B0 0x0B]レジスタで TX\_ON 命令を発行します。プリアンプル/SyncWord に続き、送信 FIFO データが送信されます。



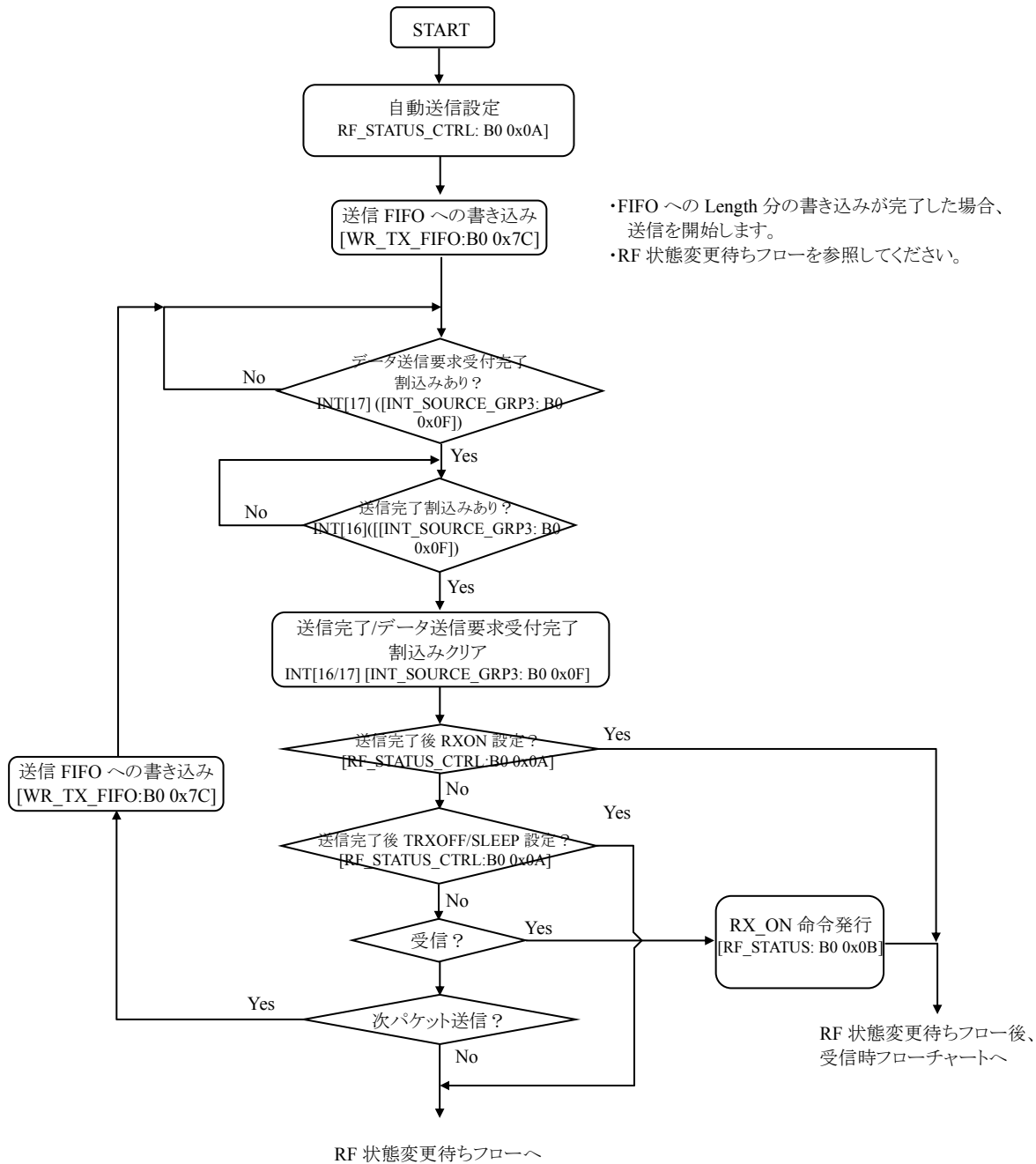
## (2) 257byte 以上のデータ送信(FIFO モード)

TX\_FIFO がアンダーランしないように FIFO-Empty 割込み INT[4]([INT\_SOURCE\_GRP1: B0 0x0D(4)])を確認しながら TX\_FIFO へ送信データを書き込みます。その他動作は FIFO モード 256byte 以下の場合と同様です。FAST\_TX\_EN ([RF\_STATUS\_CTRL: B0 0x0A(5)]) に 0b1 を書き込み FAST\_TX モードを設定することにより、FIFO へのデータ書き込み量が[TXFIFO\_THRL: B0 0x18]レジスタで設定されるバイト数+1 バイト以上の条件を満たした場合、送信動作を開始します。



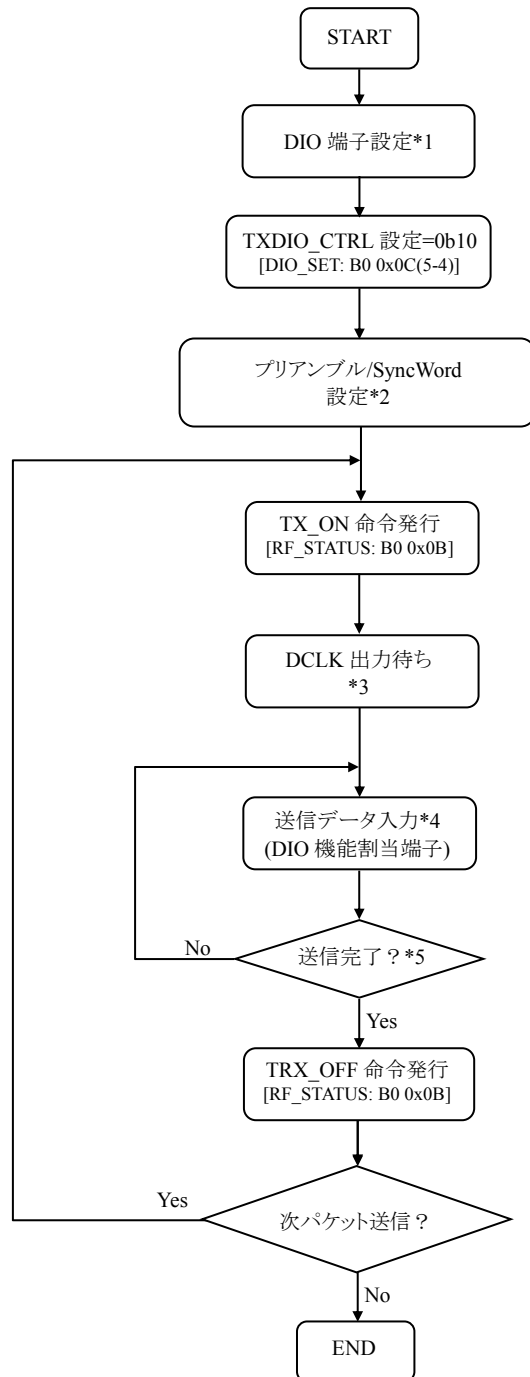
## (3) 自動送信時 (256byte 以下の場合)

AUTO\_TX\_EN([RF\_STATUS\_CTRL: B0 0x0A(4)])に 0b1 を書き込んだ場合は、FIFO に Length 分のデータを書き込み完了した場合、送信動作を開始します。



## (4) DIO 送信

DIO(送信)モードは、TXDIO\_CTRL[1:0]([DIO\_SET: B0 0x0C(5-4)])=0b01 または 0b10 を書き込むことで設定できます。DIO モードで[RF\_STATUS:B0 0x0B]レジスタで TX\_ON 命令を発行すると、DIO 機能を割り当てた端子から入力されたデータを送信データとして Air に出力します。送信完了時は[RF\_STATUS:B0 0x0B]レジスタで TRX\_OFF 命令を発行します。



\*1 DIO/DCLK 機能を割り当てる端子を設定します。

[GPIO0\_CTRL: B0 0x4E]  
[GPIO1\_CTRL: B0 0x4F]  
[GPIO2\_CTRL: B0 0x50]  
[GPIO3\_CTRL: B0 0x51]  
[GPIO4\_CTRL: B0 0x52]  
[GPIO5\_CTRL: B1 0x6D]  
[SPI/EXT\_PA\_CTRL: B0 0x53]

\*2 プリアンブル/SyncWord は以下レジスタで設定されるデータ、設定値により送信されます。

プリアンブル...[DATA\_SET1: B0 0x07]  
[TXPR\_LEN\_H/L: B0 0x42~43]  
SyncWord...[SYNCWORD1\_SET0~3: B1 0x27~2A]  
[SYNCWORD2\_SET0~3: B1 0x2B~2E]  
[SYNC\_WORD\_LEN: B1 0x25]  
[DATA\_SET2: B0 0x08]

\*3 DCLK 出力までの時間は送信プリアンブル長、SyncWord 長およびデータレートにより異なります。

\*4 DCLK の立下りに同期して送信データ入力してください。

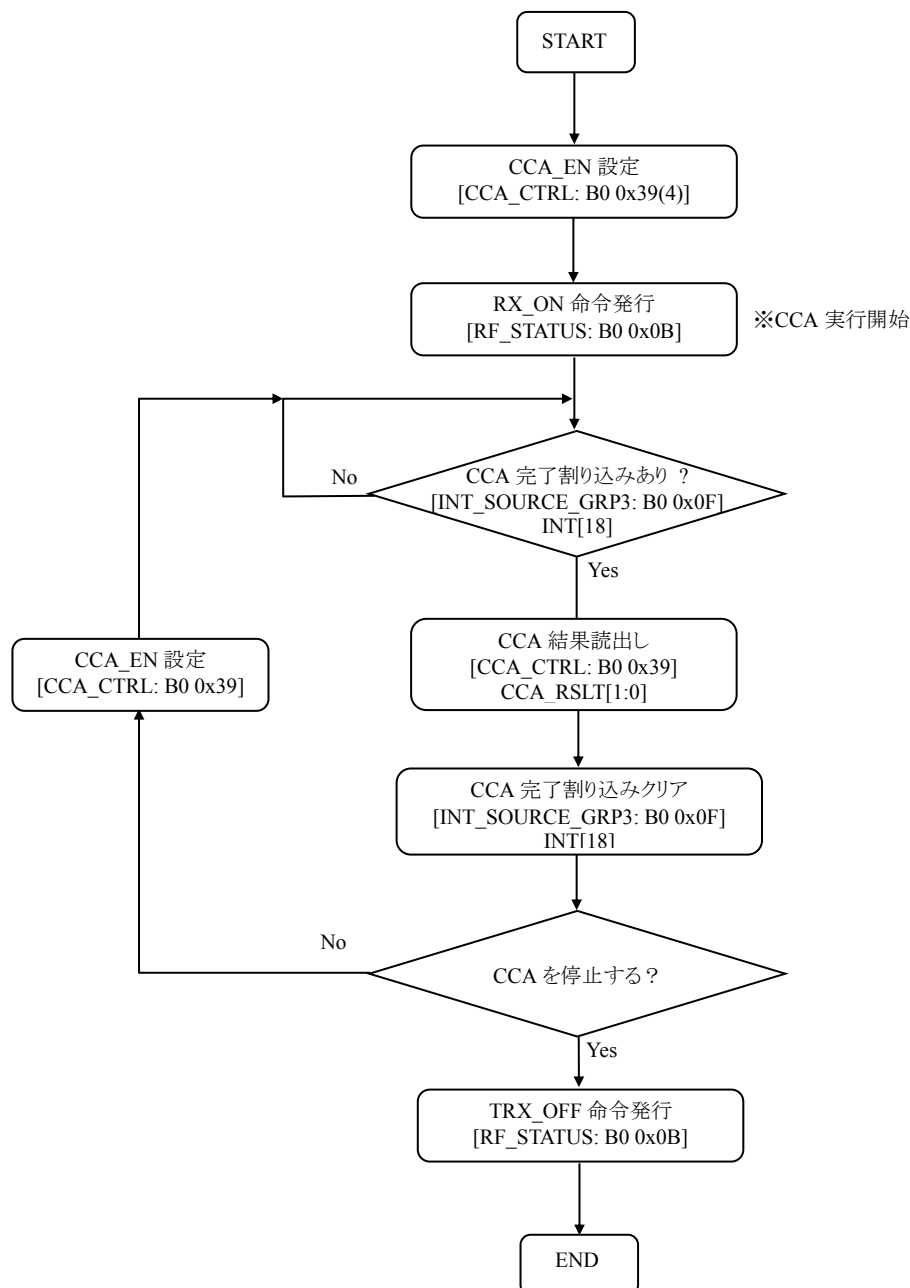
\*5 RF 状態遷移待ちフローを参照してください。

## (5) CCA 実行

## ①単発実行モード

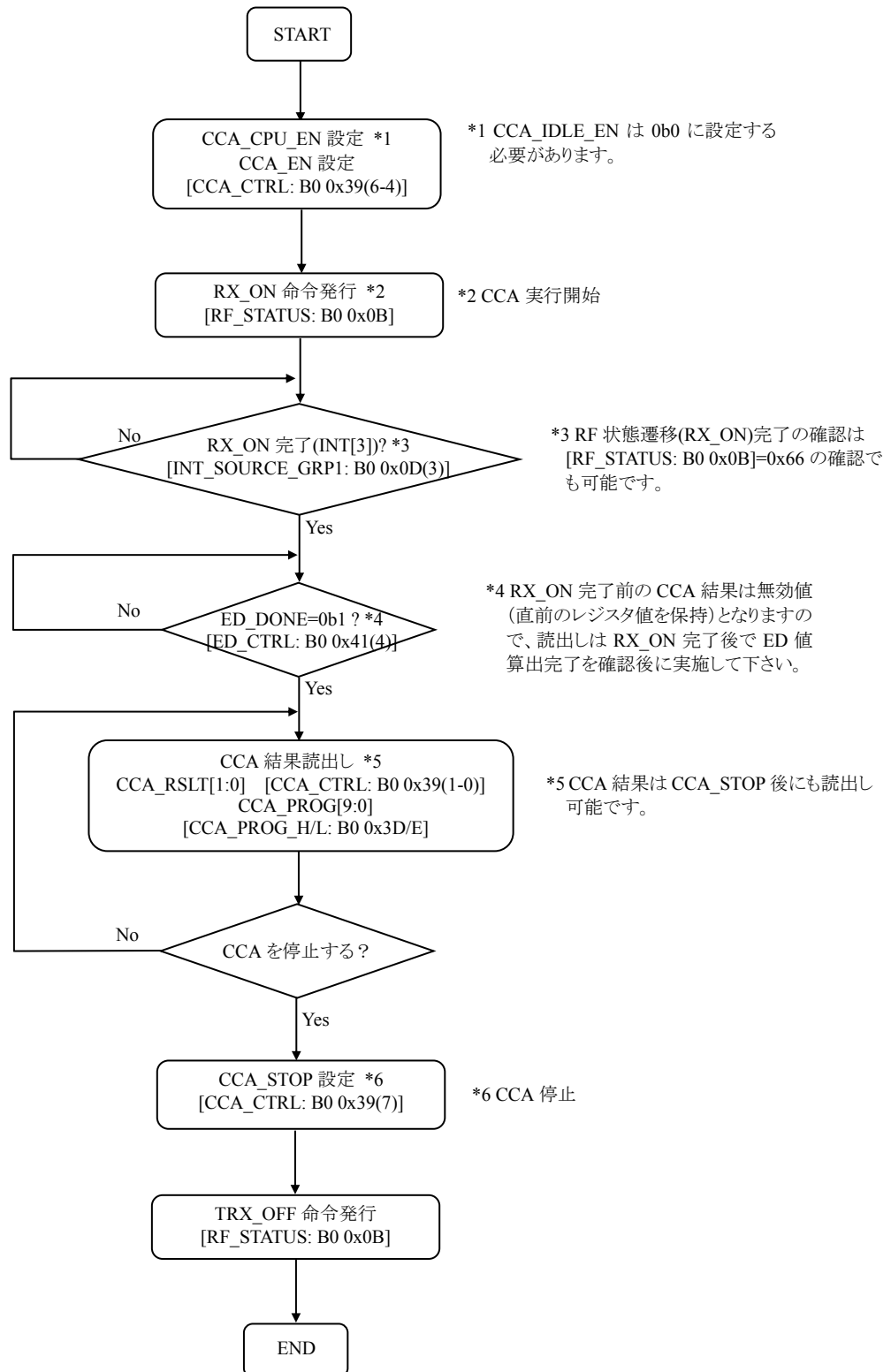
CCA\_EN([CCA\_CTRL: B0 0x39(4)])に 0b1 を設定し、[RF\_STATUS:B0 0x0B]レジスタで RX\_ON 状態に設定すると取得した ED 値の平均値と[CCA\_LVL: B0 0x37]に設定した CCA 閾値の大小比較を実行し、結果を通知します。CCA 実行後、CCA\_EN はディセーブルにセットされ RF は RX\_ON 状態を維持します。

RX\_ON 状態で CCA\_EN に 0b1 を設定した場合でも CCA 実行可能です。また、ダイバーシティサーチ中も CCA 実行可能です。この場合、CCA 完了後、自動でダイバーシティサーチが再開します。



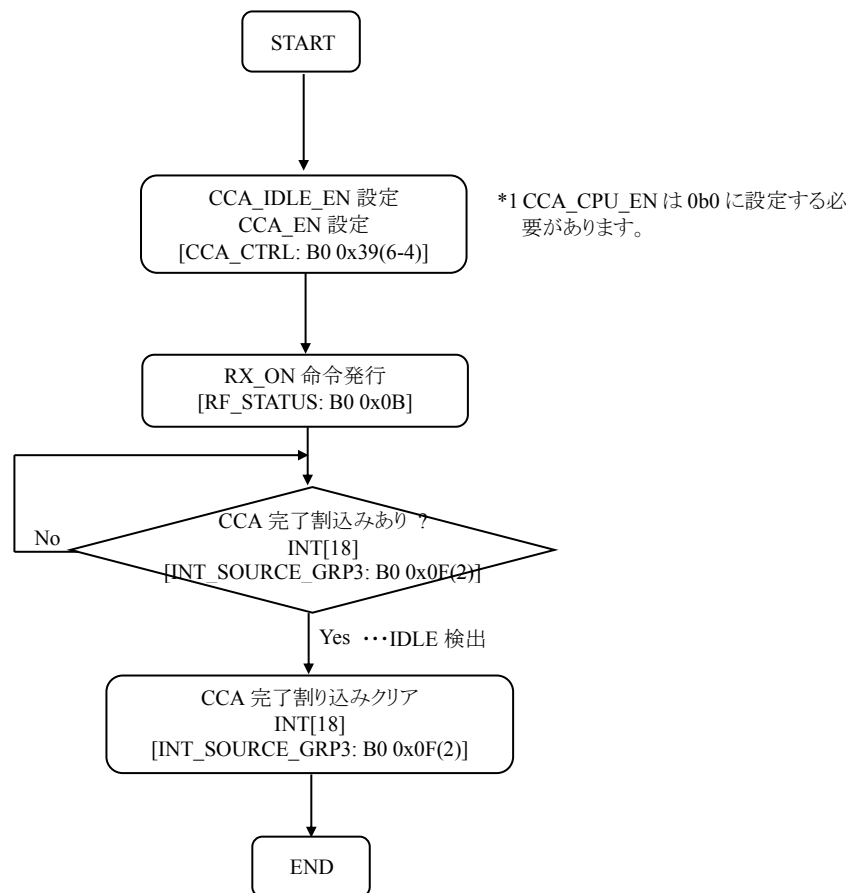
## ②連続実行モード

CCA\_EN([CCA\_CTRL: B0 0x39(4)])に 0b1 および CCA\_CPU\_EN([CCA\_CTRL: B0 0x39(5)])に 0b1 を設定し、[RF\_STATUS:B0 0x0B]レジスタで RX\_ON 状態に設定すると CCA の連続実行モードが実行されます。本モードでは、自動停止せずに CCA\_STOP([CCA\_CTRL: B0 0x39(7)])に 0b1 をセットするまで CCA 継続します。本モードでは CCA 完了割込み(INT[18]:割り込みグループ 3)は通知されません。CCA 実行中、CCA\_RSLT([CCA\_CTRL: B0 0x39(1-0)]、[CCA\_PROG\_L: B0 0x3E]、[CCA\_PROG\_H: B0 0x3D] は常に更新され、CCA\_STOP([CCA\_CTRL: B0 0x39(7)])に 0b1 がセットされると値を保持します。



## ③IDLE 検出モード

IDLE 検出するまで CCA を継続するモードです。CCA\_EN([CCA\_CTRL: B0 0x39(4)])=0b1、CCA\_IDLE\_EN([CCA\_CTRL: B0 0x39(6)])=0b1 を設定し、RF を受信状態(RX\_ON)に設定すると CCA(IDLE 検出モード)が実行されます。





ACK 送信フローを以下に示します。受信 FIFO トリガを使用して受信中に送信 FIFO に ACK フレームをセットし、受信完了後、送信 FIFO にセットした ACK フレームを送信します。



## ●受信時

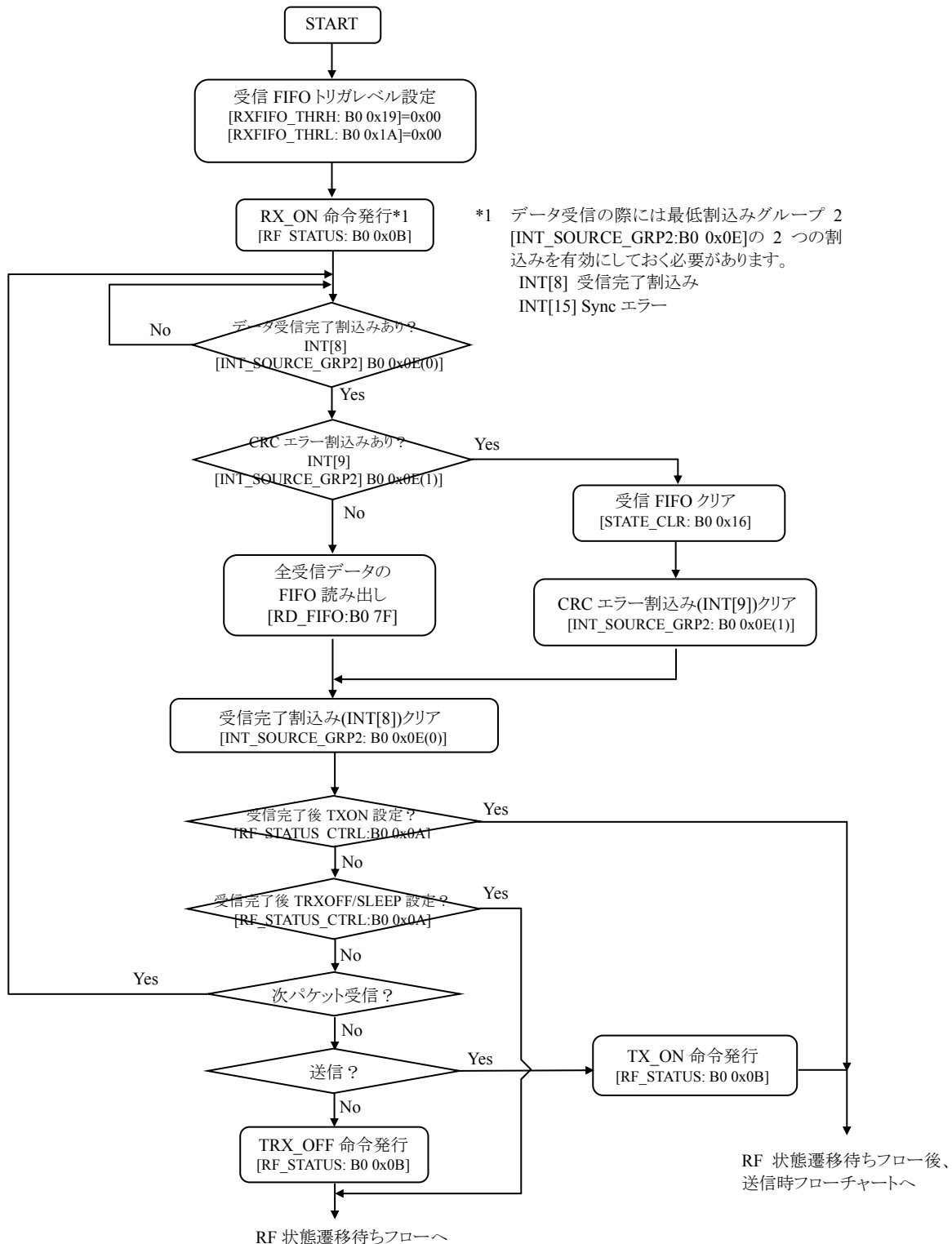
データ受信時は FIFO を使用する場合と DIO を使用する場合の 2 つの方法があります。また、電力検出(ED)機能に関連した機能が 4 つあります。Field チェックは受信したデータをフィルタリングすることでホストへの負荷を軽減させることができます。

動作・機能		機能概要	フロー
FIFO 受信	256 バイト以下のデータ受信	SyncWord 検出後、受信データを RX_FIFO へ格納します。データ受信完了割り込み(INT[8]([INT_SOURCE_GRP2: B0 0x0E(0)]))後、受信データを [RD_FIFO: B0 0x7F]レジスタから読み出します。	(1)
	257 バイト以上のデータ受信	RX_FIFO がオーバーランしないように FIFO-Full 割り込み INT[5]([INT_SOURCE_GRP1: B0 0x0D(5)])を確認しながら RX_FIFO から受信データを読み出します。 詳細は「機能説明-パケットハンドリング機能-FIFO 制御機能」をご参照ください。	(2)
DIO 受信		GPIO 端子から送受信データを直接出力する機能です。 RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b10/0b11 を書き込むことで設定できます。受信データの受信 FIFO へバッファリング有無やバッファリングの仕方により複数のモードがあります。 詳細は「機能説明-パケットハンドリング機能-DIO 機能」をご参照ください。	(3)
電力検出 (ED)	高速電波チェック	高速電波チェックは受信起動後、電波チェック(ED 値と[CCA_LVL: B0 0x37])を比較し、電波なし(ED 値が閾値未満)であった場合、SLEEP 状態へ遷移する機能です。	(4)
電力検出 (ED)	アンテナダイバーシティ	受信データ検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナで受信を継続することが可能です。 詳細は「機能説明-受信関連機能-ダイバーシティ機能」をご参照ください。	(4)
	ED-SCAN	チャンネルを変更しながら ED 値([ED_RSLT: B0 0x3A])を確認することにより電波のあるチャンネルを探索することが可能です。	(5)
	チャンネルサーチ	チャンネルサーチ機能は受信状態でチャンネルを切替えながらそのチャンネルに電波があるか否かを判定し、電波があった場合は電波を検出したチャンネルで受信を継続する機能(ED-SCAN を自動で行う機能)です。チャンネルサーチ方法に任意チャンネルサーチ、インクリメントサーチの 2 種類があります。 詳細は「機能説明-受信関連機能-チャンネルサーチ機能」をご参照ください。	(6)
Field チェック		受信パケットの C-field 以降 9 バイト(Format A/B)、または Data-field 以降 13 バイト(Format C/D)を比較し、一致または不一致時に割り込みにて通知することが可能です。 詳細は「機能説明-パケットハンドリング機能-Field チェック機能」をご参照ください。	(7)

上記機能を使う場合のフローを以下に示します。

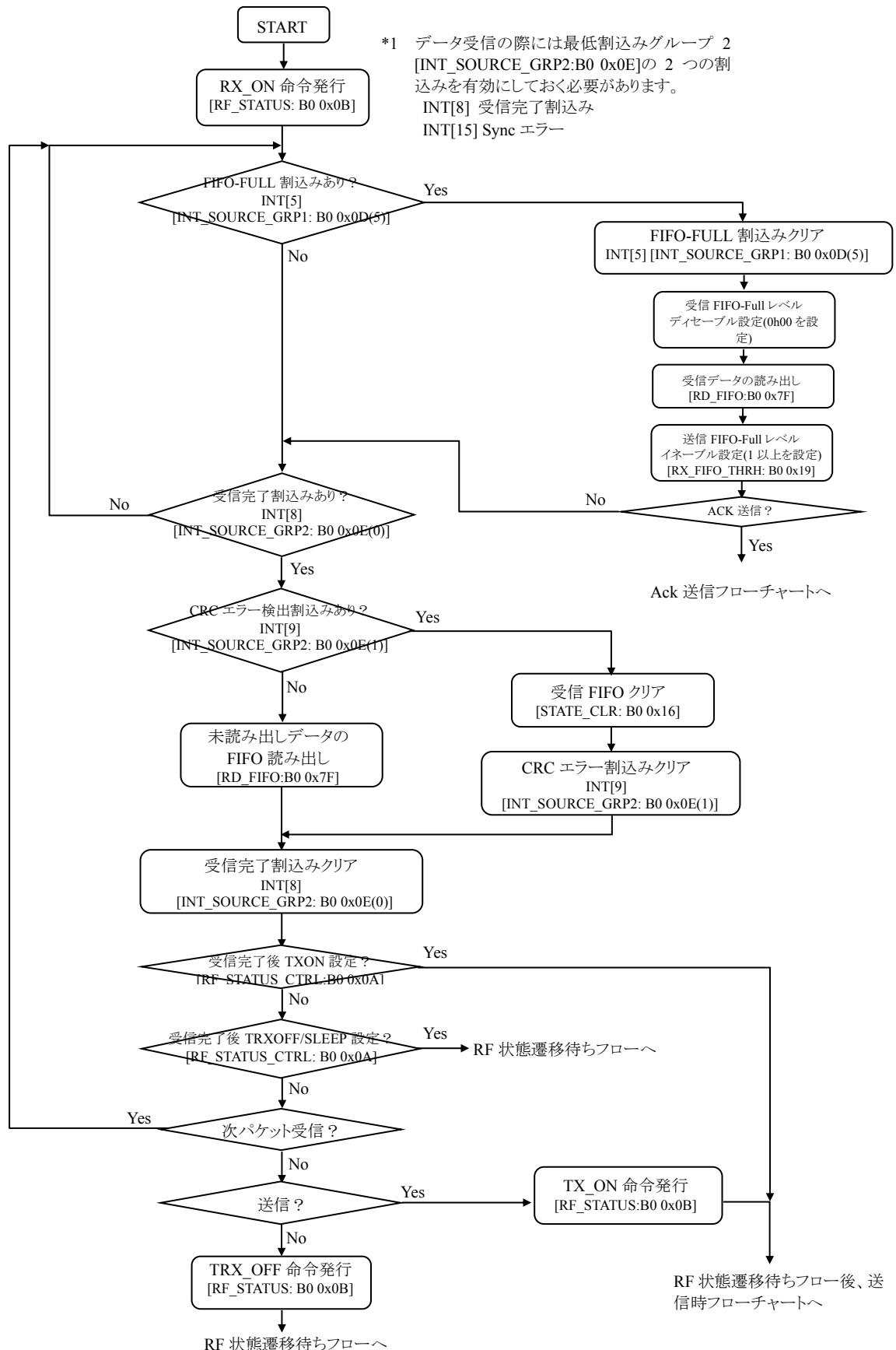
## (1) 256byte 以下のデータ受信(FIFO モード)

FIFO モードは、RXDIO\_CTRL[1:0]([DIO\_SET: B0 0x0C(7-6)])=0b00 を書き込むことで設定できます。SyncWord 検出後、受信データを RX\_FIFO へ格納します。データ受信完了割り込み(INT[8]([INT\_SOURCE\_GRP2: B0 0x0E(0)]))後、受信データを[RD\_FIFO:B0 0x7F]レジスタから読み出します。また、CRC エラー割り込み(INT[9]([INT\_SOURCE\_GRP2: B0 0x0E(1)]))が発生した場合は STATE\_CLR1 [STATE\_CLR: B0 0x16(1)] (受信 FIFO クリア)でクリアすることで、受信データを全て読み出すことなく次パケットを受信できます。受信 FIFO-Full トリガおよび FIFO-Empty トリガを使用しない場合は、[RXFIFO\_THRH: B0 0x19]および[RXFIFO\_THRL: B0 0x1A]を 0x00 に設定して下さい。



## (2) 257byte 以上のデータ受信(FIFO モード)

RX\_FIFO がオーバーランしないように FIFO-Full 割込み(INT[5]([INT\_SOURCE\_GRP1: B0 0x0D(5)]))を確認しながら RX\_FIFO から受信データを読み出します。その他動作は(1)と同様です。



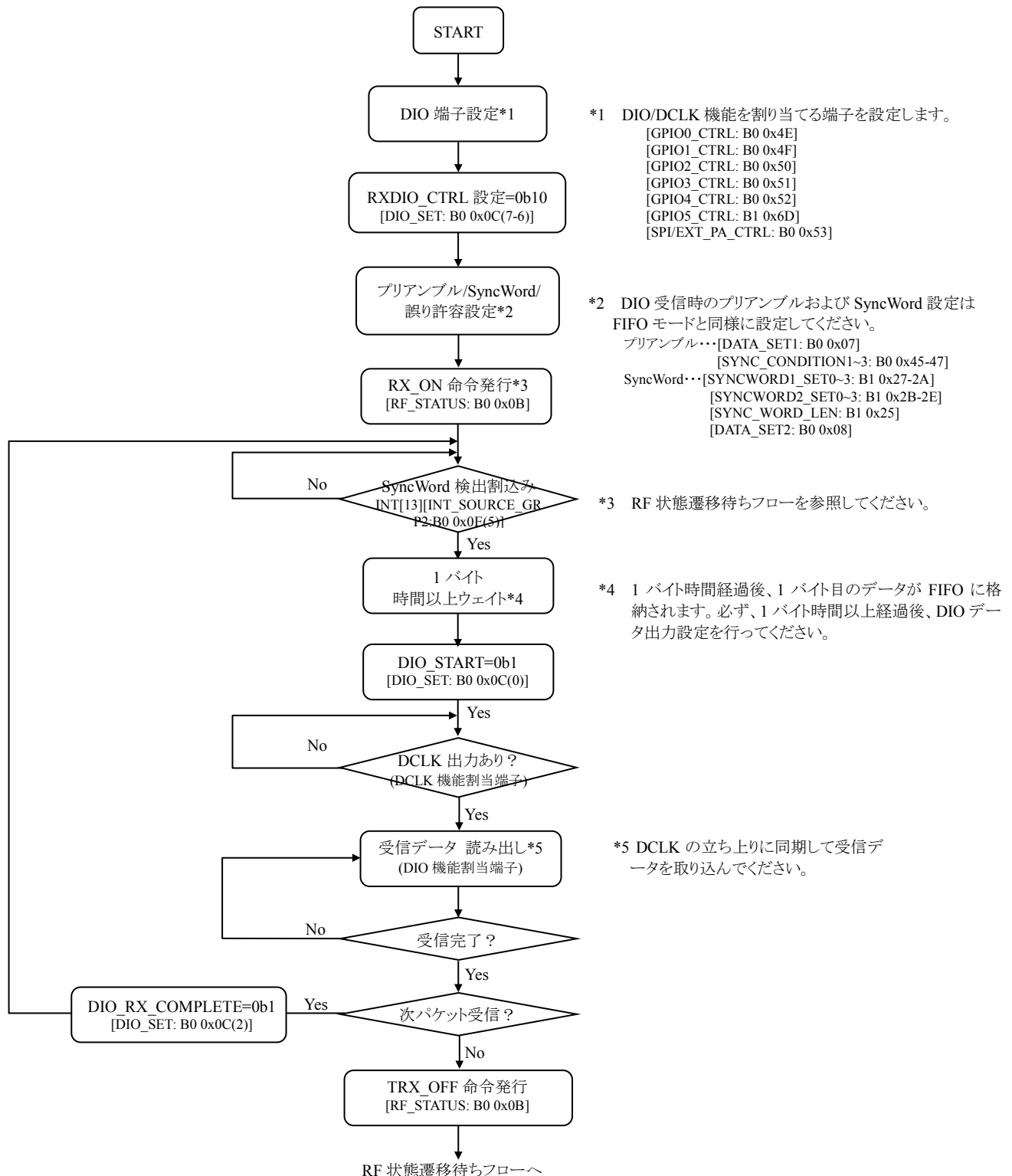
## 【ご注意】

[RF\_STATUS\_CTRL: B0 0x0A]レジスタで、FAST\_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を有効に設定している場合は、上記のフローで受信完了後に自動で送信状態へ移行します。CRC エラー割込み INT[9]([INT\_SOURCE\_GRP2: B0 0x0E(1)])と受信完了割込み INT[8]([INT\_SOURCE\_GRP2: B0 0x0E(0)])は、ほぼ同時に発生するため、CRC エラーが発生した場合は、受信から送信への移行期間 (VCO キャリブレーションオート方式 219 $\mu$ s/VCO キャリブレーションオンデマンド方式 184 $\mu$ s) 内で、[RF\_STATUS: B0 0x0B]レジスタで Forece\_TRX\_OFF を行い、[STATE\_CLR: B0 0x16]レジスタで送信 FIFO のクリアをする必要があります。ホスト MCU の処理能力上、期間内の送信停止が難しい場合は、FAST\_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を無効に設定してください。(FAST\_TX モードは[TXFIFO\_THRL: B0 0x18]レジスタの設定によります。)

## (3) DIO 受信

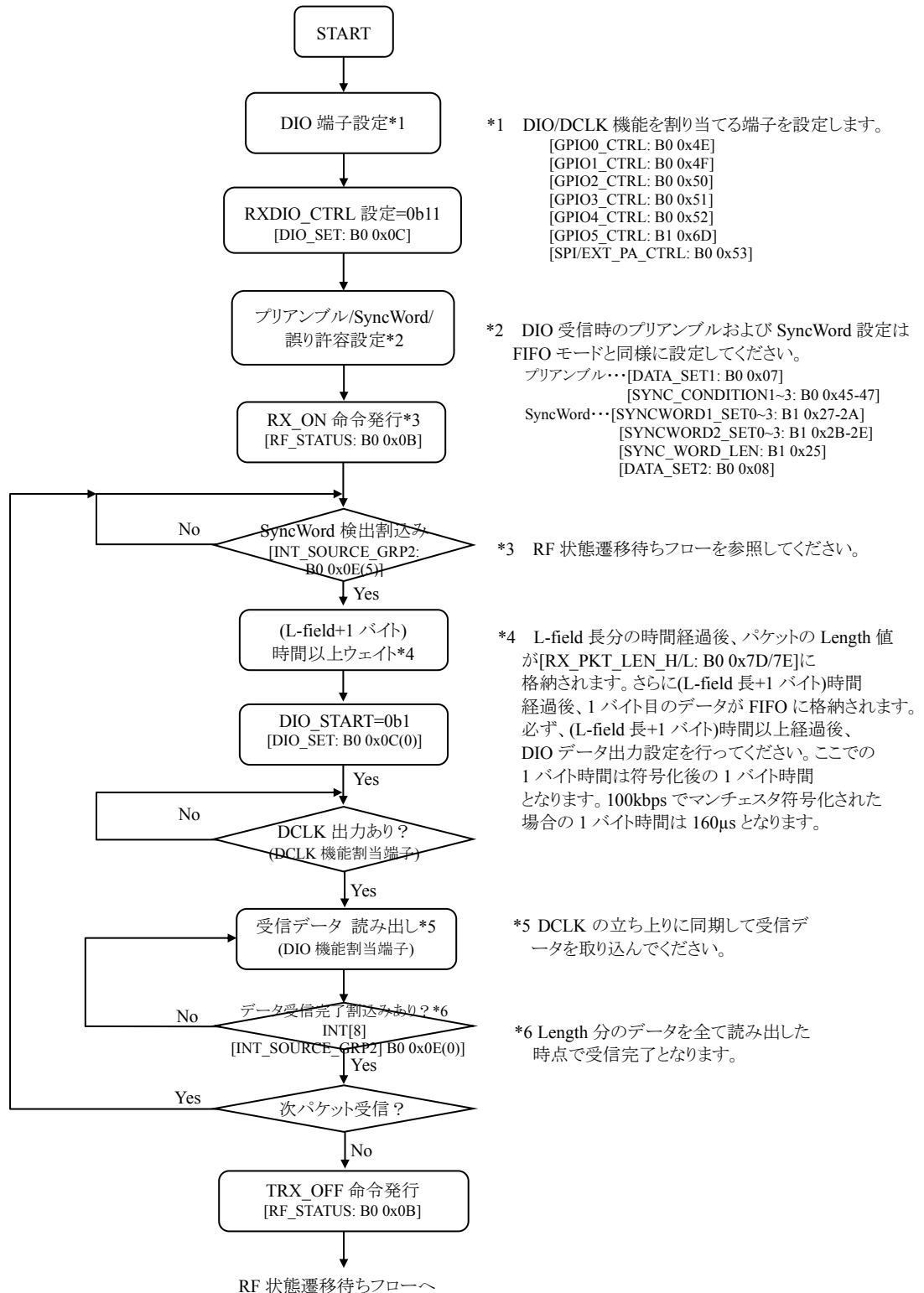
## ①データ出力モード 1 設定時

RXDIO\_CTRL[1:0]=0b10 設定します。SyncWord パターン検出後、受信データを受信 FIFO へバッファリングします。DIO\_START ([DIO\_SET: B0 0x0C(0)])を 0b1 に設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。受信完了後、続けて受信する場合は DIO\_RX\_COMPLETE([DIO\_SET: B0 0x0C(2)])に 0b1(DIO 受信完了設定)を設定することで次パケット受信待ち状態となります。TRX\_OFF する場合は[RF\_STATUS:B0 0x0B]レジスタで TRX\_OFF 命令を発行します。



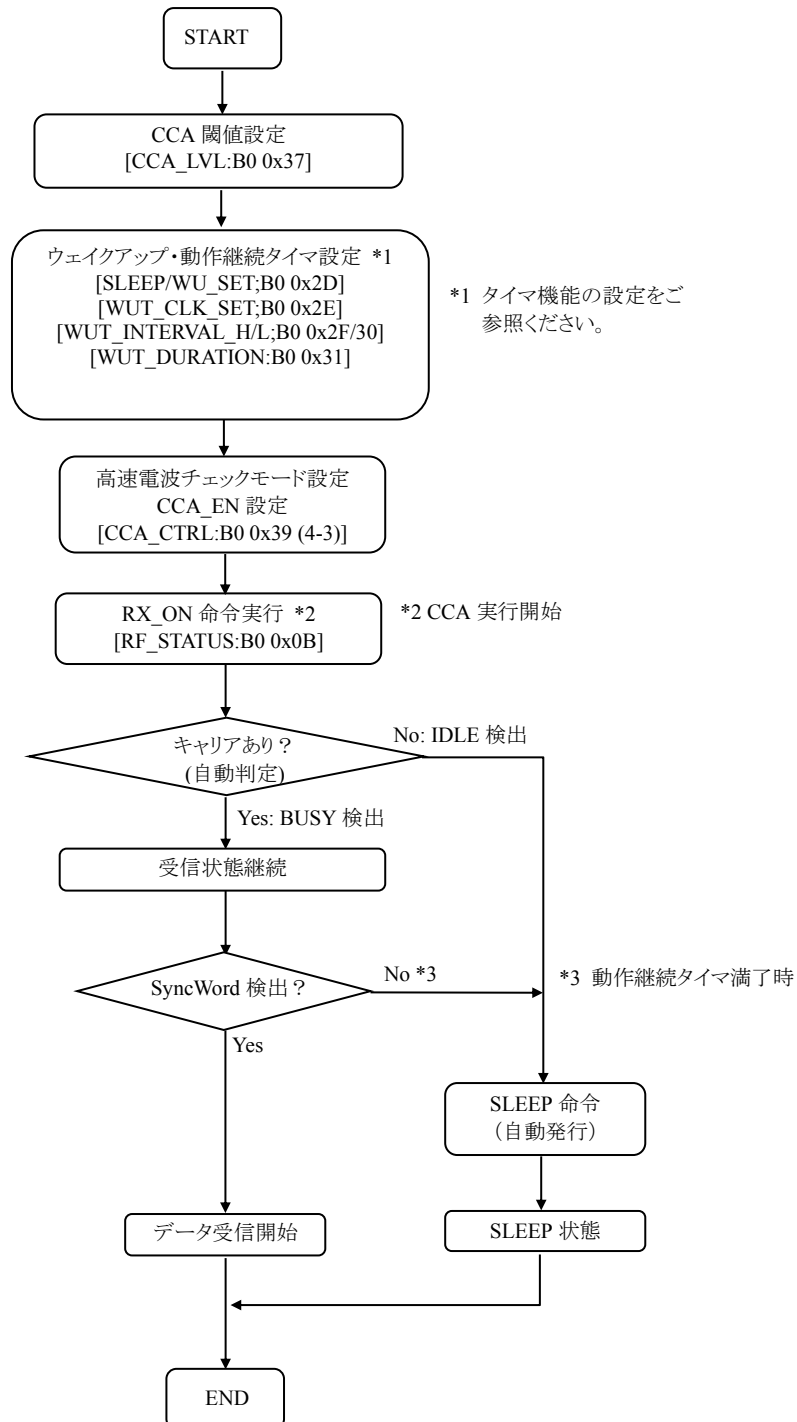
## ②データ出力モード 2 設定時

RXDIO\_CTRL[1:0]=0b11 設定では L-field 以降の受信データを受信 FIFO へバッファリングします。DIO\_START ([DIO\_SET: B0 0x0C(0)])に 0b1 を設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。Length 分のデータを出力した時点で受信完了となり、受信完了割り込み INT[8]([INT\_SOURCE\_GRP2: B0 0x0E(0)])を発生します。TRX\_OFF する場合は[RF\_STATUS:B0 0x0B]レジスタで TRX\_OFF 命令を発行します。



#### (4) 高速電波チェックモード

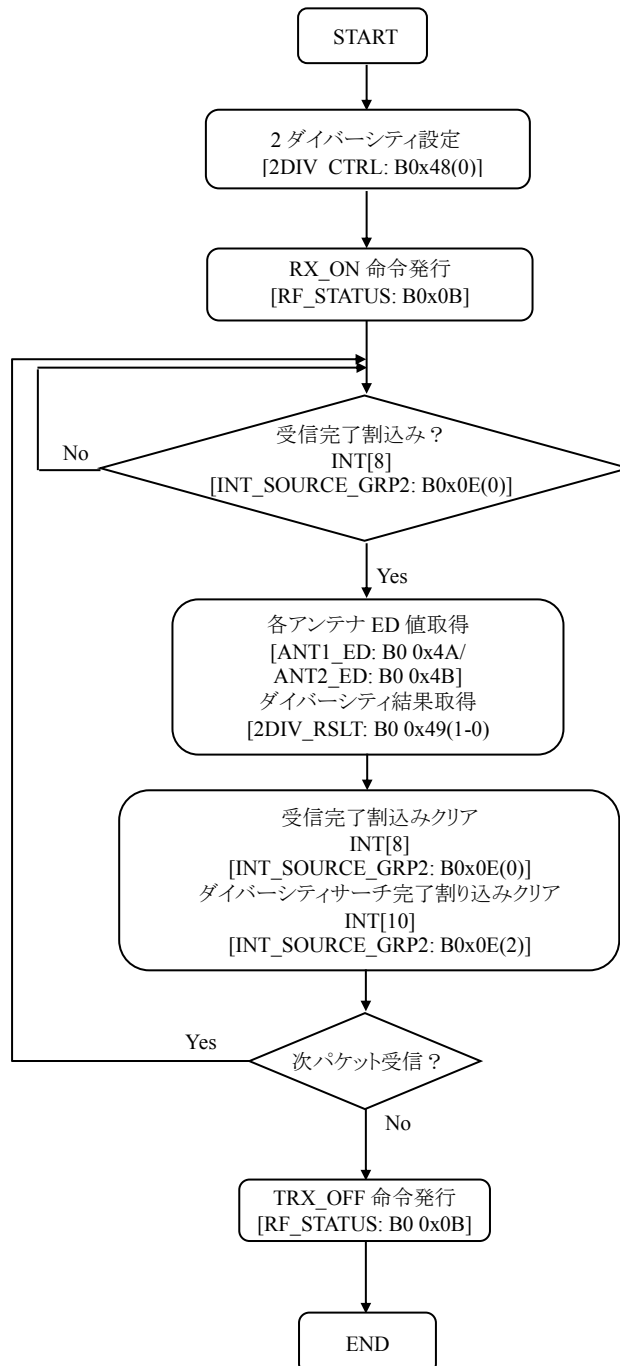
本モードは受信状態へ移行後、RSSI レベルと SyncWord 検出までの時間について判定を行い、受信状態の継続または中止を行います。RSSI レベル判定には[CCA\_LVL: B0 0x37]レジスタに設定した閾値を使用し、SyncWord 検出時間判定は動作継続タイマ機能を使用します。判定後の動作は自動で切り替わる為、最終状態は SLEEP 状態か受信中のどちらかになります。





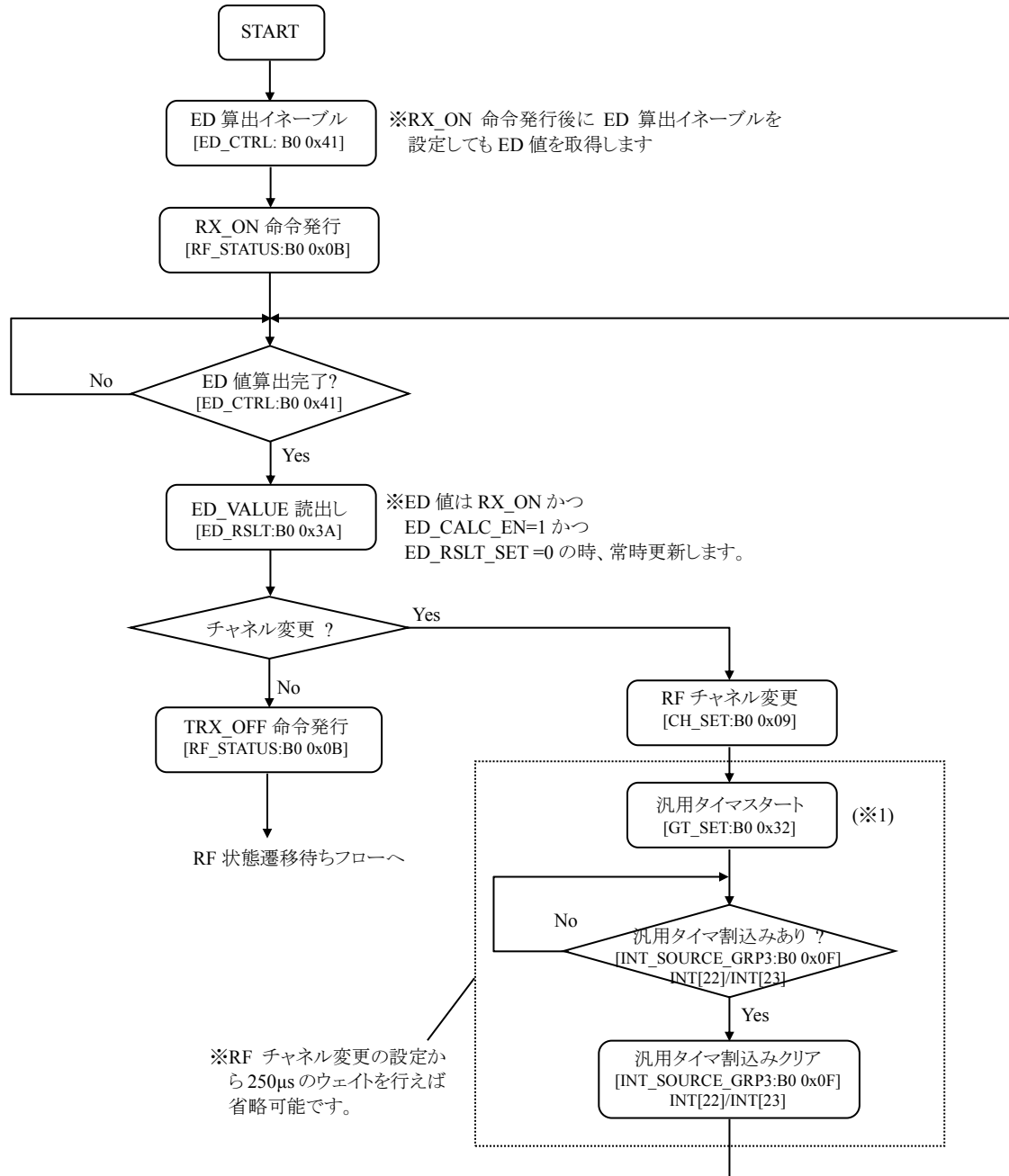
## (5) アンテナダイバーシティ

アンテナダイバーシティは、受信データを検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナで受信を継続する機能です。ダイバーシティにより取得した ED 値([ANT1\_ED: B0 0x4A/ANT2\_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV\_RSLT([2DIV\_RSLT: B0 0x49(1-0)])は SyncWord 検出時に上書き更新されます。また、ダイバーシティ検出完了割り込み INT[10]([INT\_SOURCE\_GRP2: B0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1\_ED: B0 0x4A/ANT2\_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV\_RSLT([2DIV\_RSLT: B0 0x49(1-0)])はクリアされます。



## (6) ED-SCAN

ED\_CALC\_EN ([ED\_CTRL: B0 0x41(7)])に 0b1 が設定されている状態で、[RF\_STATUS:B0 0x0B]レジスタで RX\_ON 状態に設定すると、ED 値の自動取得を開始します。ED\_RSLT\_SET([ED\_CTRL:B0 0x41(3)])=0b0 に設定すると、ED 値は常に最新の値に更新されます。



(※1)汎用タイマ設定例

250μs のウェイトを汎用タイマ 1 を使ってウェイトする場合、以下のレジスタを設定します。

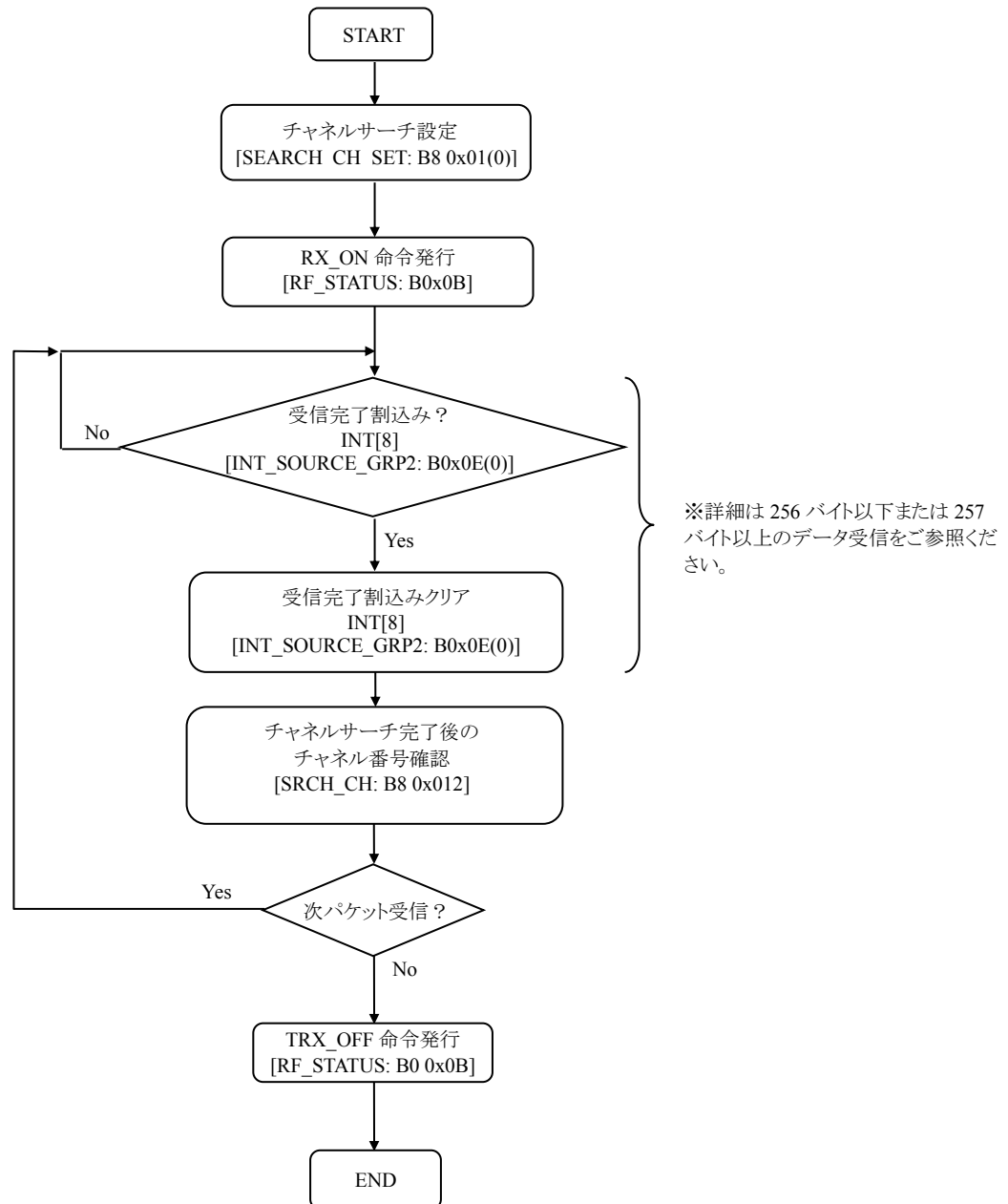
[GT\_CLK\_SET: B0 0x33]... 0x01(128 分周)

[GT\_INTERVAL1: B0 0x34]... 0x04(タイマ設定)

[GT\_SET: B0 0x32]... 0x03(2MHz クロック選択、タイマスタート)

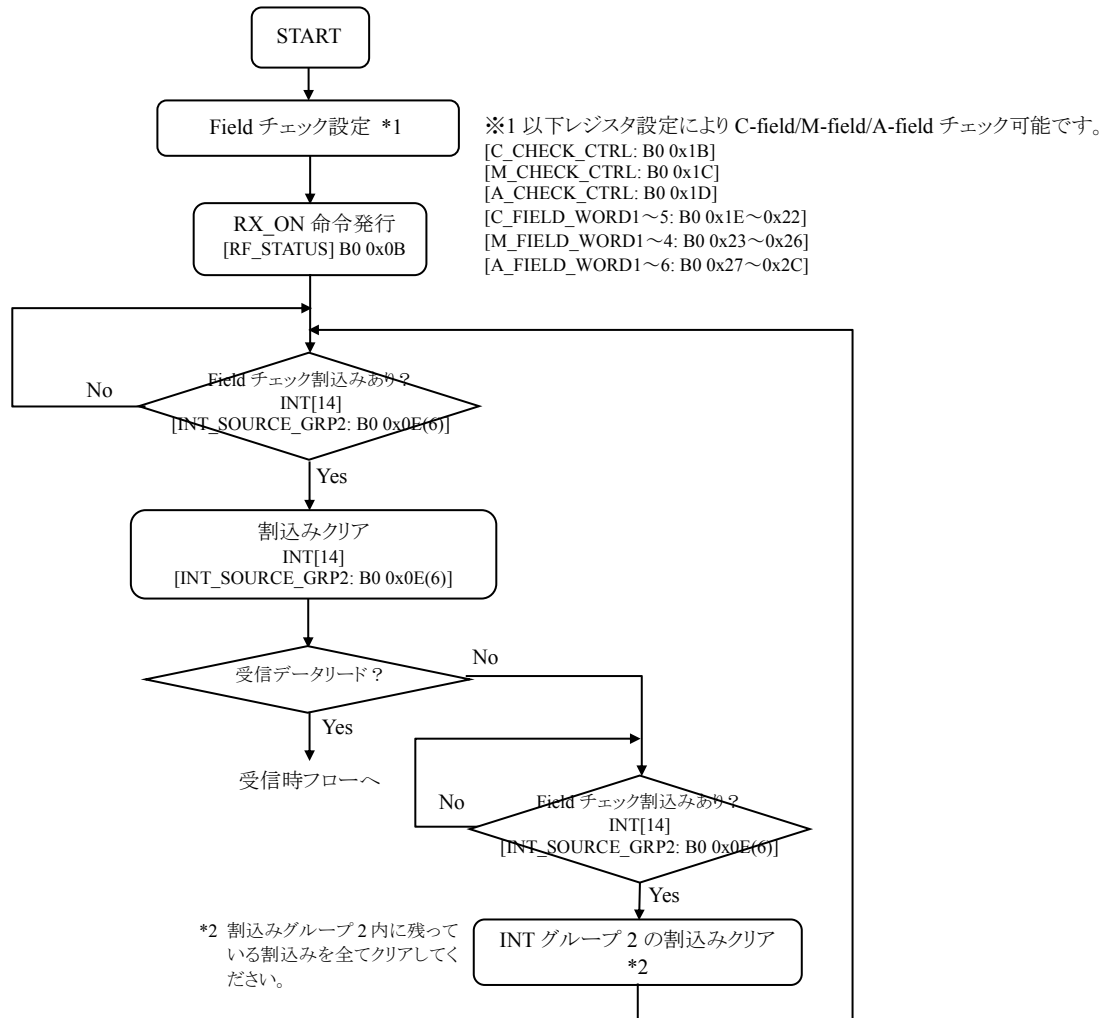
## (7) チャンネルサーチ

CH\_SRCH\_EN ([SEARCH\_CH\_SET: B8 0x01(0)])に 0b1 が設定されている状態で、[RF\_STATUS:B0 0x0B]レジスタで RX\_ON 状態に設定すると、チャンネルサーチを開始します。データ受信したチャンネルはチャンネルサーチ完了後のチャンネル番号[SRCH\_CH: B8 0x12]をリードすることにより確認できます。



## (8) Field チェック

CA\_INT\_CTRL ([C\_CHECK\_CTRL: B0 0x1B(6)])の設定に従い、Filed チェックの一致または不一致で、割り込みグループ 2 の INT[14] ([INT\_SOURCE\_GRP2: B0 0x0E(6)])にて通知します。なお、Field チェックの結果、不一致であったパケット数をカウントし、[ADDR\_CHK\_CTR\_H/L: B1 0x62/0x63])に表示します。このカウンタは STATE\_CLR4[STATE\_CLR: B0 0x16(4)](アドレスチェックカウンタクリア)にてクリアできます。



## ●SLEEP

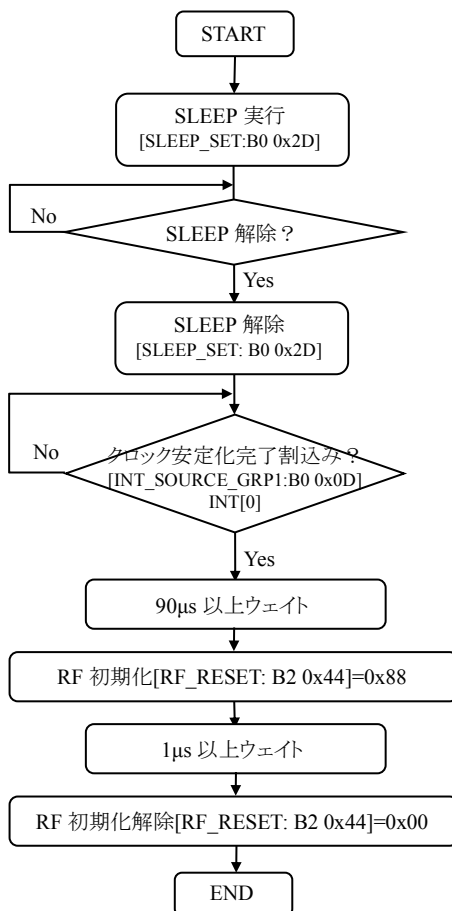
SLEEP 状態に関わる機能は、以下の機能があります。

LSI 動作	機能概要
SLEEP 設定/解除	LSI の状態を IDLE/TX/RX 状態から SLEEP 状態に、または SLEEP 状態から IDLE 状態にします。
ウェイクアップタイマによる自動ウェイクアップ	<p>タイマ満了後、SLEEP 状態から自動ウェイクアップします。ウェイクアップ後の動作は WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])で RX_ON 状態または TX_ON 状態のいずれかへの状態変更が選択可能です。</p> <p>・ウェイクアップ後 RX_ON ウェイクアップ後 RX_ON 状態になります。動作継続タイマ満了時には、自動的に SLEEP 状態へ移行します。ただし、動作継続タイマ動作中に SyncWord 検出/Field チェック検出/同期検出した場合、RX_ON 状態を継続します。</p> <p>・ウェイクアップ後 TX_ON ウェイクアップ後 TX_ON 状態になります。動作継続タイマ動作満了時に IDLE 状態(送信完了)であった場合、自動的に SLEEP に戻ります。</p> <p>※機能詳細は「タイマ機能-ウェイクアップタイマ」をご参照ください。</p>

上記機能を使う場合のフローを以下に示します。

### (1) SLEEP

SLEEP\_EN([SLEEP/WU\_SET:B0 0x2D(0)])を 0b1 に設定することにより SLEEP が実行されます。また、SLEEP\_EN を 0b0 に設定することにより SLEEP が解除されます。クロック安定化完了割り込み通知後、90 $\mu$ s 以上経過後に RF 初期化([RF\_RESET: B2 0x44] = 0x88)を実施し、1  $\mu$ s 以上のウェイト後に、RF 初期化解除([RF\_RESET: B2 0x44] = 0x00)を実行してください。

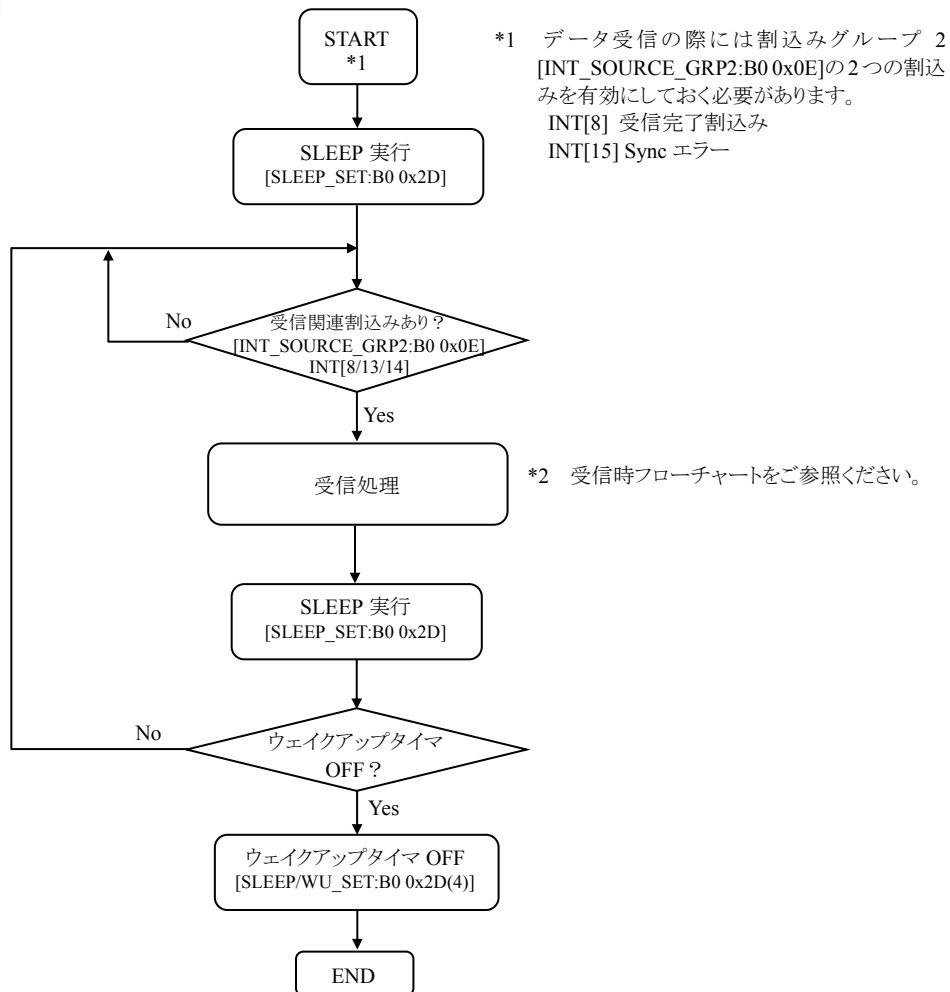


## (2) ウェイクアップタイマ(ウェイクアップ後 RX\_ON)

ウェイクアップ後 RX\_ON する設定をした場合のフローを以下に示します。受信処理後、SLEEP 実行 (SLEEP\_EN[SLEEP/WU\_SET: B0 0x2D(0)]) することにより SLEEP 状態となり、タイマ動作を継続します。なお、RX\_ON 後、動作継続タイマが満了までに SyncWord 検出(または Field チェック検出/同期検出)しなかった場合、自動で SLEEP 状態へ戻ります。

## •ウェイクアップタイマ設定

WAKEUP\_EN([SLEEP\_SET:B0 0x2D(4)])=0b1  
 RX\_DURATION\_EN([SLEEP\_SET:B0 0x2D(5)])=0b1  
 WAKEUP\_MODE([SLEEP\_SET:B0 0x2D(6)])=0b0  
 [WUT\_CLK\_SET:B0 0x2E]  
 [WUT\_INTERVAL\_H:B0 0x2F]  
 [WUT\_INTERVAL\_L:B0 0x30]  
 [RX\_DURATION:B0 0x31]



## ●エラー発生時の処理

送信中または受信中に以下のエラーが発生する場合があります。

LSI 状態	エラー種類	エラー発生要因
送信	送信 FIFO アクセスエラー	・データ送信要求受付完了割込み(INT[17]:割り込みグループ 3)発生後、送信せずに次パケットのデータ書き込みを行ったとき ・TX_FIFO に対してデータ書き込みによりオーバーフローが発生したとき ・送信途中で TX_FIFO に送信すべきデータがなくなったとき
	PLL ロック外れ	PLL ロック外れは温度や電源電圧等の環境変化、および周波数範囲等に変化が生じ、VCO キャリブレーション値が適切でない状態になった場合発生します。
受信	Sync エラー	SyncWord 検出以降のデータ受信中に同期が外れた場合
	受信 FIFO アクセスエラー	・RX_FIFO に対してデータ受信によるオーバーフローが発生したとき ・RX_FIFO に読み出すべきデータがない時に RX_FIFO を読み出したとき
	PLL ロック外れ	PLL ロック外れは温度や電源電圧等の環境変化、および周波数範囲等に変化が生じ、VCO キャリブレーション値が適切でない状態になった場合発生します。

エラー発生時の処理方法を以下に示します。

## (1) Sync エラー

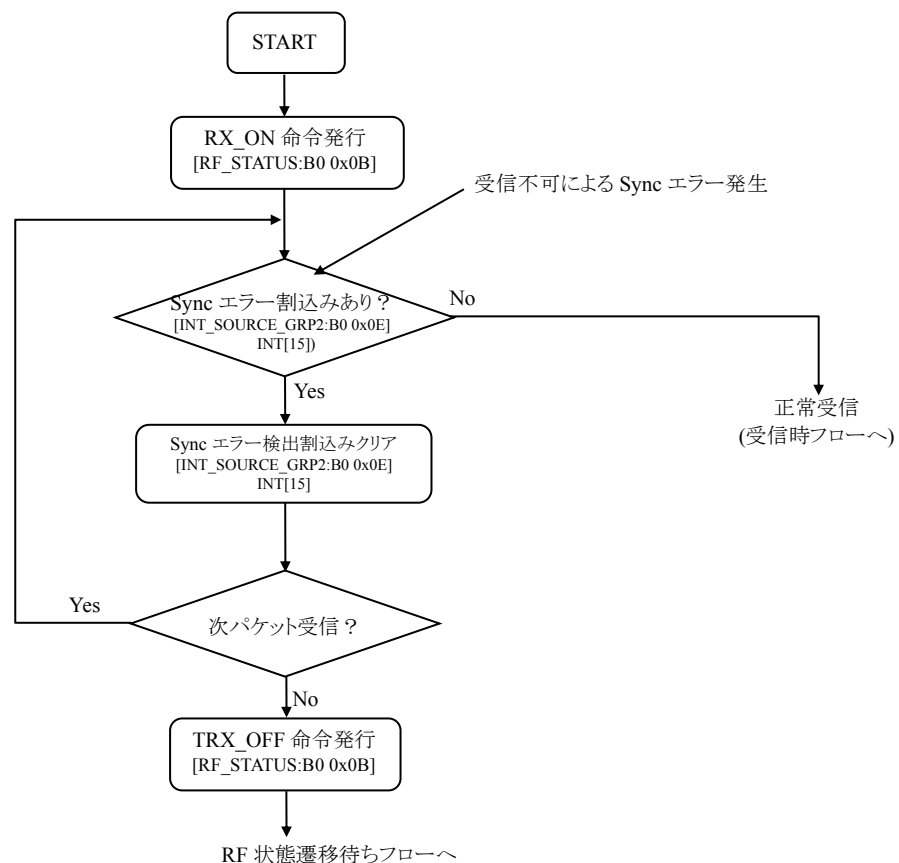
SyncWord 検出以降のデータ受信中に同期が外れた場合、Sync エラー割り込み INT[15]([INT\_SOURCE\_GRP2: B0 0x0E(7)])を通知し、データ受信完了割り込み INT[8]([INT\_SOURCE\_GRP2: B0 0x0E(7)])は通知されません。データ受信完了割り込みが通知されず Sync エラー割り込みが通知された場合には、Sync エラー割り込みをクリアしてください。

”データ受信”とは SyncWord 以降のデータ(L-field、データ、CRC 領域)を受信しているときを示します。

### 【ご注意】

本 LSI は FIFO モードにおいて Sync エラーを検出した場合、Sync エラー発生パケットは無効であると判断し、受信データの FIFO への格納を停止し、受信 FIFO 制御情報(受信データ数、FIFO リード数等)をクリアします。この状態で FIFO リードを行った場合、受信データがない状態での FIFO リードとなり、無効な FIFO 使用量を示します。次のパケットを正常に受信するためには受信 FIFO クリア([STATE\_CLR:B0 0x16])を実行した後、受信開始してください。

Sync エラー発生時、RF の状態は RXON を継続し、Sync エラー通知直後から次パケット受信に備え、SyncWord 検出待ち状態となります。なお、次パケットを正常に受信するためには受信 FIFO クリア([STATE\_CLR:B0 0x16])および受信関連割り込み([INT\_SOURCE\_GRP2:B0 0x0E])を全てクリアしてください。





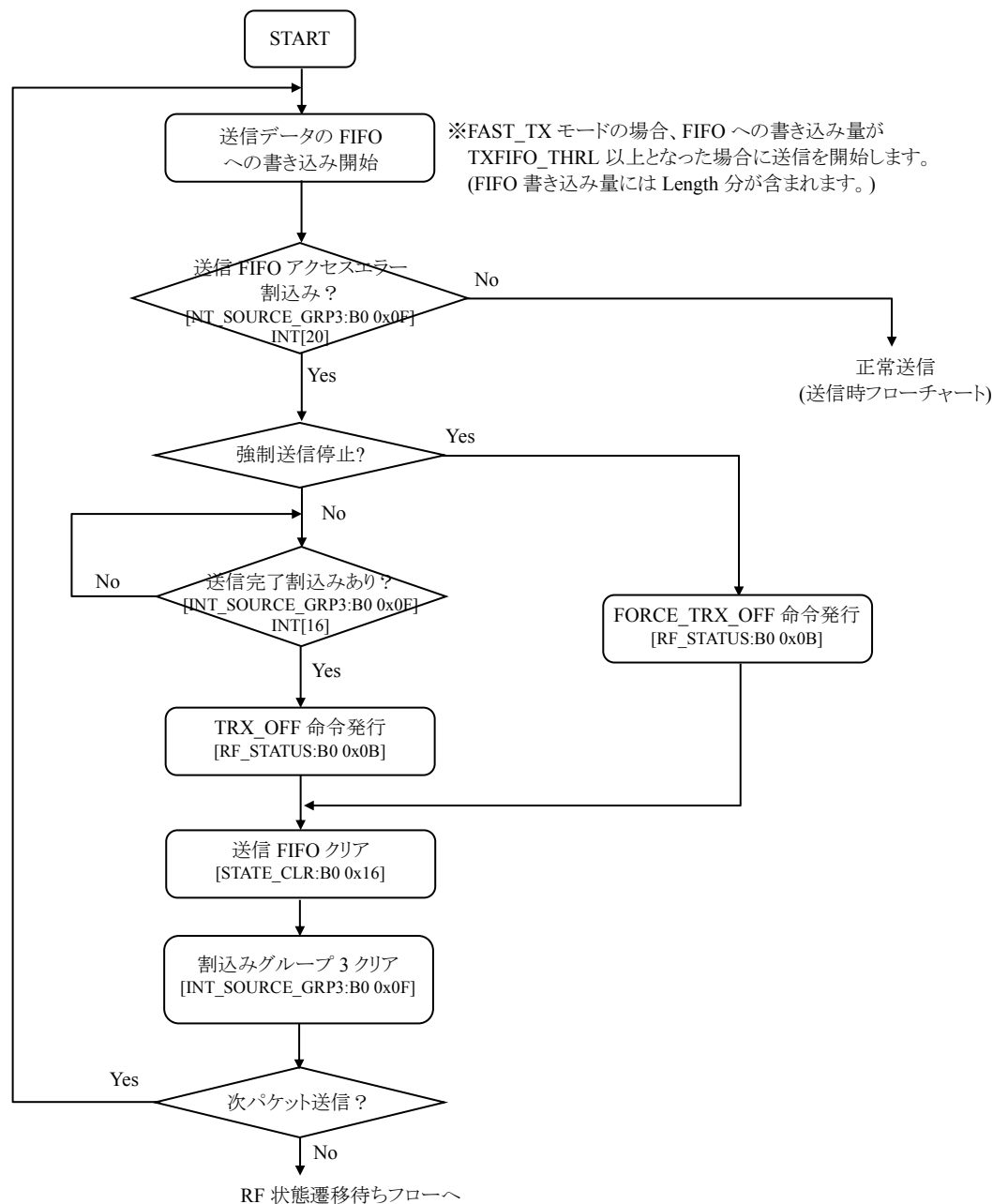
## (2) 送信 FIFO アクセスエラー

以下の条件を満たしたとき送信 FIFO アクセスエラー割込み(INT[20]:割り込みグループ 3)が発生します。

- データ送信要求受付完了割込み INT[17]([INT\_SOURCE\_GRP3: B0 0x0F(1)])発生後、送信せずに次パケットのデータ書き込みを行ったとき
- TX\_FIFO に対してデータ書き込みによりオーバーフローが発生したとき
- 送信途中で TX\_FIFO に送信すべきデータがなくなったとき

このとき、送信完了割込み(INT[16]:割り込みグループ 3)を待つて[RF\_STATUS:B0 0x0B]レジスタで TRX\_OFF 命令を発行するか、送信完了割り込みを待たずに Force\_TRX\_OFF を実施します。その後[STATE\_CLR:B0 0x16]レジスタで送信 FIFO クリアしたのち割り込みグループ 3[INT\_SOURCE\_GRP3:B0 0x0F]の送信関連割込みのクリアを実行してください。

また、本 LSI は送信中に送信 FIFO アクセスエラーが発生した場合、その後の送信データを反転処理します。送信完了割込みを待つて TRX\_OFF 命令を発行する場合においても、受信側では CRC エラーとなります。

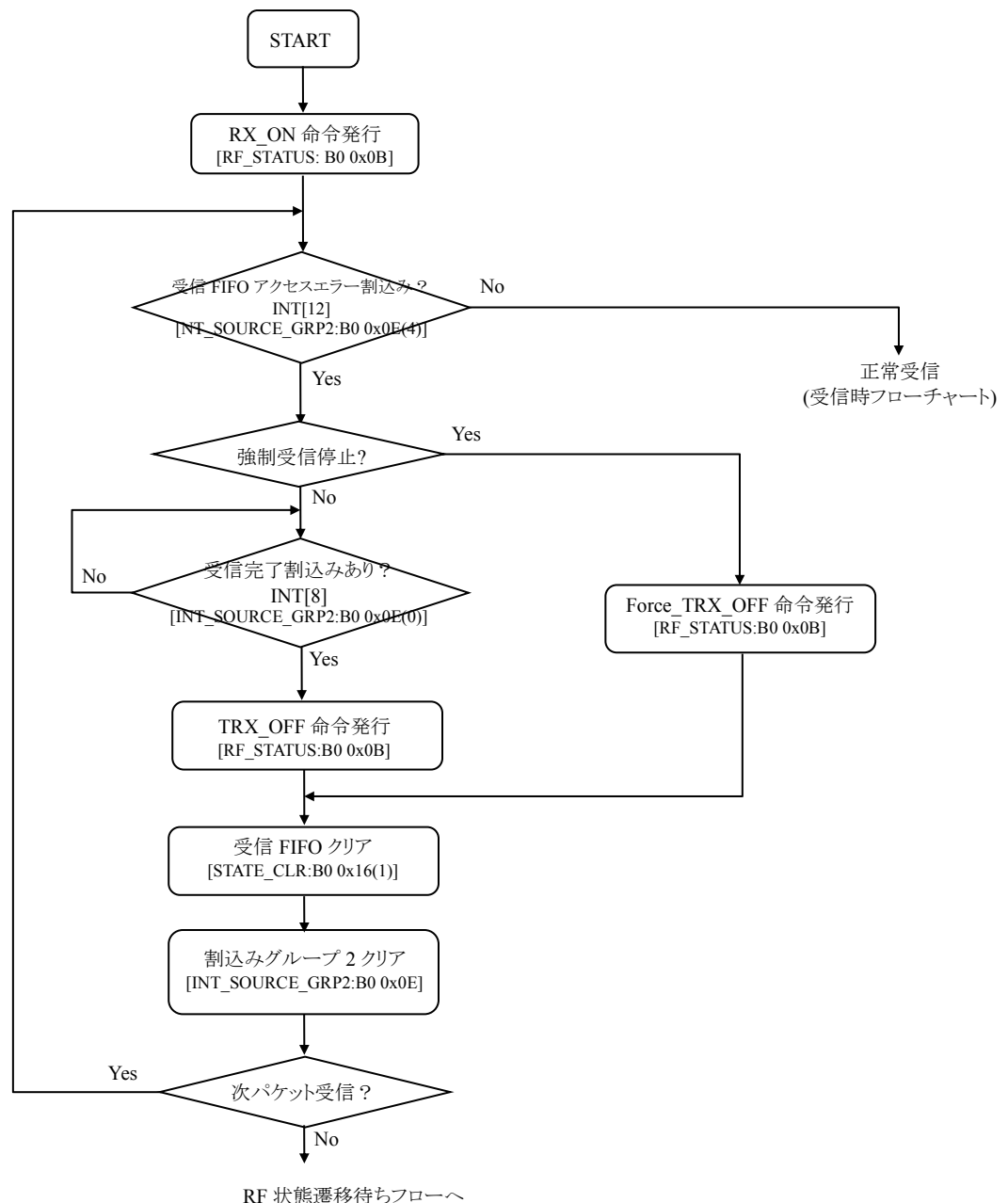


## (3) 受信 FIFO アクセスエラー

受信時、以下の条件を満たしたとき受信 FIFO アクセスエラー割り込み INT[12]([INT\_SOURCE\_GRP2: B0 0x0E(4)])が発生します。

- RX\_FIFO に対してデータ受信によるオーバーフローが発生したとき
- RX\_FIFO に読み出すべきデータがない時に RX\_FIFO を読み出したとき

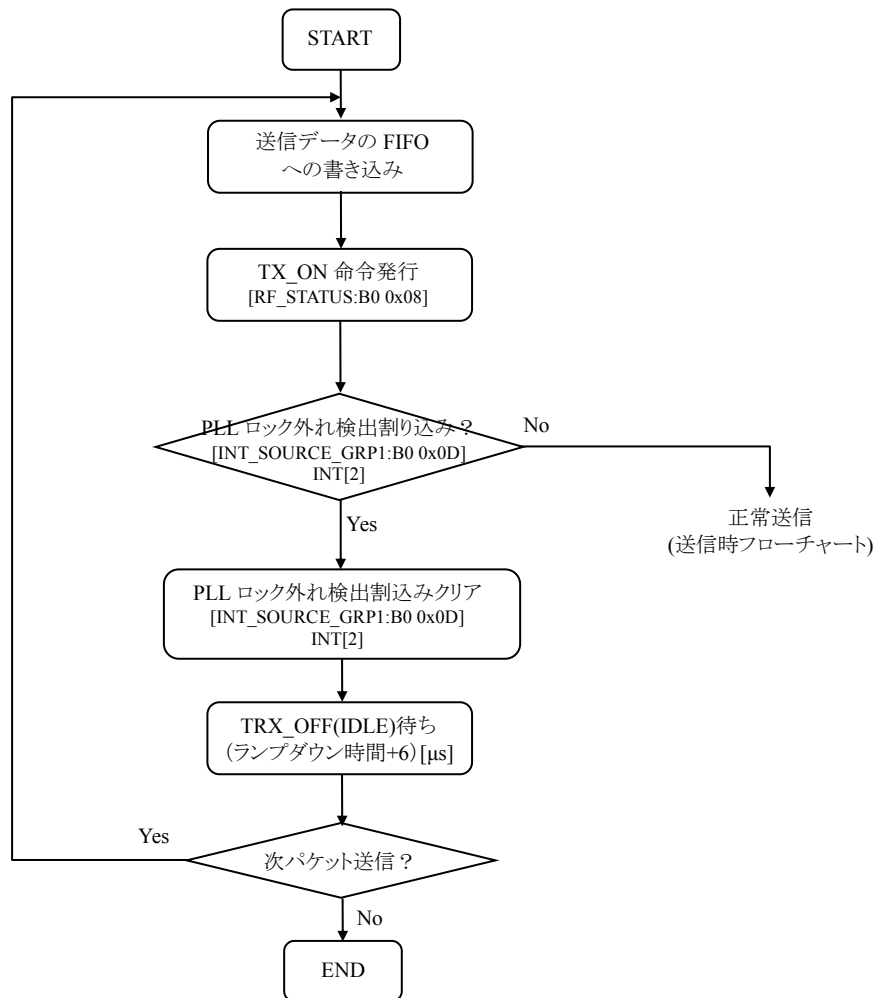
このとき、受信完了割り込み(INT[8]:割り込みグループ 2)を待って[RF\_STATUS:B0 0x0B]レジスタで TRX\_OFF 命令を発行するか、受信完了割り込みを待たずに Force\_TRX\_OFF を実施します。その後[STATE\_CLR:B0 0x16]レジスタで受信 FIFO クリアしたのち割り込みグループ 2[INT\_SOURCE\_GRP2:B0 0x0E]の受信関連割り込みのクリアを実行してください。



## (4) PLL ロック外れ検出

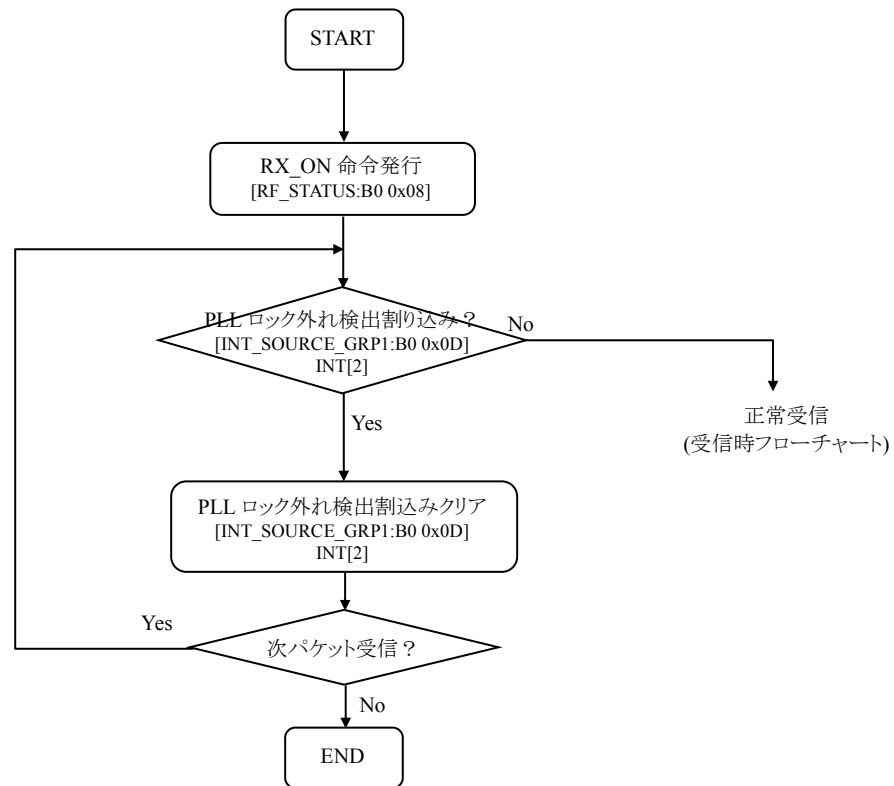
## ① 送信時

送信中に PLL ロック外れを検出した場合、送信状態を停止し IDLE 状態へ強制移行します。PLL ロック外れは VCO キャリブレーション値が適切でない状態で発生する可能性があります。VCO キャリブレーションの確認または VCO キャリブレーションを再実行してください。PLL ロック外れ検出割り込み通知後、IDLE 状態へ移行するまでに(ランプダウン時間+6)[ $\mu$ s]の時間が必要です。次の送信、受信または VCO キャリブレーションを行う前に必ず(ランプダウン時間+6)[ $\mu$ s]以上のウェイトを行ってください。



## ②受信時

受信中に PLL ロック外れを検出した場合、IDLE 状態へ強制移行せず、受信状態を継続します。PLL ロック外れ検出割込み ([INT\_SOURCE\_GRP1:B0 0x0D] INT[2]) をクリアしてください。



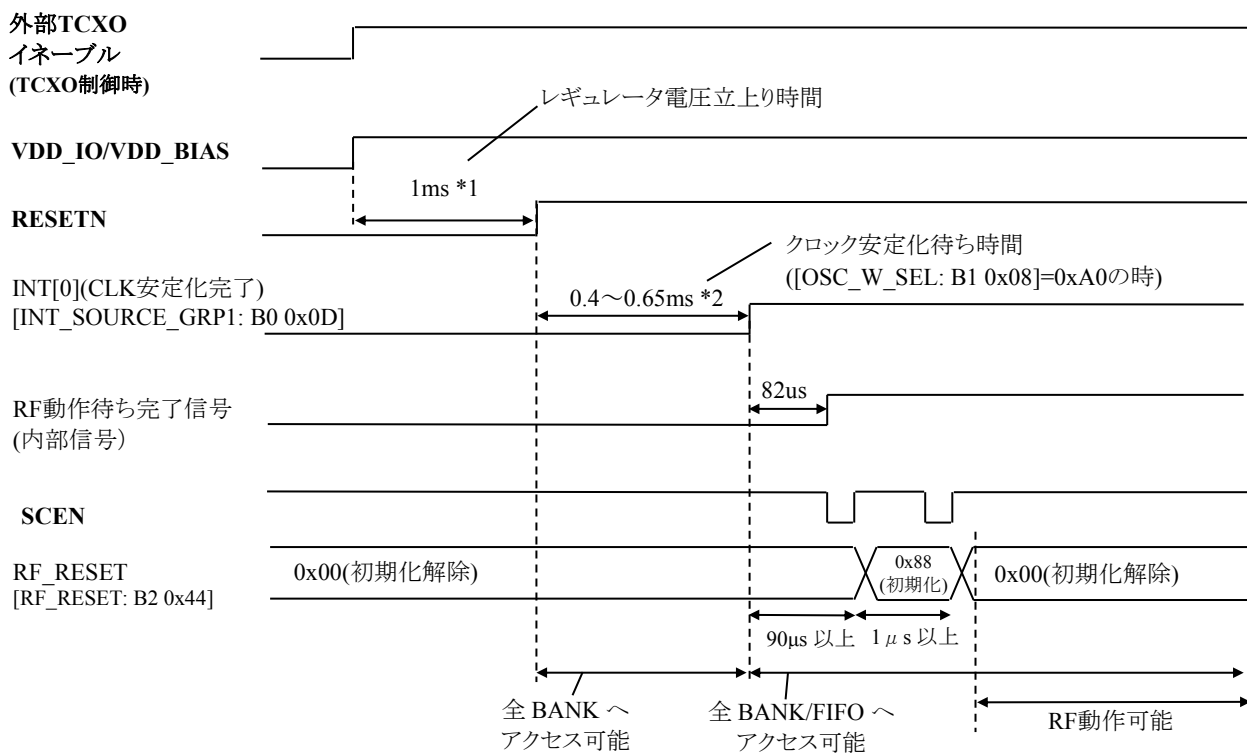
## ■タイムチャート

本 LSI の主な動作タイミングを示します。太字はピン入出力関連を示します。

### 【ご注意】

太字の信号名は端子名を、細字の信号名は内部信号または内部状態を示します。

### ●起動時

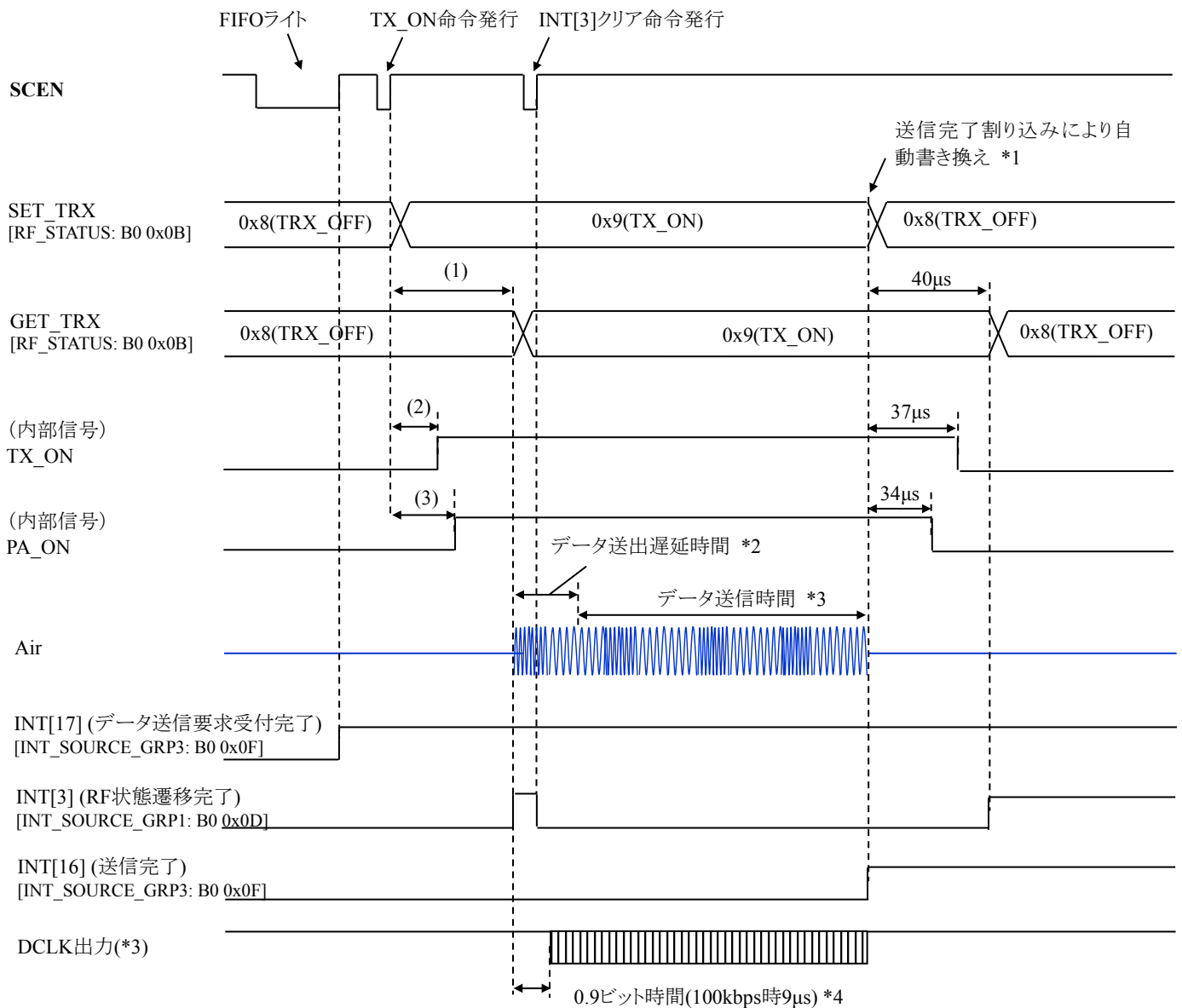


\*1: 起動時の VDD\_IO と RESETN のタイミングについては「リセット特性」をご参照下さい。

\*2: 外部 TCXO の起動時間がレギュレータ電圧立上り時間よりも長い場合、その分クロック安定化待ち時間も長くなります。

## ●送信時

(条件)下記送信時タイムチャートは  $F_{REF} = 48\text{MHz}$  時の時間です。



タイミング	VCO キャリブレーション方式(*5)	
	オート	オンデマンド
(1)	232μs	160μs
(2)	192μs	118μs
(3)	197μs	123μs

\*1: TXDONE\_MODE([RF\_STATUS\_CTRL: B0 0x0A(1-0)])が 0b00(default)設定の場合、送信完了割り込み検出により自動で SET\_TRX([RF\_STATUS: B0 0x0B(3-0)])を 0x8(TRX\_OFF)に書き換えます。

\*2: データ送出遅延時間は 2.4 ビット時間(100kbps 時 24μs)を要します。

\*3: データ送信時間は次式で計算されます。

$$\text{データ送信時間[s]} = \text{送信ビット数} \times 1 \text{ ビット送信時間[s]}$$

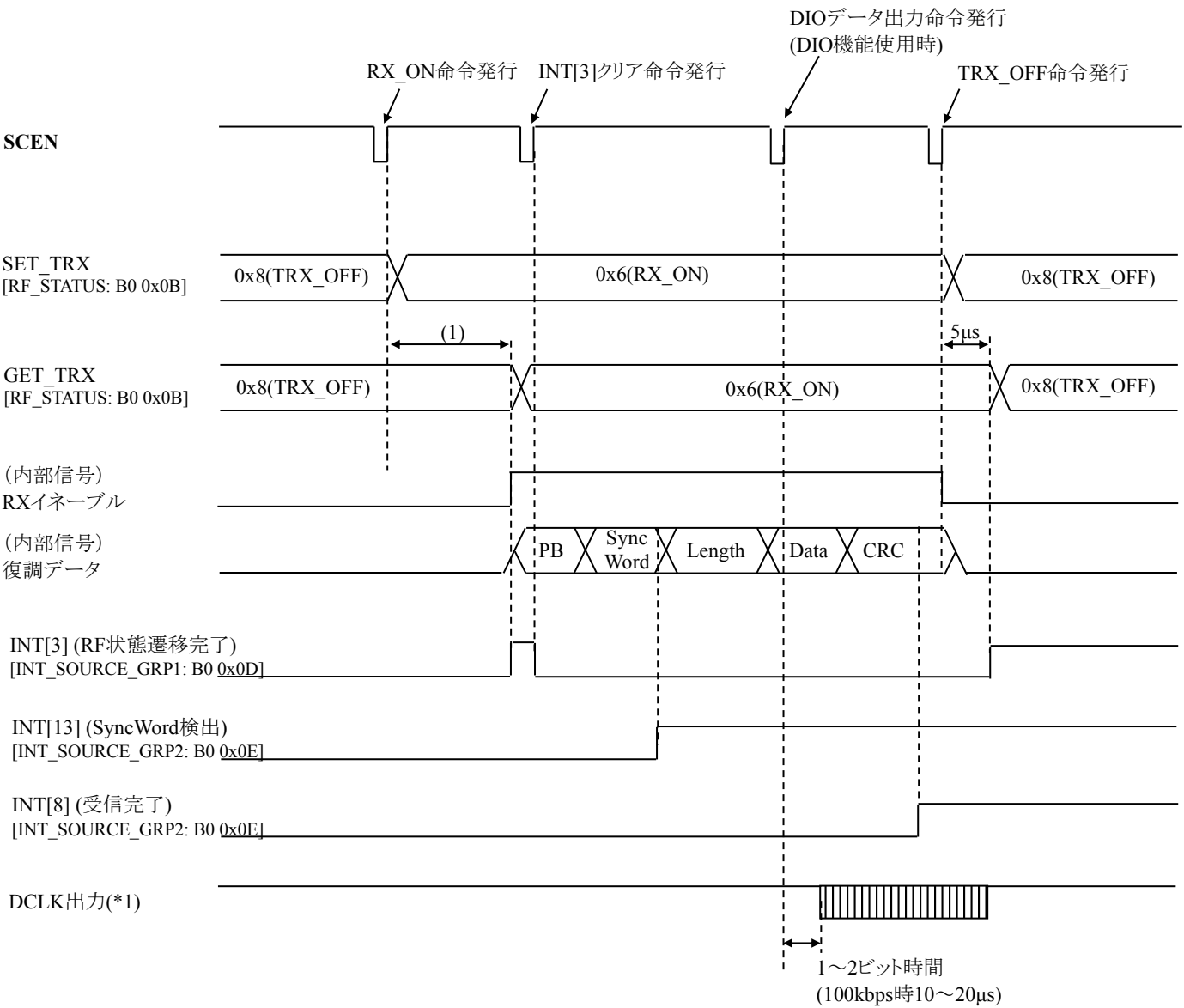
$$1 \text{ ビット送信時間[s]} = 1/\text{データレート[bps]}$$

\*4: TXDIO\_CTRL([DIO\_SET: B0 0x0C(5-4)])=0b01 に設定した場合

\*5: 詳細は、「VCO キャリブレーション」をご参照ください。

●受信時

・条件: 下記受信時タイムチャートは F<sub>REF</sub> = 48MHz 時の時間です。

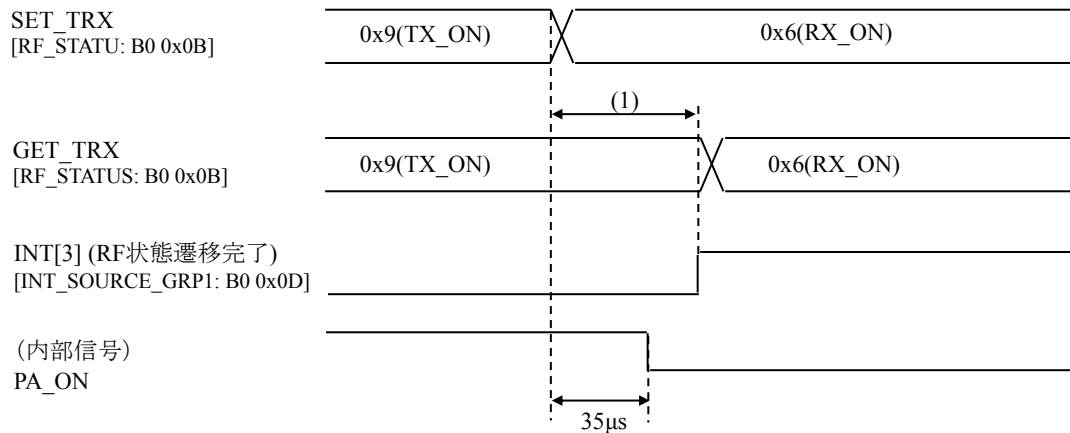


タイミング	VCO キャリブレーション方式(*2)	
	オート	オンデマンド
(1)	203μs	121μs

\*1 : RXDIO\_CTRL([DIO\_SET: B0 0x0C(7-6)])=0b10 または 0b11 に設定した場合  
\*2 : 詳細は、「VCO キャリブレーション」をご参照ください。

## ●送信から受信への移行

・条件: 下記送受信切替タイムチャートは  $F_{REF} = 48\text{MHz}$  時の時間です。



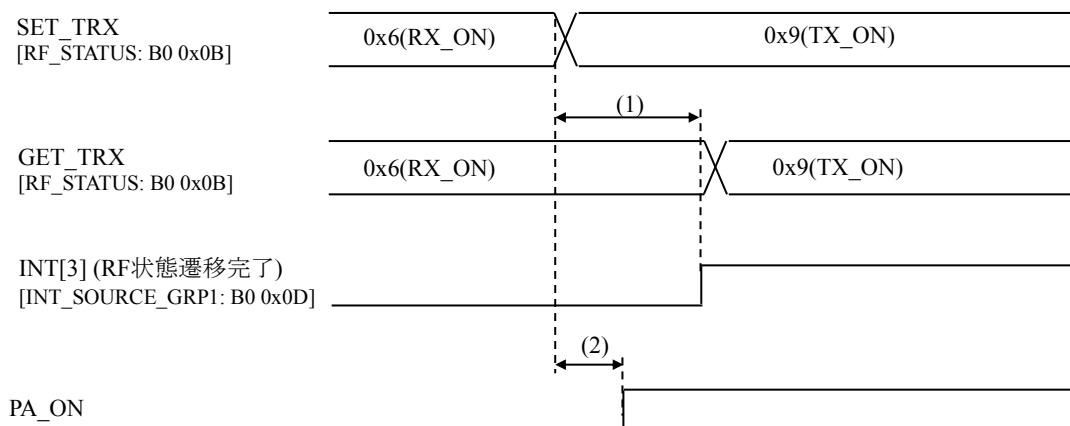
タイミング	VCO キャリブレーション方式(*1)	
	オート	オンデマンド(*2)
(1)	220μs	75μs

\*1: 詳細は、「VCO キャリブレーション」をご参照ください。

\*2: サブ GHz 帯のみオンデマンド方式により送信から受信への移行が可能です。2.4GHz 時、オンデマンド方式を適用して送信から受信へ直接遷移できませんので、必ず一度 TRX\_OFF してから状態遷移を行ってください。

## ●受信から送信への移行

・条件: 下記送受信切替タイムチャートは  $F_{REF} = 48\text{MHz}$  時の時間です。



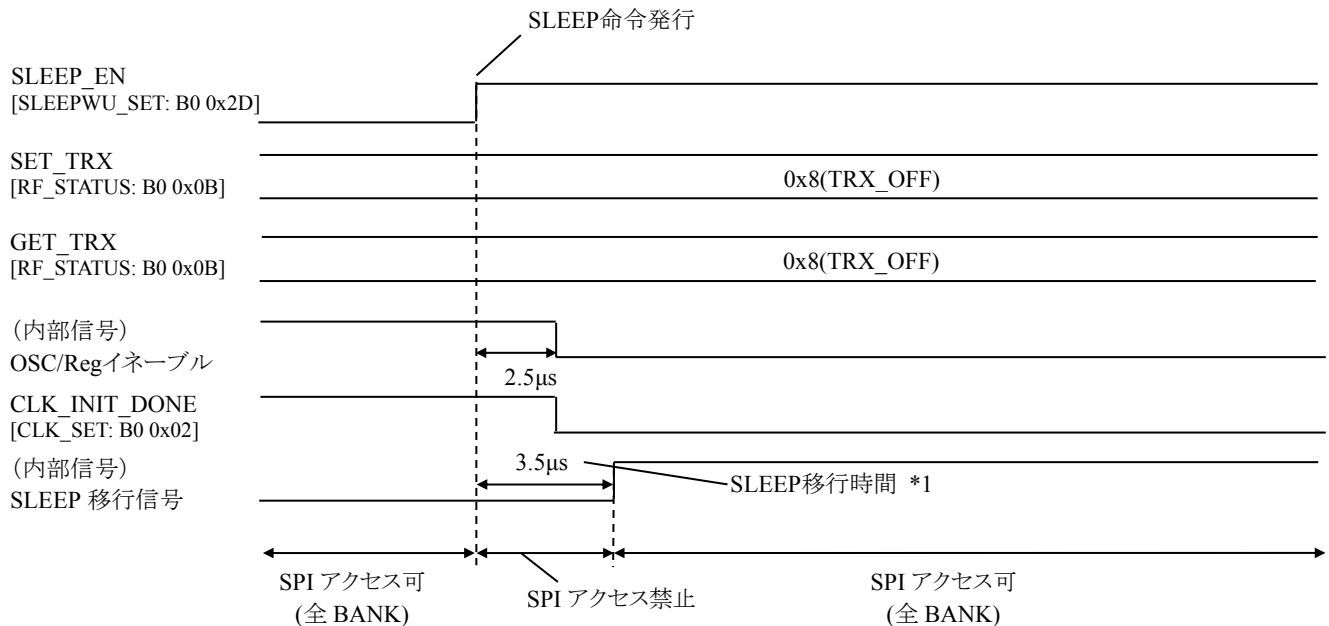
タイミング	VCO キャリブレーション方式(*1)	
	オート	オンデマンド(*2)
(1)	219μs	72μs
(2)	184μs	37μs

\*1: 詳細は、「VCO キャリブレーション」をご参照ください。

\*2: サブ GHz 帯のみオンデマンド方式により送信から受信への移行が可能です。2.4GHz 時、オンデマンド方式を適用して送信から受信へ直接遷移できませんので、必ず一度 TRX\_OFF してから状態遷移を行ってください。

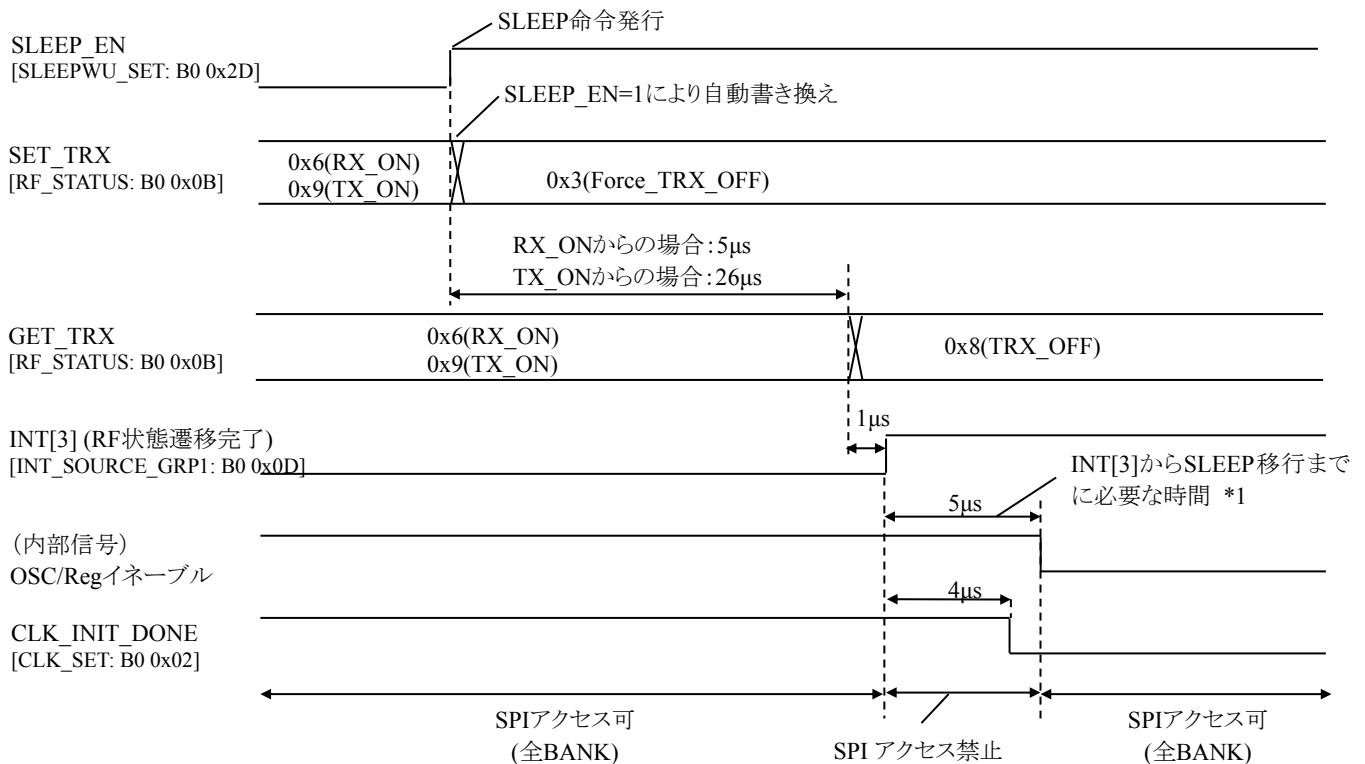


## ●IDLE から SLEEP への移行



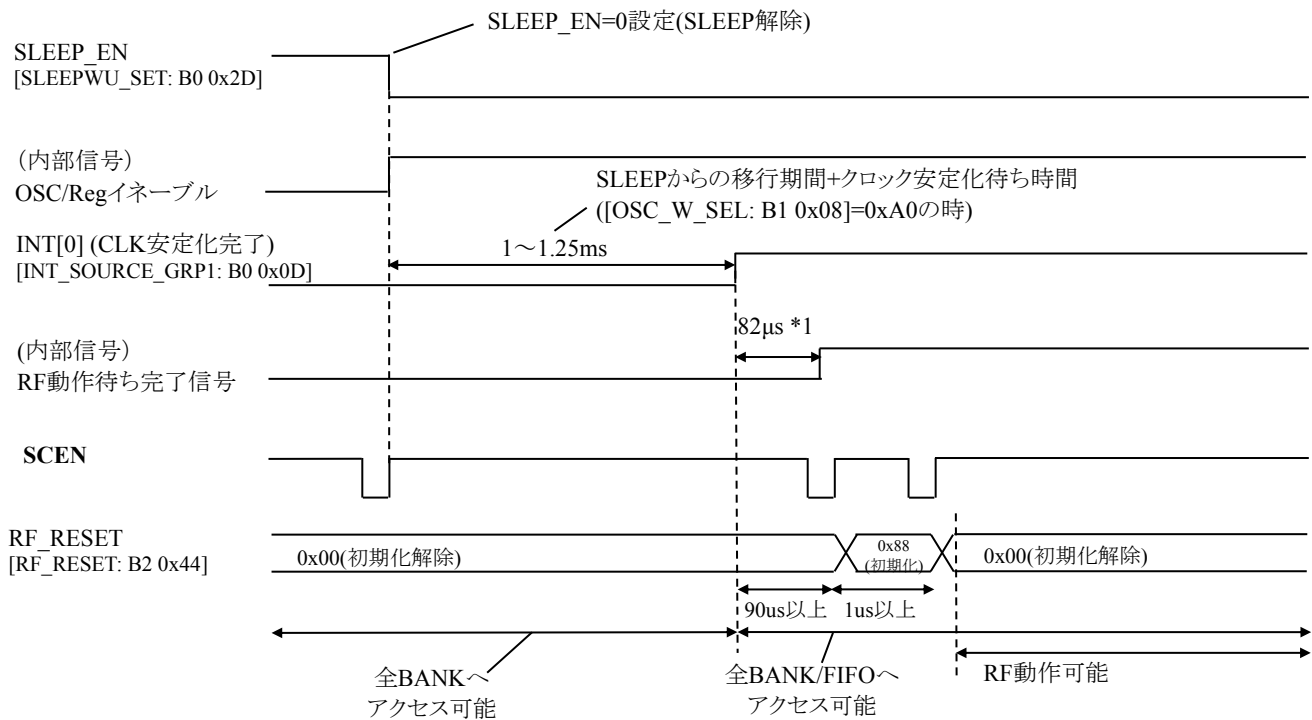
\*1 : SLEEP 移行時間。SLEEP 移行の期間は内部クロックが必要なため、TCXO を停止させる場合は、SLEEP 命令発行 (SLEEP\_EN ([SLEEP/WU\_SET: B0 0x2D(0)])=0b1) 後、3.5μs 以上経過後にしてください。また、SLEEP 命令発行後、3.5μs 以上経過後に SPI アクセスしてください。

## ●送信/受信状態から SLEEP への移行



\*1 : TCXO を使用している場合は、SLEEP 命令発行 (SLEEP\_EN ([SLEEP/WU\_SET: B0 0x2D(0)])=1) による INT[3] の通知から 5μs 以上経過後に TCXO 入力を停止して下さい。また、INT[3] の通知後、5μs 以上経過後に SPI アクセスしてください。

## ●SLEEP から IDLE への移行



\*1: [VCO\_CAL\_START: B0 0x6F]および[SET\_TRX: B0 0x0B]レジスタは設定可能ですが、RF動作待ち完了信号がアサートされるまで処理されません。

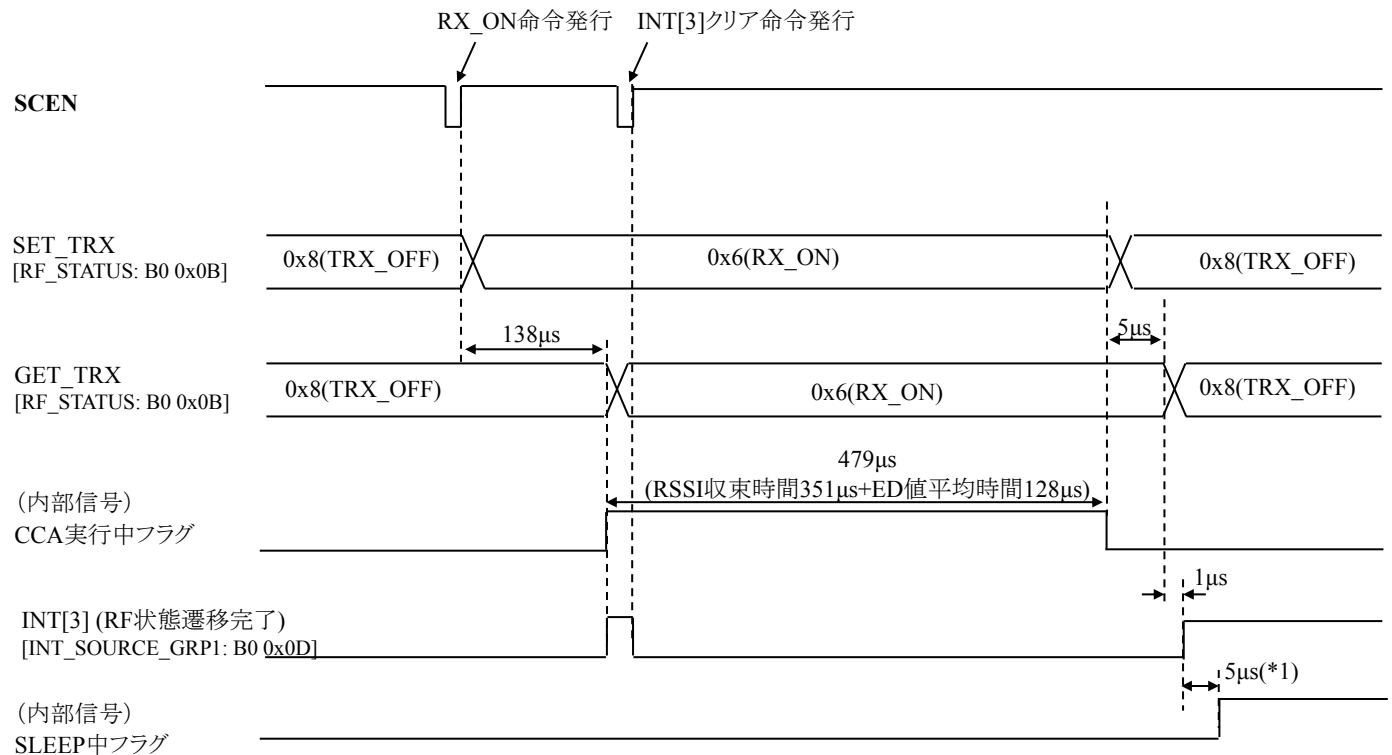
## ●高速電波チェックモード時

以下の条件でのタイムチャートです。

条件)

ED値平均回数: 8回

チャンネルフィルタ帯域: 200kHz



\*1: INT[3]から SLEEP 移行までに必要な時間。TCXO を使用している場合は、INT[3]の通知から 5us 以上経過後に TCXO 入力を停止して下さい。

## ■レジスタ

### ●初期設定レジスタ

別資料「ML7436RF\_InitializationTable\_vx\_xx」をご参照ください。

※x\_xx は版数を示します。

### ●レジスタ一覧

各バンクのレジスタ配置アドレス範囲は 0x00－0x7F の合計 128 バイトです。予約ビットの中には非公開機能のビットを含むため、予約ビットへの書き込みは必ず初期値または「初期設定レジスタ」で指定する値を設定してください。また、名称が“Reserved”と記載されているアドレスについても非公開レジスタが含まれており、誤動作につながる可能性があるためアクセス(書き込み)は行わないでください。”Reserved”のレジスタまたはビットの読み出し値は不定です。

各 BANK には、[BANK\_SEL]レジスタ(B0 0x00, B1 0x00, B2 0x00, B3 0x00, B4 0x00, B6 0x00, B8 0x00)の bit7-4 (B\*\_ACEN)に 0b1 を書き込み、bit3-0 にて該当する BANK を設定することで各 BANK にアクセスすることが可能です。

別途レジスタ一覧表に設定値が記載されているレジスタは、一覧表の値を設定し変更しないでください。

## BANK0

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	RST_SET	リセット制御
02	CLK_SET1	クロック制御 1
03	CLK_SET2	クロック制御 2
04	PKT_CTRL1	パケットフォーマット設定 1
05	PKT_CTRL2	パケットフォーマット設定 2
06	DRATE_SET	データレート設定
07	DATA_SET1	送受信データ各種設定 1
08	DATA_SET2	送受信データ各種設定 2
09	CH_SET	RF チャンネル設定
0A	RF_STATUS_CTRL	RF 状態変更設定
0B	RF_STATUS	RF 状態設定
0C	DIO_SET	DIO 設定
0D	INT_SOURCE_GRP1	割り込み表示 1
0E	INT_SOURCE_GRP2	割り込み表示 2
0F	INT_SOURCE_GRP3	割り込み表示 3
10	INT_EN_GRP1	割り込み通知イネーブル 1
11	INT_EN_GRP2	割り込み通知イネーブル 2
12	INT_EN_GRP3	割り込み通知イネーブル 3
13	CRC_ERR_H	CRC エラー表示 1
14	CRC_ERR_M	CRC エラー表示 2
15	CRC_ERR_L	CRC エラー表示 3
16	STATE_CLR	状態クリア制御
17	TXFIFO_THRH	送信 FIFO-Full 閾値
18	TXFIFO_THRL	送信 FIFO-Empty 閾値、FAST_TX イネーブル時の閾値
19	RXFIFO_THRH	受信 FIFO-Full 閾値
1A	RXFIFO_THRL	受信 FIFO-Empty 閾値
1B	C_CHECK_CTRL	C-field チェックイネーブル
1C	M_CHECK_CTRL	M-field チェックイネーブル
1D	A_CHECK_CTRL	A-field チェックイネーブル
1E	C_FIELD_CODE1	C-field 設定コード 1
1F	C_FIELD_CODE2	C-field 設定コード 2
20	C_FIELD_CODE3	C-field 設定コード 3
21	C_FIELD_CODE4	C-field 設定コード 4
22	C_FIELD_CODE5	C-field 設定コード 5
23	M_FIELD_CODE1	M-field 1st バイト設定コード 1
24	M_FIELD_CODE2	M-field 1st バイト設定コード 2
25	M_FIELD_CODE3	M-field 2nd バイト設定コード 1
26	M_FIELD_CODE4	M-field 2nd バイト設定コード 2
27	A_FIELD_CODE1	A-field 1st バイト設定
28	A_FIELD_CODE2	A-field 2nd バイト設定
29	A_FIELD_CODE3	A-field 3rd バイト設定
2A	A_FIELD_CODE4	A-field 4th バイト設定
2B	A_FIELD_CODE5	A-field 5th バイト設定
2C	A_FIELD_CODE6	A-field 6th バイト設定
2D	SLEEP/WU_SET	SLEEP/WakeUP タイマ設定
2E	WUT_CLK_SET	WakeUP タイマ用クロック分周設定
2F	WUT_INTERVAL_H	WakeUP タイマインターバル設定(上位バイト)
30	WUT_INTERVAL_L	WakeUP タイマインターバル設定(下位バイト)
31	WU_DURATION	WakeUP 後の動作継続タイマ稼働時間設定
32	GT_SET	汎用タイマ設定
33	GT_CLK_SET	汎用タイマ用クロック分周設定
34	GT1_TIMER	汎用タイマ 1 タイマ設定

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要
35	GT2_TIMER	汎用タイマ 2 タイマ設定
36	CCA_IGNORE_LVL	CCA の判定除外 ED 値設定
37	CCA_LVL	CCA 閾値設定
38	CCA_ABORT	CCA ABORT 時間設定
39	CCA_CTRL	CCA 制御設定
3A	ED_RSLT	ED 値表示
3B	IDLE_WAIT_H	IDLE 検出期間設定(上位バイト)
3C	IDLE_WAIT_L	IDLE 検出期間設定(下位バイト)
3D	CCA_PROG_H	IDLE 検出期間結果表示(上位バイト)
3E	CCA_PROG_L	IDLE 検出期間結果表示(下位バイト)
3F	PREAMBLE_SET	プリアンブルパターン設定
40	Reserved	予約
41	ED_CTRL	ED 値平均回数設定数
42	TXPR_LEN_H	送信プリアンブル長設定(上位バイト)
43	TXPR_LEN_L	送信プリアンブル長設定(下位バイト)
44	POSTAMBLE_SET	ポストアンブル設定
45	SYNC_CONDITION1	受信プリアンブル設定
46	SYNC_CONDITION2	同期検出時の ED 閾値
47	SYNC_CONDITION3	誤り許容設定
48	2DIV_CTRL	アンテナダイバーシティ設定
49	2DIV_RSLT	アンテナダイバーシティ結果表示
4A	ANT1_ED	アンテナ 1 の取得 ED 値表示
4B	ANT2_ED	アンテナ 2 の取得 ED 値表示
4C	ANT_CTRL	送受信時のアンテナ強制設定
4D	MON_CTRL	モニタ出力信号選択設定
4E	GPIO0_CTRL	GPIO0 端子制御設定
4F	GPIO1_CTRL	GPIO1 端子制御設定
50	GPIO2_CTRL	GPIO2 端子制御設定
51	GPIO3_CTRL	GPIO3 端子制御設定
52	GPIO4_CTRL	GPIO4 端子制御設定
53	SPI/EXT_PA_CTRL	SPI インタフェース IO /外部 PA 制御設定
54	CHFIL_BW	チャンネルフィルタ帯域幅設定
55	DC_I_ADJ_H	I 相 DC オフセット調整設定(上位 6 ビット)
56	DC_I_ADJ_L	I 相 DC オフセット調整設定(下位バイト)
57	DC_Q_ADJ_H	Q 相 DC オフセット調整設定(上位 6 ビット)
58	DC_Q_ADJ_L	Q 相 DC オフセット調整設定(下位バイト)
59	DC_FIL_ADJ	DC オフセット調整フィルタ設定
5A	IQ_MAG_ADJ_H	IF の IQ 振幅バランス調整(上位 4 ビット)
5B	IQ_MAG_ADJ_L	IF の IQ 振幅バランス調整(下位バイト)
5C	IQ_PHASE_ADJ_H	IF の IQ 位相バランス調整(上位 4 ビット)
5D	IQ_PHASE_ADJ_L	IF の IQ 位相バランス調整(下位バイト)
5E	IQ_ADJ_WAIT	IF の IQ 自動調整用 RSSI 取得ウェイト時間
5F	IQ_ADJ_TARGET	IF の IQ 自動調整用 RSSI 判定閾値
60	DEC_GAIN	デシメーションゲイン設定
61	IF_FREQ	IF 周波数選択
62	OSC_ADJ1	発振回路制御(粗調)
63	OSC_ADJ2	発振回路制御(微調)
64	FIELD_CHECK_RSLT	Field チェック結果表示
65	OSC_ADJ4	高速起動時発振回路バイアス設定
66	RSSI_ADJ	RSSI 値の調整
67	PA_REG_ADJ_H	PA レギュレータ調整(上位バイト)
68	PA_REG_ADJ_L	PA レギュレータ調整(下位バイト)
69	Reserved	予約
6A	CHFIL_BW_CCA	CCA 時チャンネルフィルタ帯域幅設定

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要
6B	CHFIL_BW_OPTION	チャネルフィルタ帯域幅オプション設定
6C	DC_FIL_ADJ2	DC オフセット調整フィルタ設定 2
6D	DEC_GAIN_CCA	CCA 時デシメーションゲイン
6E	VCO_CAL	VCO キャリブレーション値表示または設定
6F	VCO_CAL_START	VCO キャリブレーション実行
70	CLK_CAL_SET	低速クロックキャリブレーション制御
71	CLK_CAL_TIME	低速クロックキャリブレーション時間設定
72	CLK_CAL_H	低速クロックキャリブレーション値表示(上位バイト)
73	CLK_CAL_L	低速クロックキャリブレーション値表示(下位バイト)
74	FEC_CTRL	FEC 設定
75	SLEEP_INT_CLR	SLEEP 時割込みクリア設定
76	RF_TEST_MODE	送信テストパターン設定
77	STM_STATE	ステートマシン状態表示
78	FIFO_SET	FIFO リード設定
79	RD_FIFO_LAST	受信時 FIFO 使用量表示
7A	TX_PKT_LEN_H	送信パケット長設定
7B	TX_PKT_LEN_L	送信パケット長設定
7C	WR_TX_FIFO	送信 FIFO
7D	RX_PKT_LEN_H	受信パケット長表示
7E	RX_PKT_LEN_L	受信パケット長表示
7F	RD_FIFO	FIFO リード

## BANK1

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	CLK_OUT	CLK_OUT(GPIOn) 出力周波数設定
02	TX_RATE_H	送信データレート変換設定(上位バイト)
03	TX_RATE_L	送信データレート変換設定(下位バイト)
04	RX_RATE1_H	受信データレート変換設定 1(上位バイト)
05	RX_RATE1_L	受信データレート変換設定 1(下位バイト)
06	RX_RATE2	受信データレート変換設定 2
07	Reserved	予約
08	OSC_W_SEL	クロック安定化待ち時間設定
09-0A	Reserved	予約
0B	PLL_LOCK_DETECT	PLL ロック判定設定
0C-0D	Reserved	予約
0E	GAIN_HOLD	ゲイン切り替え設定
0F	RSSI_STABLE_RES	RSSI 安定化待ち時間設定
10	GC_CTRL_DIV	ダイバーシティ時のゲイン制御設定
11	Reserved	予約
12	RSSI_STABLE_TIME	RSSI 安定化待ち時間設定
13	RSSI_MAG_ADJ	ED 変換用 RSSI 補正設定
14	Reserved	予約
15	AFC/GC_CTRL	AFC/ゲイン制御設定
16	CRC_POLY3	CRC 生成多項式 3
17	CRC_POLY2	CRC 生成多項式 2
18	CRC_POLY1	CRC 生成多項式 1
19	CRC_POLY0	CRC 生成多項式 0
1A	PLL_DIV_SET	PLL 周波数分周設定
1B	TXFREQ_I	送信周波数 I カウンタ設定
1C	TXFREQ_FH	送信周波数 F カウンタ設定(上位 4 ビット)
1D	TXFREQ_FM	送信周波数 F カウンタ設定(中位 8 ビット)
1E	TXFREQ_FL	送信周波数 F カウンタ設定(下位 8 ビット)
1F	RXFREQ_I	受信周波数 I カウンタ設定
20	RXFREQ_FH	受信周波数 F カウンタ設定(上位 4 ビット)
21	RXFREQ_FM	受信周波数 F カウンタ設定(中位 8 ビット)
22	RXFREQ_FL	受信周波数 F カウンタ設定(下位 8 ビット)
23	CH_SPACE_H	チャンネル間隔設定(上位バイト)
24	CH_SPACE_L	チャンネル間隔設定(下位バイト)
25	SYNC_WORD_LEN	SYNC_WORD 長設定
26	SYNC_WORD_EN	SYNC_WORD イネーブル設定
27	SYNCWORD1_SET0	SYNC_WORD1 設定 1
28	SYNCWORD1_SET1	SYNC_WORD1 設定 2
29	SYNCWORD1_SET2	SYNC_WORD1 設定 3
2A	SYNCWORD1_SET3	SYNC_WORD1 設定 4
2B	SYNCWORD2_SET0	SYNC_WORD2 設定 1
2C	SYNCWORD2_SET1	SYNC_WORD2 設定 2
2D	SYNCWORD2_SET2	SYNC_WORD2 設定 3
2E	SYNCWORD2_SET3	SYNC_WORD2 設定 4
2F	FSK_CTRL	GFSK/FSK 変調タイミング分解能設定
30	GFSK_DEV_H	GFSK 時周波数偏位設定(上位 6 ビット)
31	GFSK_DEV_L	GFSK 時周波数偏位設定(下位バイト)
32	FSK_DEV0_H/GFIL0	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 1
33	FSK_DEV0_L/GFIL1	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 2
34	FSK_DEV1_H/GFIL2	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 3
35	FSK_DEV1_L/GFIL3	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 4



## BANK1 続き

アドレス [HEX]	レジスタ名称	機能概要
36	FSK_DEV2_H/GFIL4	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 5
37	FSK_DEV2_L/GFIL5	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 6
38	FSK_DEV3_H/GFIL6	FSK 周波数偏位設定 3/ガウシアンフィルタ係数設定 7
39	FSK_DEV3_L	FSK 周波数偏位設定 3
3A	FSK_DEV4_H	FSK 周波数偏位設定 4
3B	FSK_DEV4_L	FSK 周波数偏位設定 4
3C	FSK_TIM_ADJ4	FSK 第 4 周波数偏位の保持時間設定
3D	FSK_TIM_ADJ3	FSK 第 3 周波数偏位の保持時間設定
3E	FSK_TIM_ADJ2	FSK 第 2 周波数偏位の保持時間設定
3F	FSK_TIM_ADJ1	FSK 第 1 周波数偏位の保持時間設定
40	FSK_TIM_ADJ0	FSK 周波数無偏位(キャリア周波数)の保持時間設定
41	4FSK_DATA_MAP	4FSK 時のデータマッピング
42	FREQ_ADJ_H	送受信周波数微調整設定(上位バイト)
43	FREQ_ADJ_L	送受信周波数微調整設定(下位バイト)
44-47	Reserved	予約
48	2DIV_MODE	アンテナダイバーシティモード設定
49	2DIV_SEARCH1	アンテナダイバーシティサーチ時間設定
4A	2DIV_SEARCH2	アンテナダイバーシティサーチ時間設定
4B	2DIV_FAST_LVL	アンテナダイバーシティFAST モードの ED 閾値設定
4C	2DIV_PB_TH	アンテナダイバーシティサーチタイマホールド設定
4D	VCO_CAL_MIN_I	VCO_CAL 下限周波数 I カウンタ設定
4E	VCO_CAL_MIN_FH	VCO_CAL 下限周波数 F カウンタ設定(上位 4 ビット)
4F	VCO_CAL_MIN_FM	VCO_CAL 下限周波数 F カウンタ設定(中位 8 ビット)
50	VCO_CAL_MIN_FL	VCO_CAL 下限周波数 F カウンタ設定(下位 8 ビット)
51	VCO_CAL_MAX_N	VCO_CAL 周波数範囲設定
52	VCO_FCAL_MIN	VCO 周波数キャリブレーション下限値(サブ GHz 時)
53	VCO_FCAL_MAX	VCO 周波数キャリブレーション上限値(サブ GHz 時)
54-55	Reserved	予約
56	DEMOD_SET0	復調器設定 0
57	DEMOD_SET1	復調器設定 1
58	DEMOD_SET2	復調器設定 2
59	DEMOD_SET3	復調器設定 3
5A	RX_IQ_SEL	受信時 IQ 選択設定
5B	Reserved	予約
5C	DEMOD_SET6	復調器設定 6
5D	DEMOD_SET7	復調器設定 7
5E	DEMOD_SET8	復調器設定 8
5F	DEMOD_SET9	復調器設定 9
60	DEMOD_SET10	復調器設定 10
61	DEMOD_SET11	復調器設定 11
62	ADDR_CHK_CTR_H	アドレスチェックカウンタ表示(上位 3 ビット)
63	ADDR_CHK_CTR_L	アドレスチェックカウンタ表示(下位 バイト)
64	WHT_INIT_H	Whitening 初期状態設定(上位 1 ビット)
65	WHT_INIT_L	Whitening 初期状態設定(下位 8 ビット)
66	WHT_CFG	Whitening 生成多項式設定
67-6C	Reserved	予約
6D	GPIO5_CTRL	GPIO5 端子制御設定
6E-6F	Reserved	予約
70	DCDC_CTRL	スイッチングレギュレータ制御
71-73	Reserved	予約
74	VCO_FCAL_MIN_2G	VCO キャリブレーション下限値(2.4GHz 時 TX)
75	VCO_FCAL_MAX_2G	VCO キャリブレーション上限値(2.4GHz 時 TX)
76	VCO_FCAL_MIN_2G_RX	VCO キャリブレーション下限値(2.4GHz 時 RX)
77	VCO_FCAL_MAX_2G_RX	VCO キャリブレーション上限値(2.4GHz 時 RX)
78-7A	Reserved	予約
7B	TX_RATE2_EN	送信データレート設定イネーブル

アドレス [HEX]	レジスタ名称	機能概要
7C	TX_RATE2_H	送信データレート設定 2(上位バイト)
7D	TX_RATE2_L	送信データレート設定 2(下位バイト)
7E	Reserved	予約
7F	ID_CODE	ID コード表示

## BANK2

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01-43	Reserved	予約
44	RF_RESET	RF 初期化制御
45-72	Reserved	予約
73	RSSI_ADJ_H_2G	高ゲイン動作時の RSSI オフセット値設定(2.4GHz 時)
74	RSSI_ADJ_M_2G	中間ゲイン動作時の RSSI オフセット値設定(2.4GHz 時)
75	RSSI_ADJ_L_2G	低ゲイン動作時の RSSI オフセット値設定(2.4GHz 時)
76	GAIN_HHTOH	高ゲインから高ゲインへの切り替え閾値設定
77	GAIN_HTOHH	高ゲインから高ゲインへの切り替え閾値設定
78	GAIN_HTOM	高ゲインから中間ゲインへの切り替え閾値設定
79	GAIN_MTOH	中間ゲインから高ゲインへの切り替え閾値設定
7A	GAIN_MTOL	高ゲインから低ゲインへの切り替え閾値設定
7B	GAIN_LTOM	低ゲインから中間ゲインへの切り替え閾値設定
7C	RSSI_ADJ_H	高ゲイン動作時の RSSI オフセット値設定
7D	RSSI_ADJ_M	中間ゲイン動作時の RSSI オフセット値設定
7E	RSSI_ADJ_L	低ゲイン動作時の RSSI オフセット値設定
7F	Reserved	予約

## BANK3

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01-22	Reserved	予約
23	2MODE_DET	ModeT/C 同時受信設定
24-30	Reserved	予約
31	DIF_SET3	デジタル信号処理回路設定
32-40	Reserved	予約
41	RAMP_CTRL1	PA ランプ制御設定 1
42	RAMP_CTRL2	PA ランプ制御設定 2
43	RAMP_CTRL3	PA ランプ制御設定 3
44	LOWBAT_DET_CTRL1	ローバッテリー検出制御 1
45	LOWBAT_DET_CTRL2	ローバッテリー検出制御 2
46-4F	Reserved	予約
50	EXT_WU_CTRL	外部ウェイクアップ制御設定
51	EXT_WU_INTERVAL	外部ウェイクアップインターバル設定
52-61	Reserved	予約
62	VCO_FCAL_MODE	VCO 周波数キャリブレーションモード設定
63-75	Reserved	予約
66	VCO_ACC_CTRL	PLL ロック外れ検出時の VCO 常時補正制御
67-7F	Reserved	予約

## BANK4

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	C_CHECK_CTRL	C-field チェックイネーブル
02	M_CHECK_CTRL	M-field チェックイネーブル
03	A_CHECK_CTRL2	A-field チェックイネーブル 2
04	A_CHECK_CTRL1	A-field チェックイネーブル 1
05	C_FIELD_CODE1	C-field 設定コード 1
06	C_FIELD_CODE2	C-field 設定コード 2
07	C_FIELD_CODE3	C-field 設定コード 3
08	C_FIELD_CODE4	C-field 設定コード 4
09	C_FIELD_CODE5	C-field 設定コード 5
0A	M_FIELD_CODE1	M-field 1st バイト設定コード 1
0B	M_FIELD_CODE2	M-field 1st バイト設定コード 2
0C	M_FIELD_CODE3	M-field 2nd バイト設定コード 1
0D	M_FIELD_CODE4	M-field 2nd バイト設定コード 2
0E	A_FIELD_CODE1	A-field 1st バイト設定
0F	A_FIELD_CODE2	A-field 2nd バイト設定
10	A_FIELD_CODE3	A-field 3rd バイト設定
11	A_FIELD_CODE4	A-field 4th バイト設定
12	A_FIELD_CODE5	A-field 5th バイト設定
13	A_FIELD_CODE6	A-field 6th バイト設定
14	A_FIELD_CODE7	A-field 7rd バイト設定
15	A_FIELD_CODE8	A-field 8th バイト設定
16	A_FIELD_CODE9	A-field 9th バイト設定
17	A_FIELD_CODE10	A-field 10th バイト設定
18-1F	Reserved	予約
20	CMA2_CHECK_CTRL1	CMA-field2 チェックイネーブル 1
21	CMA2_CHECK_CTRL2	CMA-field2 チェックイネーブル 2
22	C2_FIELD_CODE1	C-field2 設定
23	M2_FIELD_CODE1	M-field2 1st バイト設定
24	M2_FIELD_CODE2	M-field2 2nd バイト設定
25	A2_FIELD_CODE1	A-field2 1st バイト設定
26	A2_FIELD_CODE2	A-field2 2nd バイト設定
27	A2_FIELD_CODE3	A-field2 3rd バイト設定
28	A2_FIELD_CODE4	A-field2 4th バイト設定
29	A2_FIELD_CODE5	A-field2 5th バイト設定
2A	A2_FIELD_CODE6	A-field2 6th バイト設定
2B	A2_FIELD_CODE7	A-field2 7rd バイト設定
2C	A2_FIELD_CODE8	A-field2 8th バイト設定
2D	A2_FIELD_CODE9	A-field2 9th バイト設定
2E	A2_FIELD_CODE10	A-field2 10th バイト設定
2F	Reserved	予約
30	CMA3_CHECK_CTRL1	CMA-field3 チェックイネーブル 1
31	CMA3_CHECK_CTRL2	CMA-field3 チェックイネーブル 2
32	C3_FIELD_CODE1	C-field3 設定
33	M3_FIELD_CODE1	M-field3 1st バイト設定
34	M3_FIELD_CODE2	M-field3 2nd バイト設定
35	A3_FIELD_CODE1	A-field3 1st バイト設定
36	A3_FIELD_CODE2	A-field3 2nd バイト設定
37	A3_FIELD_CODE3	A-field3 3rd バイト設定
38	A3_FIELD_CODE4	A-field3 4th バイト設定
39	A3_FIELD_CODE5	A-field3 5th バイト設定

## BANK4 続き

アドレス [HEX]	レジスタ名称	機能概要
3A	A3_FIELD_CODE6	A-field3 6th バイト設定
3B	A3_FIELD_CODE7	A-field3 7rd バイト設定
3C	A3_FIELD_CODE8	A-field3 8th バイト設定
3D	A3_FIELD_CODE9	A-field3 9th バイト設定
3E	A3_FIELD_CODE10	A-field3 10th バイト設定
3F-5F	Reserved	予約
60	TXFREQ_I_2G	2.4GHz 用送信周波数 I カウンタ設定
61	TXFREQ_FH_2G	2.4GHz 用送信周波数 F カウンタ設定(上位 4 ビット)
62	TXFREQ_FM_2G	2.4GHz 用送信周波数 F カウンタ設定(中位 8 ビット)
63	TXFREQ_FL_2G	2.4GHz 用送信周波数 F カウンタ設定(下位 8 ビット)
64	RXFREQ_I_2G	2.4GHz 用受信周波数 I カウンタ設定
65	RXFREQ_FH_2G	2.4GHz 用受信周波数 F カウンタ設定(上位 4 ビット)
66	RXFREQ_FM_2G	2.4GHz 用受信周波数 F カウンタ設定(中位 8 ビット)
67	RXFREQ_FL_2G	2.4GHz 用受信周波数 F カウンタ設定(下位 8 ビット)
68	CH_SPACE_H_2G	2.4GHz 用チャンネル間隔設定(上位バイト)
69	CH_SPACE_L_2G	2.4GHz 用チャンネル間隔設定(下位バイト)
6A	GFSK_DEV_H_2G	2.4GHz 用 GFSK 時周波数偏位設定(上位 6 ビット)
6B	GFSK_DEV_L_2G	2.4GHz 用 GFSK 時周波数偏位設定(下位バイト)
6C	PA_REG_ADJ_2G	2.4GHz 用 PA レギュレータ調整
6D	IQ_MAG_ADJ_H_2G	2.4GHz 用 I 相 DC オフセット調整設定(上位 6 ビット)
6E	IQ_MAG_ADJ_L_2G	2.4GHz 用 I 相 DC オフセット調整設定(下位バイト)
6F	IQ_PHASE_ADJ_H_2G	2.4GHz 用 Q 相 DC オフセット調整設定(上位 6 ビット)
70	IQ_PHASE_ADJ_L_2G	2.4GHz 用 Q 相 DC オフセット調整設定(下位バイト)
71	GC_CTRL_2G	2.4GHz 用ゲイン制御設定
72	VCO_CAL_MIN_I_2G	2.4GHz 用 VCO_CAL 下限周波数 I カウンタ設定
73	VCO_CAL_MIN_FH_2G	2.4GHz 用 VCO_CAL 下限周波数 F カウンタ設定(上位 4 ビット)
74	VCO_CAL_MIN_FM_2G	2.4GHz 用 VCO_CAL 下限周波数 F カウンタ設定(中位 8 ビット)
75	VCO_CAL_MIN_FL_2G	2.4GHz 用 VCO_CAL 下限周波数 F カウンタ設定(下位 8 ビット)
76	VCO_CAL_MAX_N_2G	2.4GHz 用 VCO_CAL 周波数範囲設定
77-7F	Reserved	予約

## BANK6

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	Reserved	予約
02	FEC_CTRL	FEC 設定
03-7F	Reserved	予約

## BANK8

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	SEARCH_CH_SET	チャンネルサーチ設定
02	SEARCH_CH_EN	チャンネルサーチイネーブル設定
03	SEARCH_CH0	サーチチャンネル#0 チャンネル番号
04	SEARCH_CH1	サーチチャンネル#1 チャンネル番号
05	SEARCH_CH2	サーチチャンネル#2 チャンネル番号
06	SEARCH_CH3	サーチチャンネル#3 チャンネル番号
07	SEARCH_CH4	サーチチャンネル#4 チャンネル番号
08	SEARCH_CH5	サーチチャンネル#5 チャンネル番号
09	SEARCH_CH6	サーチチャンネル#6 チャンネル番号
0A	SEARCH_CH7	サーチチャンネル#7 チャンネル番号
0B	SRCH_ED_TH	チャンネルサーチ時の ED 値閾値設定
0C	PLL_WAIT_TIMER	チャンネルサーチ時の PLL 収束待ち時間設定
0D	ED_WAIT_TIMER	チャンネルサーチ時の ED 値収束待ち時間設定
0E	SYNC_WAIT_TIMER	チャンネルサーチ時の同期検出待ち時間設定 1
0F	SYNC_WAIT_TIMER2	チャンネルサーチ時の同期検出待ち時間設定 2
10-13	Reserved	予約
14	FH_SET	周波数ホッピング設定
15	FH_MAX_CH	周波数ホッピング最大チャンネル設定
16	RANDOM_CH_DISP	ランダムチャンネル番号表示
17-7F	Reserved	予約

## ●レジスタ BANK0

## 0x00【BANK\_SEL】

機能:レジスタアクセス先選択

アドレス:0x00 (BANK0)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7-4	BANK_ACEN[3:0]	0001	R/W	レジスタアクセスイネーブル 0001: BANK0 アクセス許可 0010: BANK1 アクセス許可 0100: BANK2 アクセス許可 1000: BANK3 アクセス許可 1010: BANK4 アクセス許可 0011: BANK6 アクセス許可 0110: BANK8 アクセス許可 上記以外: アクセス禁止 ※EXT_BANK_SEL_EN([CLK_SET2: B0 0x03(2)])=0b1 設定時、下記設定により BANK 切替可能です。 0000: BANK0-8 アクセス許可
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 1010: BANK4 アクセス 0011: BANK6 アクセス 0110: BANK8 アクセス 上記以外: 設定禁止 ※EXT_BANK_SEL_EN([CLK_SET2: B0 0x03(2)])=0b1 設定時、下記設定により BANK 切替可能です。 0000: BANK0 アクセス 0001: BANK1 アクセス 0010: BANK2 アクセス 0011: BANK3 アクセス 0100: BANK4 アクセス 0110: BANK6 アクセス 1000: BANK8 アクセス

## 【説明】

1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. SPI アクセスは CLK\_INIT\_DONE([CLK\_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF 動作は必ず CLK\_INIT\_DONE が 0b1 であることを確認した後に実行してください。

## 0x01【RST\_SET】

機能:ソフトリセット設定

アドレス:0x01 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RST3_EN	0	R/W	リセット 3 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
6	RST2_EN	0	R/W	リセット 2 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
5	RST1_EN	0	R/W	リセット 1 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
4	RST0_EN	0	R/W	リセット 0 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
3	RST3	0	R/W	PHY 機能リセット bit7(RST3_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
2	RST2	0	R/W	RF 状態制御機能リセット bit6(RST2_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
1	RST1	0	R/W	MODEM 機能リセット bit5(RST1_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
0	RST0	0	R/W	コンフィグレーション機能リセット bit4(RST0_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) ※[CLK_SET2]レジスタ(B0 0x03)の bit6-4 を除く全レジスタ値は初期値に戻ります。 ※本リセット後、FIFO 格納データは保証されません。

## 【説明】

- イネーブルビット(bit7 から bit4)と実行ビット(bit3 から bit0)は同時に設定してください。リセット実行後は状態を保持せず、自動的に各ビットは 0b0 に上書きされます。
- 実行ビット(bit3 から bit0)書き込み後、2μsec 以内にリセットが完了します。ただし、SLEEP 中 (SLEEP\_EN([SLEEP/WU\_SET: B0 0x2D(0)])=0b1 時)にリセットを実行設定した場合、SLEEP 解除後のクロック安定化完了割込み INT[0]([INT\_SOURCE\_GRP1: B0 0x0D(0)])発生時にリセットが実行され、各ビットが 0b0 に上書きされます。リセット実行までに設定状態を変更した場合、変更後の設定が有効となります。



## 0x02【CLK\_SET1】

機能:クロック設定

アドレス:0x02 (BANK0)

初期値:0x1F

Bit	ビット名	初期値	R/W	説明
7	CLK_INIT_DONE	0	R	クロック安定化完了フラグ
6	MSTR_CLK_SEL2	0	R/W	FREF 選択設定 2 0: 24 または 48MHz 1: 26 または 52MHz ※48～52MHz を使用する場合は MSTR_CLK_SEL1=0b0、24～26MHz を使用する場合は MSTR_CLK_SEL1=0b1 に設定してください。 ※24/26/48/52MHz を使用する場合、適切な設定を選択し、上記に該当しない FREF を使用する場合、いずれか近い周波数範囲の設定に選択してください。 ※MSTR_CLK_SEL3([SLEEP_INT_CLR: B0 0x75(6-4)])で周波数を選択した場合、MSTR_CLK_SEL3 設定が優先されます。
5	MSTR_CLK_SEL1	0	R/W	FREF 選択設定 1 0: 高速クロック使用(48～52MHz) 1: 低速クロック使用(24～26MHz) ※24/26/48/52MHz を使用する場合、適切な設定を選択し、上記に該当しない FREF を使用する場合、いずれか近い周波数範囲の設定に選択してください。
4	CLK4_EN	1	R/W	ADC のクロック制御 0: クロック停止 1: クロック供給
3	CLK3_EN	1	R/W	RF 機能(RF 状態制御)のクロック制御 0: クロック停止 1: クロック供給
2	CLK2_EN	1	R/W	送信機能(MOD)のクロック制御 0: クロック停止 1: クロック供給
1	CLK1_EN	1	R/W	受信機能(DEMOD)のクロック制御 0: クロック停止 1: クロック供給
0	CLK0_EN	1	R/W	PHY 機能のクロック制御 0: クロック停止 1: クロック供給

## 0x03【CLK\_SET2】

機能:クロック設定 2

アドレス:0x03 (BANK0)

初期値:0x93

Bit	ビット名	初期値	R/W	説明
7	MSTR_CLK_EN	1	R/W	ロジック領域クロック供給制御 0: ディセーブル 1: イネーブル
6:4	Reserved	001	R/W	予約
3	RC32K_EN	1	R/W	内蔵 RC 発振回路制御 0: ディセーブル 1: イネーブル
2	EXT_BANK_SEL_EN	0	R/W	BANK_SEL 機能拡張設定 0: ディセーブル 1: イネーブル ※詳細は[BANK_SEL: B0 0x00]をご参照ください。
1	Reserved	1	R/W	予約
0	LOW_RATE_EN	1	R/W	受信部クロック低速化設定 0: ディセーブル 1: イネーブル ※0b1 設定時、“電源電流特性”の受信状態の電流値が得られます。

## 0x04【PKT\_CTRL1】

機能:パケット制御 1

アドレス:0x04 (BANK0)

初期値:0x12

Bit	ビット名	初期値	R/W	説明
7:6	EXT_PKT_MODE[1:0]	00	R/W	パケット拡張モード設定(Wireless M-Bus 対応) 00: 拡張しない 01: 2 バイト拡張(Extended Link Layer CI=0x8C) 10: 8 バイト拡張(Extended Link Layer CI=0x8D) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 ※ 10/16 バイト拡張を行う場合は 0b00 に設定し、 EXT_PKT_MODE2[DATA_SET2: B0 0x08(7-6)]を設定してください。
5	LEN_LF_EN	0	R/W	Length 領域送出順設定 0: MSB ファースト 1: LSB ファースト
4	DAT_LF_EN	1	R/W	データ領域送出順設定 0: MSB ファースト 1: LSB ファースト
3	RX_EXTPKT_OFF	0	R/W	受信時パケット拡張モードオフ設定(Wireless M-Bus 対応) 0: 拡張パケットを自動認識する 1: 拡張パケットを自動認識しない
2	IEEE802_15_4G_EN	0	R/W	IEEE802.15.4g モード設定 0: IEEE802_15.4g モード無効 1: IEEE802_15.4g モード有効 ※0b1 設定時、受信時の L-field の bit12(CRC 設定)、bit11(Whitening 設定)を自動判定し、Whitening/CRC 処理を行います。 LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])を 0b1(2 バイトモード)設定が必要です。 ※送信時の自動認識機能はありません。各レジスタにて WHT_SET([DATA_SET2: B0 0x08(0)])と CRC_LEN[1:0]([PKT_CTRL2: B0 0x05(5-4)])設定が必要となります。 ※詳細は「IEEE802.15.4g モード設定」をご参照ください。
1:0	PKT_FORMAT[1:0]	10	R/W	パケットフォーマット設定 00: FormatA(Wireless M-Bus 対応) 01: FormatB(Wireless M-Bus 対応) 10: FormatC(汎用フォーマット) 11: FormatD(汎用フォーマット) ※「パケットフォーマット」を参照してください。

## 0x05【PKT\_CTRL2】

機能:パケット制御 2

アドレス:0x05 (BANK0)

初期値:0x5D

Bit	ビット名	初期値	R/W	説明
7	CRC_INIT_SEL	0	R/W	CRC 演算初期値選択設定 0: ALL0 1: ALL1
6	CRC_COMP_OFF	1	R/W	CRC 補数出力 OFF 設定 0: 補数出力する 1: 補数出力しない
5:4	CRC_LEN[1:0]	01	R/W	CRC 長設定 00: CRC8 01: CRC16 10: CRC32 上記以外: 予約 ※0b00(CRC8)および 0b10(CRC32)は Format C のみ有効です。 ※詳細は「CRC 機能」を参照してください。
3	RX_CRC_EN	1	R/W	受信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、受信データに対して CRC 演算結果を [CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。
2	TX_CRC_EN	1	R/W	送信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、送信データに対して CRC を付加します。
1:0	LENGTH_MODE[1:0]	01	R/W	Length フィールド長設定 00: 1 バイトモード 01: 2 バイトモード(Length 領域を上位に 3bit 拡張します)

## 【説明】

1. 送信時、[TX\_PKT\_LEN\_H/L: B0 0x7A/7B]で設定される Length 値からトータル Length を算出します。トータル Length 分の送信後、送信完了となります。
2. 受信時、受信した Length 値が示す Length 値からトータル Length を算出します。トータル Length 分のデータ受信後、受信完了となります。
3. 詳細は「パケットフォーマット」を参照してください。

## 0x06【DRATE\_SET】

機能: データレート設定

アドレス: 0x06 (BANK0)

初期値: 0xBB

Bit	ビット名	初期値	R/W	説明	
7:4	RX_DRATE [3:0]	1011	R/W	受信データレート設定 ※LOW_RATE_EN ([CLK_SET2: B0 0x03(0)])=0b1 の時、本ビット設定により[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]が各レートに応じた最適値を自動的に設定されます。 ※但し、LOW_RATE_EN=0b0 の時、最適値は設定されません。直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。 ※RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])が 0b10 または 0b11 を設定した DIO モードでは、9.6kbps 以下のデータレートは本レジスタにより設定できません。DIO モードを使用する場合は、直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。	
				設定値	データレート
				0000	1.2kbps
				0001	2.4kbps
				0010	4.8kbps
				0011	9.6kbps
				0100	10kbps
				0101	19.2kbps
				0110	15kbps
				0111	20kbps
				1000	32.768kbps
				1001	40kbps
				1010	50kbps
				1011	100kbps
				1100	200kbps
3:0	TX_DRATE [3:0]	1011	R/W	送信データレート設定 ※本ビット設定により[TX_RATE_H/L: B1 0x02/03]が各レートに応じた最適値を自動的に設定されます。	
				設定値	データレート
				0000	1.2kbps
				0001	2.4kbps
				0010	4.8kbps
				0011	9.6kbps
				0100	10kbps
				0101	19.2kbps
				0110	15kbps
				0111	20kbps
				1000	32.768kbps
				1001	40kbps
				1010	50kbps
				1011	100kbps
				1100	200kbps
1101	300kbps				

## 【説明】

- データレート変更時は、関連するレジスタの設定も必要です。詳細は「データレート変更時の設定」をご参照ください。
- 4FSK/4GFSK 設定時はビットレートを設定します。Air 上では設定レートの 1/2 となります。

## 0x07【DATA\_SET1】

機能:送受信データ各種設定 1

アドレス:0x07 (BANK0)

初期値:0x15

Bit	ビット名	初期値	R/W	説明
7	PB_PAT	0	R/W	送受信極性設定 0: 正極性 1: 負極性 ※0b1 設定時、PR_PAT[PREAMBLE_SET: B0 0x3F(3-0)]の極性を反転します。
6	TX_FSK_POL	0	R/W	送信データ極性設定 0: データ“1”=高い周波数に偏位、データ“0”=低い周波数に偏位 1: データ“1”=低い周波数に偏位、データ“0”=高い周波数に偏位
5	RX_FSK_POL	0	R/W	受信データ極性設定 0: 高い周波数偏位=データ”1”、低い周波数偏位=データ”0” 1: 低い周波数偏位=データ”1”、高い周波数偏位=データ”0”
4	GFSK_EN	1	R/W	ガウシアンフィルタ設定 0: ディセーブル 1: イネーブル ※詳細は「変調の設定」をご参照ください。
3:2	RX_DEC_SCHEME [1:0]	01	R/W	受信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ”0”に対して”10”、データ”1”に対して”01”に符号化します。
1:0	TX_DEC_SCHEME [1:0]	01	R/W	送信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ”0”に対して”10”、データ”1”に対して”01”に符号化します。

## 0x08【DATA\_SET2】

機能: 送受信データ各種設定 2

アドレス: 0x08 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	EXT_PKT_MODE2[1:0]	00	R/W	パケット拡張モード設定 2(Wireless M-Bus2013 対応) 00: 拡張しない 01: 10 バイト拡張(Extended Link Layer CI=0x8E) 10: 16 バイト拡張(Extended Link Layer CI=0x8F) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 ※ 2/8 バイト拡張を行う場合は、0b00 設定し、 EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]を設定してください。
5	FSK_SEL	0	R/W	FSK 多値化設定 0: 2 値 FSK モード 1: 4 値 FSK モード
4	SYNCWORD_SEL	0	R/W	同期ワードパターン選択設定 0: 同期ワードパターン 1 を選択する 1: 同期ワードパターン 2 を選択する ※詳細は「SyncWord 検出機能」をご参照ください。
3	2SW_DET_EN	0	R/W	SyncWord2 面待ち設定 0: 2 面待ちしない 1: 2 面待ちする ※詳細は「SyncWord 検出機能」をご参照ください。
2	2PB_DET_EN	0	R/W	受信プリアンプル 2 面待ち設定 0: 2 面待ちしない(“01”パターンと”10”パターンの区別をする) 1: 2 面待ちする(“01”パターンと”10”パターンの区別をしない)
1	MAN_POL	0	R/W	マンチェスタ極性設定 0: 極性を反転しない 1: 極性を反転する
0	WHT_SET	0	R/W	Whitening 設定 0: Whitening 無効 1: Whitening 有効

## 0x09【CH\_SET】

機能: 送受信チャネル設定

アドレス: 0x09 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	RF_CH[7:0]	0000_0000	R/W	送受信チャネル設定(設定範囲 0~255) ※詳細は「チャネル周波数の設定」をご参照ください。

## 0x0A【RF\_STATUS\_CTRL】

機能:RF 状態変更制御

アドレス:0x0A (BANK0)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	INFINITE_TX	0	R/W	繰り返し送信モード設定 0: 1 パケット送信 1: 繰り返し送信(無限) ※0b1 設定時、プリアンプル〜パケット最終データ送信後、プリアンプル送信に戻り、送信を繰り返します。送信を終了する場合、Force_TRX_OFFを実行します。
6	AUTO_DATA_REQ	0	R/W	自動送信要求設定 0: ディセーブル 1: イネーブル ※0b1 設定時、TX_ON 命令発行により自動でデータ送信要求受付完了割込みを発生し、送信します。このとき、送信されるデータは送信 FIFO に書き込んだ最新のデータが送信されます。
5	FAST_TX_EN	0	R/W	FAST_TX モード設定 0: FAST_TX モードで送信を行わない 1: FAST_TX モードで送信を行う ※0b1 設定時、送信データの書き込み量が[TXFIFO_THRL: B0 0x18]で設定される値より大きくなった場合、送信状態へ遷移します。
4	AUTO_TX_EN	0	R/W	自動送信設定 0: 自動送信を行わない 1: 自動送信を行う ※0b1 設定時、Length 分の送信データの書き込みを完了した場合、送信状態へ遷移します。
3:2	RXDONE_MODE[1:0]	10	R/W	パケット受信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態へ遷移 10: RX 状態を継続 11: SLEEP 状態へ遷移
1:0	TXDONE_MODE[1:0]	00	R/W	パケット送信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態を継続 10: RX 状態へ遷移 11: SLEEP 状態へ遷移

## 【説明】

1. 詳細は「LSI 状態制御」をご参照ください。



## 0x0B【RF\_STATUS】

機能:RF 部動作設定と状態表示

アドレス:0x0B (BANK0)

初期値:0x88

Bit	ビット名	初期値	R/W	説明
7:4	GET_TRX[3:0]	1000	R	RF 部動作状態表示 0110: RX_ON(受信状態) 1000: TRX_OFF(RF OFF 状態) 1001: TX_ON(送信状態) 上記以外: 予約
3:0	SET_TRX[3:0]	1000	R/W	RF 部動作状態設定 0011: Force_TRX_OFF(強制 RF OFF 設定) 0110: RX_ON(受信設定) (*1) 1000: TRX_OFF(RF OFF 設定) (*3) 1001: TX_ON(送信設定) (*2) 上記以外: 設定無効で状態を変更しない ※1 送信中に RX_ON 設定可能です。その場合、送信完了後に RX_ON へ遷移します。 ※2 受信中に TX_ON 設定可能です。その場合、受信完了後に TX_ON へ遷移します。 ※3 TRX_OFF 設定した場合、送信または受信完了後に RF を OFF しま す。Force_TRX_OFF 設定した場合、送信中または受信中でも強制的 に RF を OFF します。

## 【説明】

1. 詳細は「LSI 状態制御」をご参照ください。

0x0C【DIO\_SET】

機能:DIO 制御

アドレス:0x0C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	RXDIO_CTRL[1:0]	00	R/W	受信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時出力モード (DIO/DCLK を常時出力する(復調データ/クロック出力モード)) 10: データ出力モード 1 (復号化前 DIO/DCLK を SyncWord 以降に出力する) 11: データ出力モード 2 (復号化後 DIO/DCLK を SyncWord 以降に出力する) ※0b00 設定時のみ、FIFO が使用可能です。 ※0b01 設定時は BER 測定時に使用します。 ※0b10 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。FIFO へのバッファリングは L-field 以降のデータをバッファリングします。 ※0b11 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。Length 分のデータ出力後、DIO/DCLK 出力が停止します。FIFO へのバッファリングは Data-field のデータをバッファリングします。
5:4	TXDIO_CTRL[1:0]	00	R/W	送信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時入力モード(DCLK を常時出力する) 10: データ入力モード(DCLK を SyncWord 以降に出力する) 上記以外: 予約 ※0b01/10 設定時、FIFO は使用できません。DCLK の立下りに同期して符号化後の送信データを入力してください。
3	DIO_IODIR_SET	0	R/W	DIO 時の IO 入出力方向設定 0: 入力設定 1: 出力設定 ※本設定は DIO_IODIR_SET_EN=0b1 設定時に有効です。
2	DIO_RX_COMPLETE	0	R/W	DIO 受信完了設定 0: 受信完了しない 1: 受信完了する ※0b1 設定後、自動的に 0 に戻ります。
1	DIO_IODIR_SET_EN	0	R/W	DIO 時の IO 入出力方向設定イネーブル 0: ディセーブル 1: イネーブル
0	DIO_START	0	R/W	DIO 受信データ出力開始設定 0: 出力しない 1: 出力する ※同期解除により 0 に戻ります。

## 【説明】

1. 詳細は「DIO 機能」をご参照ください。

0x0D【INT\_SOURCE\_GRP1】

機能: 割込み表示

アドレス: 0x0D (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	INT[7]	0	R/W	クロックキャリブレーション完了割込み または チャンネルサーチエラー割込み 0: 割込みなし 1: 割込みあり
6	INT[6]	0	R/W	ウェイクアップ割込み 0: 割込みなし 1: 割込みあり ※SLEEP 中に本割込みをクリアした場合、ウェイクアップタイマによるウェイクアップ時に割込みは発生しません。 【ご注意】3 を参照してください。
5	INT[5]	0	R/W	FIFO-Full 割込み 0: 割込みなし 1: 割込みあり ※FIFO 使用量が[TXFIFO_THRH: B0 0x17]、または受信 FIFO の残量が[RXFIFO_THRH: B0 0x19]で設定される閾値を越えた場合に割込みを発生します。
4	INT[4]	0	R/W	FIFO-Empty 割込み 0: 割込みなし 1: 割込みあり ※送信 FIFO 使用量が[TXFIFO_THRL: B0 0x18]、または受信 FIFO の残量が[RXFIFO_THRL: B0 0x1A]で設定される閾値を下回った場合に割込みを発生します。
3	INT[3]	0	R/W	RF 状態遷移完了割込み 0: 割込みなし 1: 割込みあり
2	INT[2]	0	R/W	PLL ロック外れ割込み 0: 割込みなし 1: 割込みあり
1	INT[1]	0	R/W	VCO キャリブレーション完了割込み または IQ 自動調整完了割込み または FUSE アクセス完了割込み 0: 割込みなし 1: 割込みあり ※VCO キャリブレーションは、INT[1]クリア後に実行してください。
0	INT[0]	0	R/W	クロック安定化完了割込み 0: 割込みなし 1: 割込みあり

## 【ご注意】

1. [INT\_EN\_GRP1: B0 0x10]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP\_INT\_CLR[SLEEP\_INT\_CLR: B0 0x75]を実行してください。

0x0E【INT\_SOURCE\_GRP2】

機能: 割込み表示(受信関連)

アドレス: 0x0E (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	INT[15]	0	R/W	Sync エラー割込み 0: 割込みなし 1: 割込みあり ※SyncWord 検出以降、L-field で指定されるパケット長受信中に受信同期が外れた場合に割込みを発生します。
6	INT[14]	0	R/W	Field チェック割込み 0: 割込みなし 1: 割込みあり
5	INT[13]	0	R/W	SyncWord 検出割込み 0: 割込みなし 1: 割込みあり
4	INT[12]	0	R/W	受信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ受信中に受信 FIFO のオーバーラン、アンダーランが生じた場合、割込みを発生します。
3	INT[11]	0	R/W	受信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり
2	INT[10]	0	R/W	ダイバーシティサーチ完了割込み 0: 割込みなし 1: 割込みあり ※ダイバーシティサーチが完了した場合、SyncWord 検出タイミングで割込みを発生します。
1	INT[9]	0	R/W	CRC エラー割込み 0: 割込みなし 1: 割込みあり ※CRC エラー検出時、割込みを発生します。Format A/B については CRC-field を複数持つため、エラーが発生した CRC ブロックを [CRC_ERR_H/M/L: B0 0x13/14/15] に表示します。Format C については CRC-field は 1 つのみのため、本割込みで結果を判断することができます。
0	INT[8]	0	R/W	受信完了割込み 0: 割込みなし 1: 割込みあり ※L-field が示す Length 分のデータを受信した場合、割込みを通知します。

## 【説明】

1. 以下に示す L-field を受信した場合、受信 Length エラー割込みを発生します。

パケットフォーマット [PKT_CTRL1: B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	受信 Length エラーを示す Length 値
Format A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Format B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Format C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

## 【ご注意】

1. [INT\_EN\_GRP2: B0 0x11]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP\_INT\_CLR[SLEEP\_INT\_CLR: B0 0x75]を実行してください。

## 0x0F【INT\_SOURCE\_GRP3】

機能:割込み表示(送信関連)

アドレス:0x0F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[23]	0	R/W	汎用タイマ 2 割込み 0: 割込みなし 1: 割込みあり
6	INT[22]	0	R/W	汎用タイマ 1 割込み 0: 割込みなし 1: 割込みあり
5	Reserved	0	R/W	予約
4	INT[20]	0	R/W	送信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ送信中に送信 FIFO のオーバーラン、アンダーランが生じた場合、およびデータ送信要求受付完了後、データ送信せずに次パケットの送信 FIFO ライトを行った場合に割込みを発生します。
3	INT[19]	0	R/W	送信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり
2	INT[18]	0	R/W	CCA 完了割込み 0: 割込みなし 1: 割込みあり ※CCA_INT_SEL([PREAMBLE_SET: B0 0x3F(7-6)])にて CCA 完了時、CCA キャリアあり時、CCA キャリアなし時の割込み通知を選択可能です。チャンネルサーチ時の CCA は連続実行モードで行われます。
1	INT[17]	0	R/W	データ送信要求受付完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信 FIFO にライトした場合、割込みを通知します。
0	INT[16]	0	R/W	送信完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信した場合、割込みを通知します。

## 【説明】

- 以下に示す L-field を[TX\_PKT\_LEN\_H: B0 0x7A]および[TX\_PKT\_LEN\_L: B0 0x7B]にライトした場合、送信 Length エラー割込みが発生します。

パケットフォーマット [PKT_CTRL1: B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	送信 Length エラーを示す Length 値
Format A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Format B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Format C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

## 【ご注意】

- [INT\_EN\_GRP3: B0 0x12]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
- マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
- SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP\_INT\_CLR[SLEEP\_INT\_CLR: B0 0x75]を実行してください。

## 0x10【INT\_EN\_GRP1】

機能:割込み要因 0～7 の許可設定

アドレス:0x10 (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[7:0]	0000_0001	R/W	割込み要因 0 から割込み要因 7 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

## 【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT\_SOURCE\_GRP1: B0 0x0D]を参照してください。

## 0x11【INT\_EN\_GRP2】

機能:割込み要因 8～15 の許可設定

アドレス:0x11 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[15:8]	0000_0000	R/W	割込み要因 8 から割込み要因 15 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

## 【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT\_SOURCE\_GRP2: B0 0x0E]を参照してください。

## 0x12【INT\_EN\_GRP3】

機能:割込み要因 16～23 の許可設定

アドレス:0x12 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	INT_EN[23:16]	0000_0000	R/W	割込み要因 16 から割込み要因 23 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

## 【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT\_SOURCE\_GRP3: B0 0x0F]を参照してください。

## 0x13【CRC\_ERR\_H】

機能:CRC エラー表示(上位バイト)

アドレス:0x13 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_LEN2_EN	0	R/W	CRC 長設定 2 イネーブル 0: ディセーブル 1: イネーブル
6:5	CRC_LEN2[1:0]	00	R/W	CRC 長設定 2 00: CRC8 01: CRC16 10: CRC32 11: 予約 ※CRC_LEN2_EN=0b1 設定時に有効になり、CRC は本設定に従い演算されます。ただし、パケットに付加する、またはパケットのCRCをチェックするCRC長はCRC_LEN([PKT_CTRL2: B0 0x05(5-4)])によって決定されます。
4	CRC_INT_SET	0	R/W	CRC チェック割込み選択設定 0: CRC エラー時に割り込み通知する 1: CRC OK 時に割り込み通知する
3:1	Reserved	000	R	予約
0	CRC_ERR[16]	0	R	17th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

## 【説明】

- 詳細は「CRC 機能」を参照してください。

0x14【CRC\_ERR\_M】

機能: CRC エラー表示(中位バイト)

アドレス: 0x14 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[15]	0	R	16th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[14]	0	R	15th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[13]	0	R	14th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[12]	0	R	13th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[11]	0	R	12th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[10]	0	R	11th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[9]	0	R	10th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[8]	0	R	9th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

## 【説明】

1. 詳細は「CRC 機能」を参照してください。



0x15【CRC\_ERR\_L】

機能: CRC エラー表示(下位バイト)

アドレス: 0x15 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[7]	0	R	8th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[6]	0	R	7th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[5]	0	R	6th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[4]	0	R	5th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[3]	0	R	4th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[2]	0	R	3rd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[1]	0	R	2nd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[0]	0	R	1st CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

## 【説明】

1. 詳細は「CRC 機能」を参照してください。

## 0x16【STATE\_CLR】

機能: 状態クリア設定

アドレス: 0x16 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	STATE_CLR_EN	0	R/W	ステートクリアイネーブル設定 0: ステートクリア禁止 1: ステートクリア許可 bit0~4 のステートクリアは本ビットがステートクリア許可設定時ののみ実行します。クリア実行後、本ビットは自動的に 0 に戻ります。
6	Reseverd	0	R/W	予約
5	STATE_CLR5	0	R/W	チャンネルサーチステートクリア 1: チャンネルサーチステートをクリアします。 ※bit7(STATE_CLR_EN)=0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 ※本クリア動作は CH_SRCH_EN([SEARCH_CH_SET: B8: 0x01(0)])=0b1 設定時のみ実行可能です。
4	STATE_CLR4	0	R/W	アドレスチェックカウンタクリア 1: [ADDR_CHK_CTR_H/L: B1 0x62/63]で表示するアドレスチェックカウンタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
3	STATE_CLR3	0	R/W	ダイバーシティステートクリア 1: ダイバーシティステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
2	STATE_CLR2	0	R/W	PHY ステートクリア 1: PHY ステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
1	STATE_CLR1	0	R/W	受信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
0	STATE_CLR0	0	R/W	送信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。

## 【説明】

1. イネーブルビット(bit7)と実行ビット(bit5 から bit0)は同時に設定してください。クリア実行後、自動的に各ビットに 0b0 が上書きされます。
2. 実行ビット(bit5 から bit0)書き込み後、 $(1/F_{REF}) \times \{MSTR\_CLK\_SEL1([CLK\_SET2: B0\ 0x02(5)])+1\} \times [RX\_RATE1\_H/L: B1\ 0x04/05]$  設定値  $\times 2$  [usec] 後クリアが完了します。

## 0x17【TXFIFO\_THRH】

機能:送信 FIFO の Full レベル設定

アドレス:0x17 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TXFIFO_THRH[7:0]	0000_0000	R/W	送信 FIFO の Full レベル設定 ※本機能は 1 以上の設定をした時に有効になります。

## 【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5]にて通知します。

## 0x18【TXFIFO\_THRL】

機能:送信 FIFO の Empty レベル設定および FAST\_TX モード時の送信トリガレベル設定

アドレス:0x18 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TXFIFO_THRL[7:0]	0000_0000	R/W	送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定 ※本機能は 1 以上の値を設定した時に有効になります。 ※TXFIFO_THRL[7:0]は 1 以上の値を設定してください。 ※FAST_TX モード時の送信トリガレベルとして動作させる場合は、FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])を 0b1 に設定し、TXFIFO_THRL[7:0]は送信データの総書き込み量より 3 以上少ない値を設定してください。

## 【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

## 0x19【RXFIFO\_THRH】

機能:受信 FIFO の Full レベル設定

アドレス:0x19 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RXFIFO_THRH[7:0]	0000_0000	R/W	受信 FIFO の Full レベル設定 ※本機能は 1 以上の値を設定した時に有効になります。

## 【説明】

1. 詳細な使い方は「受信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5]にて通知します。

## 0x1A【RXFIFO\_THRL】

機能:受信 FIFO の Empty レベル設定

アドレス:0x1A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RXFIFO_THRL[7:0]	00_0000	R/W	受信 FIFO の Empty レベル設定 ※本機能は 1 以上の値を設定した時に有効になります。 ※RXFIFO_THRL[7:0]は 2 以上の値を設定してください。

## 【説明】

1. 詳細な使い方は「受信 FIFO の残量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

## 0x1B【C\_CHECK\_CTRL】

機能:コントロールフィールド検出設定

アドレス:0x1B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CA_RXD_CLR	0	R/W	Field 不一致時の受信データ処理設定 0: 受信データを破棄しない 1: 受信データを破棄する ※0b1 設定かつ CA_INT_CTRL([C_CHECK_CTRL: B0 0x1B(6)])=0b1 設定時、不一致検出後直ちに受信データを破棄し、次パケット受信待ちを行います
6	CA_INT_CTRL	0	R/W	Field チェック割込み設定 0: 一致時に割込みを通知する 1: 不一致時に割込みを通知する ※Field チェック不一致時に受信データを破棄する場合、本設定を 0b1 に設定してください。
5	Reserved	0	R	予約
4	C_FIELD_CODE5_EN	0	R/W	コントロールフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする ※受信したコントロールフィールドデータが C_FIELD_CODE5 と一致した場合、他のフィールドデータ(マニファクチャID フィールド/アドレスフィールド)が不一致であった場合でも Field チェック結果は一致となります。
3	C_FIELD_CODE4_EN	0	R/W	コントロールフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	C_FIELD_CODE3_EN	0	R/W	コントロールフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	C_FIELD_CODE2_EN	0	R/W	コントロールフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	C_FIELD_CODE1_EN	0	R/W	コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[C\_CHECK\_CTRL: B4 0x01]とレジスタを共用しています。

## 0x1C【M\_CHECK\_CTRL】

機能: マニファクチャーマニファクチャードフィールド検出設定

アドレス: 0x1C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	RCV_CONT_SEL[1:0]	00	R/W	動作継続タイマ満了時の受信継続条件設定 00: SyncWord 検出割込み発生時に受信継続する 01: Field チェック割込み発生時に受信継続する 10: 受信同期確立状態時に受信継続する 11: 予約
3	M_FIELD_CODE4_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	M_FIELD_CODE3_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	M_FIELD_CODE2_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	M_FIELD_CODE1_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[M\_CHECK\_CTRL: B4 0x02]とレジスタを共用しています。

## 0x1D【A\_CHECK\_CTRL】

機能:アドレスフィールド検出設定

アドレス:0x1D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	A_FIELD_CODE6_EN	0	R/W	アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A_FIELD_CODE5_EN	0	R/W	アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A_FIELD_CODE4_EN	0	R/W	アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A_FIELD_CODE3_EN	0	R/W	アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A_FIELD_CODE2_EN	0	R/W	アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A_FIELD_CODE1_EN	0	R/W	アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[A\_CHECK\_CTRL1: B4 0x04]とレジスタを共用しています。

## 0x1E【C\_FIELD\_CODE1】

機能:コントロールフィールド設定(コード#1)

アドレス:0x1E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE1[7:0]	0000_0000	R/W	C-field 設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE1: B4 0x05]とレジスタを共用しています。

## 0x1F【C\_FIELD\_CODE2】

機能:コントロールフィールド設定(コード#2)

アドレス:0x1F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE2[7:0]	0000_0000	R/W	C-field 設定 コード#2

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE2: B4 0x06]とレジスタを共用しています。

## 0x20【C\_FIELD\_CODE3】

機能:コントロールフィールド設定(コード#3)

アドレス:0x20 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE3[7:0]	0000_0000	R/W	C-field 設定 コード#3

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE3: B4 0x07]とレジスタを共用しています。

## 0x21【C\_FIELD\_CODE4】

機能:コントロールフィールド設定(コード#4)

アドレス:0x21 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE4[7:0]	0000_0000	R/W	C-field 設定 コード#4

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE4: B4 0x08]とレジスタを共用しています。



## 0x22【C\_FIELD\_CODE5】

機能:コントロールフィールド設定(コード#5)

アドレス:0x22 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE5[7:0]	0000_0000	R/W	C-field 設定 コード#5

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE5: B4 0x09]とレジスタを共用しています。

## 0x23【M\_FIELD\_CODE1】

機能:マニファクチャーマニファクチャID 1st バイト設定(コード#1)

アドレス:0x23 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE1[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE1: B4 0x0A]とレジスタを共用しています。

## 0x24【M\_FIELD\_CODE2】

機能:マニファクチャーマニファクチャID 1st バイト設定(コード#2)

アドレス:0x24 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE2[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#2

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE2: B4 0x0B]とレジスタを共用しています。

## 0x25【M\_FIELD\_CODE3】

機能:マニファクチャーマニファクチャID 2nd バイト設定(コード#1)

アドレス:0x25 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE3[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE3: B4 0x0C]とレジスタを共用しています。

## 0x26【M\_FIELD\_CODE4】

機能: マニファクチャ ID 2nd バイト設定(コード#2)

アドレス: 0x26 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE4[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#2

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE4: B4 0x0D]とレジスタを共用しています。

## 0x27【A\_FIELD\_CODE1】

機能: アドレスフィールド 1st バイト設定(1 バイト目)

アドレス: 0x27 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE1[7:0]	0000_0000	R/W	A-field 設定(1 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE1: B4 0x0E]とレジスタを共用しています。

## 0x28【A\_FIELD\_CODE2】

機能: アドレスフィールド 2nd バイト設定

アドレス: 0x28 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE2[7:0]	0000_0000	R/W	A-field 設定(2 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE2: B4 0x0F]とレジスタを共用しています。

## 0x29【A\_FIELD\_CODE3】

機能: アドレスフィールド 3rd バイト設定

アドレス: 0x29 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE3[7:0]	0000_0000	R/W	A-field 設定(3 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE3: B4 0x10]とレジスタを共用しています。

## 0x2A【A\_FIELD\_CODE4】

機能:アドレスフィールド 4th バイト設定

アドレス:0x2A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE4[7:0]	0000_0000	R/W	A-field 設定(4 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE4: B4 0x11]とレジスタを共用しています。

## 0x2B【A\_FIELD\_CODE5】

機能:アドレスフィールド 5th バイト設定

アドレス:0x2B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE5[7:0]	0000_0000	R/W	A-field 設定(5 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE5: B4 0x12]とレジスタを共用しています。

## 0x2C【A\_FIELD\_CODE6】

機能:アドレスフィールド 6th バイト設定

アドレス:0x2C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE6[7:0]	0000_0000	R/W	A-field 設定(6 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE6: B4 0x13]とレジスタを共用しています。

## 0x2D【SLEEP/WU\_SET】

機能:SLEEP の実行およびウェイクアップ動作設定

アドレス:0x2D (BANK0)

初期値:0x06

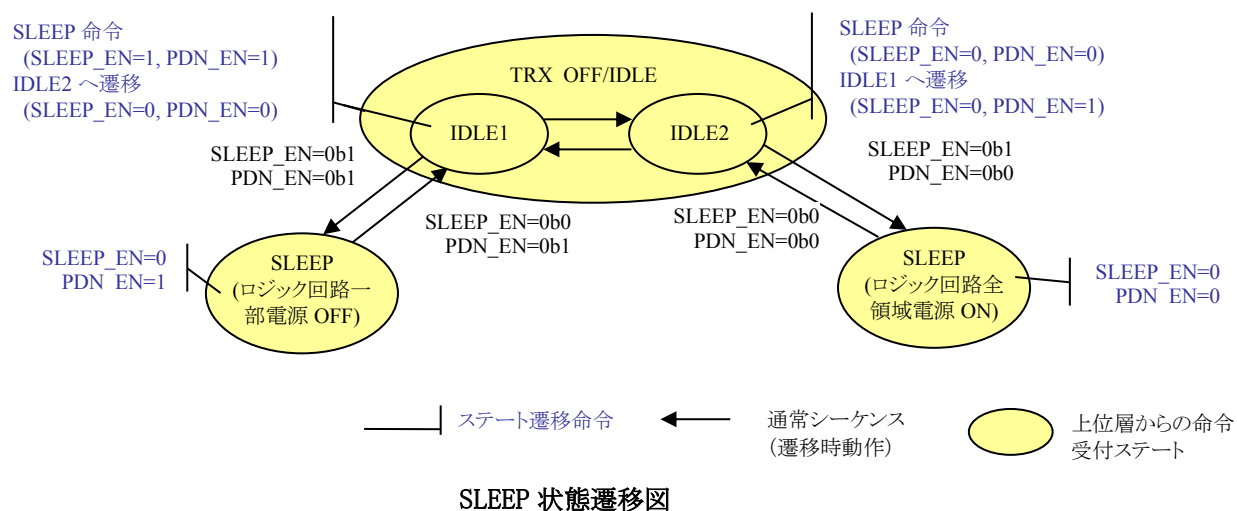
Bit	ビット名	初期値	R/W	説明
7	WUT_1SHOT_MODE	0	R/W	ウェイクアップタイマ動作モード設定 0: インターバル動作を継続する 1: 1SHOT 動作後、ウェイクアップタイマを停止する
6	WAKEUP_MODE	0	R/W	ウェイクアップ後の動作設定 0: RX_ON 状態にする 1: TX_ON 状態にする ※動作継続タイマ満了した場合 SLEEP 状態となります。 ※SLEEP 中に FIFO ライトした場合、SLEEP 復帰後にデータ送信要求受付完了割込みが発生します。 ※0b1 設定時、動作継続タイマ満了した場合には強制的に SLEEP に移行するため、動作継続タイマ満了前に送信完了するように設定してください。
5	WU_DURATION_EN	0	R/W	ウェイクアップ後の動作継続タイマイネーブル設定 0: ウェイクアップ後、動作継続タイマを動作させない 1: ウェイクアップ後、動作継続タイマを動作させる ※本ビットが 0b1 設定時で WAKEUP_MODE=0b0 の場合、動作継続タイマ満了までに受信(SyncWord 検出、または Field 検出設定している場合は Field 検出)できなかった場合、自動で SLEEP 状態に移行します。
4	WAKEUP_EN	0	R/W	ウェイクアップイネーブル 0: SLEEP 後、自動ウェイクアップしない 1: SLEEP 後、自動ウェイクアップする ※0b1 設定時、ウェイクアップタイマ満了後、自動で SLEEP から復帰し、bit6(WAKEUP_MODE)で設定される状態となります。
3	RCOSC_MODE	0	R/W	RC 発振回路動作モード設定 0: 常時動作する 1: SLEEP 設定時のみ動作する ※詳細は「SLEEP 設定」をご参照ください。 ※間欠動作として動作継続タイマを使用する場合は本ビットが 0b0 になっている場合、タイマは動作しません。この場合、本設定は 0b1 に設定してください。
2	WUT_CLK_SOURCE	1	R/W	ウェイクアップタイマ用クロックソース設定 0: 外部入力クロック(GPIO)を使用する 1: 内蔵 RC 発振回路出力を使用する ※詳細は「SLEEP 設定」をご参照ください。
1	PDN_EN	1	R/W	SLEEP 時の電源制御イネーブル 0: ロジック全領域電源 ON 1: ロジック一部領域のみ電源 ON(送信 FIFO は電源 OFF されます) ※詳細は「SLEEP 設定」をご参照ください。
0	SLEEP_EN	0	R/W	SLEEP モード制御 0: SLEEP 状態から復帰する(通常動作) 1: SLEEP 状態にする ※詳細は「SLEEP 設定」をご参照ください。

## 【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

## 【ご注意】

1. IDLE 状態から SLEEP 設定後、LSI 内部が SLEEP 状態に遷移するまで 3.5 $\mu$ s が必要です。SLEEP 設定後の SPI アクセスは LSI 内部が SLEEP 状態になった後(SLEEP 設定から 3.5 $\mu$ s 以上経過後)にアクセスしてください。
2. TX/RX 状態から SLEEP 設定後、INT[3]([INT\_SOURCE\_GRP1: B0 0x0D(3)])=0b1 になってから LSI 内部が SLEEP 状態に遷移するまで 5 $\mu$ s が必要です。SPI アクセスは LSI 内部が SLEEP 状態になった後(INT[3]から 5 $\mu$ s 以上経過後)にアクセスしてください。
3. SLEEP 時のロジック回路領域の電源制御設定 PDN\_EN([SLEEP/WU\_SET: B0 0x2D(1)])と SLEEP\_EN([SLEEP/WU\_SET: B0 0x2D(0)])の組合せにより 2 種類の SLEEP 状態にすることができます。ただし、必ずそれぞれの SLEEP 状態に遷移できる IDLE 状態(IDLE1, IDLE2)に設定してから、SLEEP 状態に設定してください。なお、IDLE1, IDLE2 は LSI の状態として同じ IDLE 状態であり、内部状態は同一です。



## 0x2E【WUT\_CLK\_SET】

機能:ウェイクアップタイマ分周設定

アドレス:0x2E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	WUDT_CLK_SET[3:0]	0000	R/W	<p>動作継続タイマ分周設定</p> <p>0000: 設定禁止(XTAL_EN([CLK_SET2: B0 0x02(4)])=0b1 設定時)</p> <p>0001: 128 分周</p> <p>0010: 256 分周</p> <p>0011: 512 分周</p> <p>0100: 1024 分周</p> <p>0101: 2048 分周</p> <p>0110: 4096 分周</p> <p>0111: 8192 分周</p> <p>1000: 16384 分周</p> <p>1001: 2 分周</p> <p>1010: 4 分周</p> <p>1011: 8 分周</p> <p>1100: 16 分周</p> <p>1101: 32 分周</p> <p>1110: 64 分周</p> <p>上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。</p> <p>※動作継続タイマを使用する場合、本設定は WUT_CLK_SET と同じ設定値にしてください。</p>
3:0	WUT_CLK_SET[3:0]	0000	R/W	<p>ウェイクアップタイマ分周設定</p> <p>0000: 分周なし</p> <p>0001: 128 分周</p> <p>0010: 256 分周</p> <p>0011: 512 分周</p> <p>0100: 1024 分周</p> <p>0101: 2048 分周</p> <p>0110: 4096 分周</p> <p>0111: 8192 分周</p> <p>1000: 16384 分周</p> <p>1001: 2 分周</p> <p>1010: 4 分周</p> <p>1011: 8 分周</p> <p>1100: 16 分周</p> <p>1101: 32 分周</p> <p>1110: 64 分周</p> <p>上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。</p>

## 【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

## 0x2F【WUT\_INTERVAL\_H】

機能:ウェイクアップタイマ設定(上位バイト)

アドレス:0x2F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[15:8]	0000_0000	R/W	<p>ウェイクアップタイマ間隔設定(上位バイト)</p> <p>[WUT_INTERVAL_L]レジスタの 8 ビットと共に全 16 ビットから算出されます。タイマ間隔は次式の通りとなります。</p> <p>ウェイクアップタイマ間隔 =</p> <p>ウェイクアップタイマ用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/30])+1)</p> <p>※本設定値 WUT_INTERVAL[15:0]は 2 以上の値を設定してください。</p>

## 【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

## 0x30【WUT\_INTERVAL\_L】

機能:ウェイクアップタイマ設定(下位バイト)

アドレス:0x30 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[7:0]	0000_0000	R/W	<p>ウェイクアップタイマ間隔設定(下位バイト)</p> <p>※詳細は[TIMER_INTERVAL_H: B0 0x2F]をご参照ください。</p>

## 【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

## 0x31【WU\_DURATION】

機能:ウェイクアップ後の動作継続タイマ設定

アドレス:0x31 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WU_DURATION[7:0]	0000_0000	R/W	<p>ウェイクアップ後の動作継続タイマ設定</p> <p>動作継続タイマ間隔 =</p> <p>ウェイクアップタイマ用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (動作継続タイマ間隔設定[WU_DURATION: B0 0x31] - 1)</p> <p>※本設定値 WU_DURATION[7:0]は 1 以上の値を設定してください。</p>

## 【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

## 0x32【GT\_SET】

機能: 汎用タイマ設定

アドレス: 0x32 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	GT2_CLK_SOURCE	0	R/W	汎用タイマ 2 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
4	GT2_START	0	R/W	汎用タイマ 2 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT2_CLK_SOURCE=0b0 設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。
3:2	Reserved	00	R	予約
1	GT1_CLK_SOURCE	0	R/W	汎用タイマ 1 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
0	GT1_START	0	R/W	汎用タイマ 1 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT1_CLK_SOURCE=0b0 設定時、設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。

## 【説明】

1. 詳細は「汎用タイマ」を参照してください。
2. GT1\_CLK\_SOURCE または GT2\_CLK\_SOURCE で選択可能な 2MHz クロックは下式で生成されます。

MSTR_CLK_SEL1	MSTR_CLK_SEL2	生成式
0	0	FREF/24
0	1	FREF/26
1	0	FREF/12
1	1	FREF/13



## 0x33【GT\_CLK\_SET】

機能: 汎用タイマクロック分周設定

アドレス: 0x33 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:4	GT2_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 2 分周設定 汎用タイマ用クロック 2 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT2_CLK_SOURCE([GT_SET:B0 0x32(5)])のクロックを下記の分周値に設定します。
3:0	GT1_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 1 分周設定 汎用タイマ用クロック 1 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT1_CLK_SOURCE([GT_SET:B0 0x32(1)])のクロックを下記の分周値に設定します。

## 【説明】

1. 詳細は「汎用タイマ」を参照してください。

## 0x34【GT1\_TIMER】

機能: 汎用タイマ 1 間隔設定

アドレス: 0x34 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT1_TIMER[7:0]	0000_0000	R/W	汎用タイマ 1 間隔設定  汎用タイマ 1 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(1)]) * 分周設定([GT_CLK_SET:B0 0x33(3-0)]) * 汎用タイマ 1 間隔設定(GT1_TIMER[7:0])

## 【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x35【GT2\_TIMER】

機能:汎用タイマ 2 間隔設定

アドレス:0x35 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT2_TIMER[7:0]	0000_0000	R/W	汎用タイマ 2 間隔設定  汎用タイマ 2 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(5)]) * 分周設定([GT_CLK_SET:B0 0x33(7-4)]) * 汎用タイマ 2 間隔設定(GT2_TIMER[7:0])

- 【説明】
1. 詳細は「汎用タイマ」を参照してください。

## 0x36【CCA\_IGNORE\_LVL】

機能:CCA の判定除外 ED 値設定

アドレス:0x36 (BANK0)

初期値:0xFE

Bit	ビット名	初期値	R/W	説明
7:0	CCA_IGNORE_LVL [7:0]	1111_1110	R/W	CCA の移動平均判定から除外する ED レベル設定 ※ED 値が、本レジスタ設定値を超えた場合、ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定される平均化から除外され、新たに平均回数に達する ED 値を取得するまで CCA 結果を判定せず CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b11(判定中)を設定します。

## 【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

## 0x37【CCA\_LVL】

機能:CCA の閾値設定

アドレス:0x37 (BANK0)

初期値:0x5C

Bit	ビット名	初期値	R/W	説明
7:0	CCA_LVL[7:0]	0101_1100	R/W	CCA 閾値レベル設定(設定範囲:0~255) ※ED 値が本レジスタの設定値を超えると CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b01(キャリアあり)が立ちます。

## 【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

## 0x38【CCA\_ABORT】

機能:CCA 動作の強制終了時間設定

アドレス:0x38 (BANK0)

初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CCA_ABORT[7:0]	1111_1111	R/W	CCA 強制終了時間設定(設定範囲:0~255) ※0b0000_0000 設定では強制終了時間は無効となります。 ※設定値の 1bit あたりの分解能は 128μs となります。 ※CCA のキャリアあり判定のために CCA 完了しない状態を防ぐためのタイムアウト機能です。本レジスタの設定値 * RSSI 平均間隔(16μs) の期間 CCA を実行した場合、IDLE 検出を終了し、パケットを破棄して RF 状態は TRX_OFF に移ります。

## 【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

## 0x39【CCA\_CTRL】

機能:CCA 制御設定および結果表示

アドレス:0x39 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CCA_STOP	0	R/W	CCA 連続実行終了設定(1 で停止します) ※CCA_CPU_EN が実行されると本ビットで停止されるまで CCA を実行します。
6	CCA_IDLE_EN	0	R/W	CCA IDLE 検出モード設定 0: IDLE 検出を行わない 1: IDLE 検出を行う
5	CCA_CPU_EN	0	R/W	CCA 連続実行モード設定 0: CCA 連続実行を行わない 1: CCA 連続実行を行う ※本ビットを実行した場合、CCA_STOP ビットで停止されるまで CCA を継続します。
4	CCA_EN	0	R/W	CCA 実行命令 0: CCA を実行しない 1: CCA を実行する ※CCA 完了後、本ビットは自動的に 0 に戻ります。
3	FAST_DET_MODE_EN	0	R/W	高速電波チェックモード設定 0: RX_ON 時 CCA を実行しない 1: RX_ON 時 CCA を自動実行する ※CCA の結果、電波なしと判定した場合、自動的に SLEEP 状態へ移行します。また、タイマ機能と組合せ動作が可能です。詳細は「ウェイクアップタイマ」を参照してください。
2	CCA_ABORT_EN	0	R/W	CCA 強制終了設定 0:CCA を強制終了しない 1:CCA を強制終了する ※本ビットは CCA_IDLE_EN に 1 が設定されているときのみ有効となります。
1:0	CCA_RSLT[1:0]	0	R/W	CCA 結果 00: キャリアなし 01: キャリアあり 10: CCA 判定中(アイドル判定中) 11: CCA 判定中(判定除外の ED 値取得) ※自動クリアされません。CCA にてキャリアありと判定される毎にクリアする必要があります。クリアは CCA 完了割込み([INT_SOURCE_GRP3: B0 0x0F(2)])クリアにてクリアされます。CCA 完了は [INT_SOURCE_GRP3: B0 0x0F(2)]にて通知します。

## 【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。
2. bit6 (CCA\_IDLE\_EN)と bit5(CCA\_CPU\_EN)を同時に 0b1 に設定しないでください。

## 0x3A【ED\_RSLT】

機能:ED 値表示

アドレス:0x3A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ED_VALUE[7:0]	0000_0000	R	ED 値表示 ※ED 値は、ED_RSLT_SET([ED_CTRL: B0 0x41(3)])=0b0 設定されている場合、RX_ON 中に常時更新されます。ED_RSLT_SET=0b1 設定では SyncWord 検出時に ED 値を獲得し、受信データの FIFO リード開始により値が更新されます。

## 【説明】

- ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。

## 0x3B【IDLE\_WAIT\_H】

機能:CCA 時の IDLE 継続時間設定(上位バイト)

アドレス:0x3B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	IDLE_WAIT[9:8]	00	R/W	IDLE 判定の最大待ち時間設定(上位バイト) ※CCA の IDLE 判定動作において、長い IDLE(キャリアなし)期間の判定を行う場合に使用します。[IDLE_WAIT_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定待ち時間は次式の通りとなり、この期間 CCA を実行し IDLE 判定を待ちます。  IDLE 判定待ち時間 = ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs)  ※16μs は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(6)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 ... (1/FREF)*24*32 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 ... (1/FREF)*26*32 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 ... (1/FREF)*12*32 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 ... (1/FREF)*13*32

## 【説明】

- CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

## 0x3C【IDLE\_WAIT\_L】

機能:CCA 時の IDLE 継続時間設定(下位バイト)

アドレス:0x3C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IDLE_WAIT[7:0]	0000_0000	R/W	IDLE 判定の最大待ち時間設定(下位バイト) ※詳細は[IDLE_WAIT_H: B0 0x3B]をご参照ください。

## 【説明】

- CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。

## 0x3D【CCA\_PROG\_H】

機能:CCA 時の IDLE 判定経過時間表示(上位バイト)

アドレス:0x3D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	CCA_PROG[9:8]	00	R	CCA 時の IDLE 判定経過時間表示(上位バイト) ※[CCA_PROG_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定経過時間は次式で計算できます。  IDLE 判定経過時間＝ ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs)  ※16μs は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(5)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 ... (1/FREF)*24*32 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 ... (1/FREF)*26*32 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 ... (1/FREF)*12*32 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 ... (1/FREF)*13*32

## 【説明】

- CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。

## 0x3E【CCA\_PROG\_L】

機能:CCA 時の IDLE 判定経過時間表示(下位バイト)

アドレス:0x3E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	CCA_PROG[7:0]	0000_0000	R	CCA 時の IDLE 判定経過時間表示(下位バイト) ※詳細は[CCA_PROG_H: B0 0x3D]をご参照ください。

## 【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

## 0x3F【PREAMBLE\_SET】

機能:プリアンプルパターン設定

アドレス:0x3F (BANK0)

初期値:0x05

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	PR_PAT[3:0]	0101	R/W	プリアンプルパターン設定 ※MSB 側から順に送出されます。

## 0x40【Reserved】

機能:予約

アドレス:0x40 (BANK0)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

0x41【ED\_CTRL】

機能:ED 設定

アドレス:0x41 (BANK0)

初期値:0x83

Bit	ビット名	初期値	R/W	説明
7	ED_CALC_EN	1	R/W	ED 値算出イネーブル設定 0: ED 値算出を行わない 1: ED 値算出を行う
6	CCADONE_MODE	0	R/W	高速電波チェック時の RF 状態設定 0: 電波なし判定時、SLEEP へ移行 電波あり判定時、受信継続 1: 電波なし判定時、TX_ON へ移行 電波あり判定時、SLEEP へ移行 ※本機能は FAST_DET_MODE_EN[CCA_CTRL: B0 0x39(4)]=0b1 設定時に有効です。
5	CCA_ED_SEL	0	R/W	高速電波チェック時の ED 値算出信号選択設定 0: チャネルフィルタ帯域通過信号から ED 値を算出する 1: チャネルフィルタ 2(チャネルフィルタの帯域 2 倍)通過信号 ※0b1 設定時、チャネルフィルタは CHFIL_BW_ADJ[CHFIL_BW: B0 0x54(6-0)]にて設定するフィルタ帯域の 2 倍の帯域で ED 値を算出します。
4	ED_DONE	0	R	ED 値算出完了フラグ 0: ED 値算出中(未完了) 1: ED 値算出完了
3	ED_RSLT_SET	0	R/W	ED 表示設定 [ED_RSLT: B0 0x3A]レジスタに表示する ED 値を選択します。 0: 常時更新する ED 値 1: SyncWord 検出タイミング毎に獲得した ED 値 ※0b1 設定時、受信データの FIFO リード開始により値が更新されます。 FIFO リード後、[ED_RSLT: B0 0x3A]を確認してください。
2:0	ED_AVG[2:0]	011	R/W	ED 値算出時の平均回数設定 000: 1 回平均 (設定禁止) 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 ※ED_AVG は ED 値算出停止状態で (TRX_OFF 状態または TX_ON 状態または bit7(ED_CALC_EN)=0b0 時) 設定して下さい。

## 【説明】

- ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。



## 0x42【TXPR\_LEN\_H】

機能:送信プリアンブル長設定(上位バイト)

アドレス:0x42 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[15:8]	0000_0000	R/W	送信プリアンブル長設定(上位バイト)(設定範囲: 0~65535) 送信プリアンブル長を設定します。送信プリアンブル長は(設定値 x2)ビットとなります。 ※[TXPR_LEN_L: B0 0x43]の8ビットと共に全16ビットにより設定します。 ※TXPR_LEN[15:0]には、0x0010 より小さい値を設定しないでください。 本 LSI は受信時の同期確立において 0x0010 以上のプリアンブルを必要とします。 ※ダイバーシティ使用時は本設定値をデータレートの設定に応じて変更する必要があります。データレートに対応する設定値は「初期設定レジスタ」を参照してください。 ※0 設定時、プリアンブルは送出されません。

## 0x43【TXPR\_LEN\_L】

機能:送信プリアンブル長設定(下位バイト)

アドレス:0x43 (BANK0)

初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[7:0]	0001_0000	R/W	送信プリアンブル長設定(下位バイト) ※詳細は[TXPR_LEN_H: B0 0x42]レジスタをご参照ください。

## 0x44【POSTAMBLE\_SET】

機能:ポストアンブル長およびパターン設定

アドレス:0x44 (BANK0)

初期値:0x12

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	POSTAMBLE_LEN[2:0]	001	R/W	ポストアンブル長設定 ポストアンブル長は(設定値 x2)ビットとなります。
3:1	POSTAMBLE_PAT[2:0]	001	R/W	ポストアンブルパターン設定 000: “01”パターンの繰り返し 001: “10”パターンの繰り返し 010: CRC 最終パターンと CRC 最終パターンの反転の繰り返し 011: “11”パターンの繰り返し 100: “00”パターンの繰り返し 上記以外: 予約
0	POSTAMBLE_EN	0	R/W	ポストアンブルイネーブル 0: ポストアンブルを付加しない 1: ポストアンブルを付加する

## 0x45【SYNC\_CONDITION1】

機能:受信時のプリアンブル比較長および同期検出時の ED 閾値判定設定

アドレス:0x45 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	SYNC_ED_EN	0	R/W	ED 値を使用した同期判定のイネーブル 0: 同期判定に ED 値を使用しない 1: 同期判定に ED 値を使用する ※ED 値閾値は[SYNC_CONDITION2: B0 0x46]により設定します。
6	Reserved	0	R	予約
5:0	RXPR_LEN[5:0]	00_0000	R/W	受信時のプリアンブル比較長設定(設定範囲:0~32、単位:ビット) ※0b10_0000 以上の設定は、0b10_0000 として動作します。 ※本レジスタに 1 以上を設定した場合、SyncWord 検出において、設定したプリアンブル数だけ SyncWord パターンに追加したパターン(プリアンブル+SyncWord)で SyncWord 検出を行います。SyncWord 長だけでは SyncWord 誤検出確率が高い場合、本機能によりプリアンブルを追加することにより SyncWord 誤検出確率を低減することが可能です。 ※RXPR_LEN[5:0]で設定するプリアンブル比較範囲が AFC 収束時間(最大 24 ビット)と重なった場合、SyncWord 検出できなくなります。本設定値は送信プリアンブルから AFC 収束時間を引いたバイト数以下の値を設定してください。

## 0x46【SYNC\_CONDITION2】

機能:同期検出時の ED 閾値

アドレス:0x46 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_ED_TH[7:0]	0000_0000	R/W	同期判定時の ED 閾値設定 ※SYNC_ED_EN ([SYNC_CONDITION1: B0 0x45(7)])が 0b1 設定時、ED 閾値が有効となります。 ※取得 ED 値が閾値を超えない場合、同期が取れたとみなしません。

## 0x47【SYNC\_CONDITION3】

機能:受信時のプリアンブル検出および SyncWord 検出の誤り許容値設定

アドレス:0x47 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	SW_RCV[3:0]	0000	R/W	SyncWord 検出時の誤り許容ビット数設定(設定範囲 0~15)
3:0	PB_RCV[3:0]	0000	R/W	プリアンブル検出時の誤り許容ビット数設定(設定範囲 0~15)

0x48【2DIV\_CTRL】

機能:アンテナダイバーシティ設定

アドレス:0x48 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	ANT_CTRL1	0	R/W	ANT 制御ビット 1
4	Reserved	0	R/W	予約
3	INV_ANT_SW	0	R/W	ANT_SW 極性設定 0: 反転しない 1: 反転する ※本設定は ANT_CTRL1=0b1 設定時に有効です。
2	INV_TRX_SW	0	R/W	TRX_SW 極性設定 0: 反転しない 1: 反転する
1	2PORT_SW	0	R/W	アンテナスイッチ設定 0: SPDT スイッチ使用 1: DPDT スイッチ使用
0	2DIV_EN	0	R/W	アンテナダイバーシティ設定 0: ダイバーシティを行わない 1: ダイバーシティを行う

【説明】

1. 本レジスタの設定の使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x49【2DIV\_RSLT】

機能:アンテナダイバーシティ結果表示

アドレス:0x49 (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	2DIV_DONE	0	R	アンテナダイバーシティサーチ完了表示 0: ダイバーシティサーチ中(未完了) 1: ダイバーシティサーチ完了
6:2	Reserved	0_0000	R	予約
1:0	2DIV_RSLT[1:0]	01	R	アンテナダイバーシティ結果表示 01: アンテナ 1 10: アンテナ 2 上記以外: 予約

【説明】

1. 本レジスタの使用方法に関しては、「ダイバーシティ機能」を参照してください。
2. 本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。

## 0x4A【ANT1\_ED】

機能:アンテナ 1 の取得 ED 値表示

アドレス:0x4A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT1_ED[7:0]	0000_0000	R	アンテナ 1 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

## 0x4B【ANT2\_ED】

機能:アンテナ 2 の取得 ED 値表示

アドレス:0x4B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT2_ED[7:0]	0000_0000	R	アンテナ 2 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

## 0x4C【ANT\_CTRL】

機能: 送受信時のアンテナ強制設定

アドレス: 0x4C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	RX_ANT	0	R/W	受信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit4(RX_ANT_EN)が 0b01 設定時のみ有効で、RX_ON 時のアンテナを本ビットにて固定します。
4	RX_ANT_EN	0	R/W	受信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル
3:2	Reserved	00	R	予約
1	TX_ANT	0	R/W	送信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit0(TX_ANT_EN)が 0b01 設定時のみ有効で、TX_ON 時のアンテナを本ビットにて固定します。
0	TX_ANT_EN	0	R/W	送信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル

## 【説明】

1. 本ビットの使用方法に関しては、「ダイバーシティ機能」を参照してください。

## 0x4D【MON\_CTRL】

機能:アナログ/デジタルモニタ設定

アドレス:0x4D (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	BER_MODE	0	R/W	BER 測定モード設定 0: 通常動作モードにする 1: BER 測定モードにする ※BER 測定モードは、プリアンプルを含まない PN9 データに対して復調回路が同期確立させるための設定です。その他 BER 測定に必要な設定は「BER 測定時の設定」を参照してください。
6	FIFOMODE_MON	0	R/W	FIFO モードモニタ設定 0: FIFO モードで DIO/DCLK を出力しない 1: FIFO モードで DIO/DCLK を出力する ※DIO/DCLK は復調データ/クロックが出力されます。
5:4	DMON_SET2[1:0]	00	R/W	デジタルモニタ出力信号選択設定 00: L 出力 上記以外: 予約
3:0	DMON_SET[3:0]	0001	R/W	デジタルモニタ出力信号選択設定 0000: L 出力 0001: CLK_OUT 出力 0010: PLL ロック検出信号出力 0011: 同期完了信号出力

## 0x4E【GPIO0\_CTRL】

機能:GPIO0 端子制御  
 アドレス:0x4E (BANK0)  
 初期値:0x07

Bit	ビット名	初期値	R/W	説明
7	GPIO0_INV	0	R/W	GPIO0 出力信号極性設定
6	GPIO0_OD	0	R/W	GPIO0 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO0_FORCEOUT	0	R/W	GPIO0 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO0_INV)の設定に影響されません。
4	GPIO0_FORCEOUTEN	0	R/W	GPIO0 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO0_FORCEOUT)に設定した値を出力する)
3:0	GPIO0_IO_CFG[3:0]	0111	R/W	GPIO0 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。

## 0x4F【GPIO1\_CTRL】

機能:GPIO1 端子制御  
 アドレス:0x4F (BANK0)  
 初期値:0x06

Bit	ビット名	初期値	R/W	説明
7	GPIO1_INV	0	R/W	GPIO1 出力信号極性設定
6	GPIO1_OD	0	R/W	GPIO1 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO1_FORCEOUT	0	R/W	GPIO1 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO1_FORCEOUTEN	0	R/W	GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO1_FORCEOUT)に設定した値を出力する)
3:0	GPIO1_IO_CFG [3:0]	0110	R/W	GPIO1 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1000: [入力]SLEEP 解除信号 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。



## 0x50【GPIO2\_CTRL】

機能:GPIO2 端子制御  
 アドレス:0x50 (BANK0)  
 初期値:0x02

Bit	ビット名	初期値	R/W	説明
7	GPIO2_INV	0	R/W	GPIO2 出力信号極性設定
6	GPIO2_OD	0	R/W	GPIO2 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO2_FORCEOUT	0	R/W	GPIO2 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO2_FORCEOUTEN	0	R/W	GPIO2 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO2_FORCEOUT)に設定した値を出力する)
3:0	GPIO2_IO_CFG [3:0]	0010	R/W	GPIO2 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。

0x51【GPIO3\_CTRL】

機能:GPIO3 端子制御  
 アドレス:0x51 (BANK0)  
 初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	GPIO3_INV	0	R/W	GPIO3 出力信号極性設定
6	GPIO3_OD	0	R/W	GPIO3 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO3_FORCEOUT	0	R/W	GPIO3 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO3_INV)の設定に影響されません。
4	GPIO3_FORCEOUTEN	0	R/W	GPIO3 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO3_FORCEOUT)に設定した値を出力する)
3:0	GPIO3_IO_CFG [3:0]	0001	R/W	GPIO3 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。

0x52【GPIO4\_CTRL】

機能: GPIO4 端子制御

アドレス: 0x52 (BANK0)

初期値: 0x04

Bit	ビット名	初期値	R/W	説明
7	GPIO4_INV	0	R/W	GPIO4 出力信号極性設定
6	GPIO4_OD	0	R/W	GPIO4 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO4_FORCEOUT	0	R/W	GPIO4 強制出力値設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO4_INV)の設定に影響されません。
4	GPIO4_FORCEOUTEN	0	R/W	GPIO4 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO4_FORCEOUT)に設定した値を出力する)
3:0	GPIO4_IO_CFG [3:0]	0100	R/W	GPIO4 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ (DIO) 0101: [出力]データクロック (DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。

## 0x53【SPI/EXT\_PA\_CTRL】

機能: SPI インタフェース (SDI/SDO) 端子/外部 PA 制御

アドレス: 0x53 (BANK0)

初期値: 0x80

Bit	ビット名	初期値	R/W	説明
7	SDO_OD	1	R/W	SDO 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
6	Reserved	0	R	予約
5	SDO_CFG	0	R/W	SDO 端子(ピン#13)の入出力信号選択設定 0: [出力]SDO(SPI インタフェース) 1: [出力] SDO 出力(SCEN 端子(ピン#11)="L"時) DCLK 出力(SCEN 端子="H"時) ※詳細は「DIO 機能」を参照してください。
4	SDI_CFG	0	R/W	SDI 端子(ピン#10)の入出力信号選択設定 0: [入力]SDI(SPI インタフェース) 1: [入力] SDI 入力(SCEN 端子(ピン#11)="L"時) [入出力] DIO 出力(SCEN 端子="H"時) ※詳細は「DIO 機能」を参照してください。
3:2	Reserved	00	R	予約
1	EXT_PA_CNT	0	R/W	外部 PA 制御信号の制御タイミング設定 0: 送信回路起動タイミングで信号を出力する 1: PA の立ち上がりと同一タイミングで信号を出力する ※送信回路起動タイミング(TX_ON)および PA の立ち上がりタイミング(PA_ON)は、「タイムチャート-送信時」をご参照ください。
0	EXT_PA_EN	0	R/W	外部 PA 制御信号の制御設定イネーブル 0: ディセーブル (L 出力) 1: イネーブル (bit1(EXT_PA_CNT)の設定が有効となります)

## 0x54【CHFIL\_BW】

機能:チャンネルフィルタ帯域幅設定

アドレス:0x54 (BANK0)

初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:0	CHFIL_BW_ADJ[7:0]	0000_0110	R/W	チャンネルフィルタ帯域幅調整設定 (設定範囲:1~1023)  (1) CHFIL_CO_SEL([CHFIL_BW_OPTION: B0 0x6B(0)])=0b0 設定時 チャンネルフィルタ帯域幅[Hz] = FREF[Hz] / 設定値 / 43.33  (2) CHFIL_CO_SEL([CHFIL_BW_OPTION: B0 0x6B(0)])=0b1 設定時 チャンネルフィルタ帯域幅[Hz] = FREF [Hz] / 設定値 / 40  ※CHFIL_BW_ADJ[9:8](CHFIL_BW_OPTION:B0 0x6B(5-4))レジスタの 2ビットと共に全 10 ビットから算出されます。 ※初期値では 200kHz となります。 ※詳細は「チャンネルフィルタ帯域幅可変機能」を参照してください。

## 0x55【DC\_I\_ADJ\_H】

機能:I 相 DC オフセット調整設定(上位 6 ビット)

アドレス:0x55 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	DC_ADJ_SET	0	R/W	DC オフセット補正設定 0: 自動調整 1: マニュアル調整
6	DC_ADJ_HOLD	0	R/W	DC オフセット補正ホールド設定 0: 常時更新 1: 同期確立後に DC オフセット値を固定する
5:0	DC_I_ADJ[13:8]	00_0000	R/W	I 相 DC オフセット調整設定 ※bit7 が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_I_ADJ_L:B0 0x56]レジスタの 8 ビットと共に全 14 ビットから構成されます。

## 0x56【DC\_I\_ADJ\_L】

機能:I 相 DC オフセット調整設定(下位バイト)

アドレス:0x56 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	DC_I_ADJ[7:0]	0000_0000	R/W	I 相 DC オフセット調整設定 ※[DC_I_ADJ_H:B0 0x55]レジスタの 6 ビットと共に全 14 ビットから構成されます。

## 0x57【DC\_Q\_ADJ\_H】

機能: Q 相 DC オフセット調整設定(上位 6 ビット)

アドレス: 0x57 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	DC_Q_ADJ[13:8]	00_0000	R/W	Q 相 DC オフセット調整設定 ※[DC_I_ADJ_H:B0 0x55]の bit7 が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_Q_ADJ_L:B0 0x58]レジスタの 8 ビットと共に全 14 ビットから構成されます。

## 0x58【DC\_Q\_ADJ\_L】

機能: Q 相 DC オフセット調整設定(下位バイト)

アドレス: 0x58 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	DC_Q_ADJ[7:0]	0000_0000	R/W	Q 相 DC オフセット調整設定 ※[DC_Q_ADJ_H:B0 0x57]レジスタの 6 ビットと共に全 14 ビットから構成されます。

## 0x59【DC\_FIL\_ADJ】

機能: DC オフセット調整フィルタ設定

アドレス: 0x59 (BANK0)

初期値: 0x12

Bit	ビット名	初期値	R/W	説明
7:6	DC_FIL_ADJ2[1:0]	00	R/W	DC オフセット調整用フィルタ設定 2 00: ディセーブル 01: 1/16 10: 1/32 11: 1/64
5	DC_FIL_MODE	0	R/W	DC オフセット調整フィルタモード設定 0: 初期状態から開始する 1: 前パケット受信時の DC オフセット値から開始する
4	DC_FIL_ON	1	R/W	DC オフセット調整フィルタイネーブル設定 0: ディセーブル 1: イネーブル
3	Reserved	0	R	予約
2:0	DC_FIL_SEL[2:0]	010	R/W	DC オフセット調整用フィルタ設定 000: 1/4 001: 1/8 010: 1/16 011: 1/32 100: 1/64 101: 1/128 110: 1/256 上記以外: 予約 ※DC_ADJ_SET[DC_I_ADJ_H: B0 0x55(7)]が 0b0 設定(自動調整)時の調整フィルタ時定数を設定します。

0x5A【IQ\_MAG\_ADJ\_H】

機能:IF の IQ 振幅バランス調整(上位 4 ビット)

アドレス:0x5A (BANK0)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	IQ_ADJ_DONE	0	R	IQ 自動調整完了表示 0: 未完了 1: 完了
6	IQ_ADJ_RSLT	0	R	IQ 自動調整ステータス表示 0: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より大きい 1: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より小さい
5	LOCAL_SEL	0	R/W	受信ローカル周波数設定 0: Lower-Local 設定 1: Upper-Local 設定 ※IQ_ADJ_AUTO_LOCAL_SEL_ON([DIF_SET3: B2 0x62(7)]) =0b1 設定時、IQ 調整実行中は自動で Upper/Lower-Local 設定を反転します。
4	IQ_ADJ_START	0	R/W	IQ 自動調整実行 0: 実行完了 1: 実行開始 ※自動調整後の結果は、IQ_MAG_ADJ[11:0]、IQ_PHASE_ADJ_SIGN [IQ_PHASE_ADJ_H: B0 0x5C(4)]および IQ_PHASE_ADJ [IQ_PHASE_ADJ_H/L: B0 0x5C(3-0)/0x5D(7-0)]に格納されます。
3:0	IQ_MAG_ADJ[11:8]	1000	R/W	IQ 信号の振幅調整設定(上位 4 ビット) ※[IQ_MAG_ADJ_L:B0 0x5B]レジスタの 8 ビットと共に全 12 ビットから算出されます。 bit11: x1 bit10: x1/2 bit9: x1/4 bit8: x1/8 bit7: x1/16 bit6: x1/32 bit5: x1/64 bit4: x1/128 bit3: x1/256 bit2: x1/512 bit1: x1/1024 bit0: x1/2048

## 【説明】

1. IQ\_MAG\_ADJ[11:0]でイメージ除去比を調整することができます。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。

## 0x5B【IQ\_MAG\_ADJ\_L】

機能:IF の IQ 振幅バランス調整(下位バイト)

アドレス:0x5B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_MAG_ADJ[7:0]	0000_0000	R/W	IQ 信号の振幅調整設定(下位バイト) ※[IQ_MAG_ADJ_H:B0 0x5A]レジスタの 4 ビットと共に全 12 ビットから算出されます。

## 【説明】

1. IQ\_MAG\_ADJ[11:0]でイメージ除去比を調整することができます。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。

## 0x5C【IQ\_PHASE\_ADJ\_H】

機能:IF の IQ 位相バランス調整(上位 4 ビット)

アドレス:0x5C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	IQ_PHASE_ADJ_SIGN	0	R/W	IQ 信号の位相調整符号ビット 0: プラス 1: マイナス
3	Reserved	0	R	予約
2:0	IQ_PHASE_ADJ[10:8]	000	R/W	IQ 信号の位相調整設定(上位 3 ビット) ※[IQ_PHASE_ADJ_L:B0 0x5D]レジスタの 8 ビットと共に全 11 ビットから算出されます。 bit10: x1/2 bit9 : x1/4 bit8 : x1/8 bit7 : x1/16 bit6 : x1/32 bit5 : x1/64 bit4 : x1/128 bit3 : x1/256 bit2 : x1/512 bit1 : x1/1024 bit0 : x1/2048

## 【説明】

1. IQ\_PHASE\_ADJ [10:0]および IQ\_PHASE\_ADJ\_SIGN でイメージ除去比を調整することができます。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。



## 0x5D【IQ\_PHASE\_ADJ\_L】

機能:IF の IQ 位相バランス調整(下位バイト)

アドレス:0x5D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_PHASE_ADJ[7:0]	0000_0000	R/W	IQ 信号の位相調整設定(下位バイト) ※[IQ_PHASE_ADJ_H:B0 0x5C]レジスタの 3 ビットと共に全 11 ビットから算出されます。

## 【説明】

1. IQ\_PHASE\_ADJ [10:0]および IQ\_PHASE\_ADJ\_SIGN でイメージ除去比を調整することができます。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。

## 0x5E【IQ\_ADJ\_WAIT】

機能:IF の IQ 自動調整用 RSSI 取得ウェイト時間

アドレス:0x5E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	IQ_ADJ_MODE	0	R/W	IQ 自動調整モード設定 0: ベスト調整モード 1: 簡易調整モード ※0b1 設定時、自動調整において[IQ_ADJ_TARGET: B0 0x5F]で指定した閾値以下の RSSI が検出した時点で IQ 自動調整を終了します。
3:2	Reserved	00	R	予約
1:0	IQ_ADJ_WAIT[1:0]	00	R/W	IQ 自動調整用 RSSI 取得ウェイト時間設定 00: 1ms (1μs×1000) 01: 750μs (1μs×750) 10: 500μs (1μs×500) 11: 250μs (1μs×250) ※基準となる 1μs は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(5)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 …(1/FREF)*48 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 …(1/FREF)*52 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 …(1/FREF)*24 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 …(1/FREF)*26

## 【説明】

1. 詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。

## 0x5F【IQ\_ADJ\_TARGET】

機能:IF の IQ 自動調整用 RSSI 判定閾値

アドレス:0x5F (BANK0)

初期値:0x38

Bit	ビット名	初期値	R/W	説明
7:0	IQ_ADJ_TARGET[7:0]	0011_1000	R/W	IQ 自動調整用 RSSI 判定閾値 ※IQ 自動調整後の最終 RSSI 値と本設定値との比較結果を IQ_ADJ_RSLT[IQ_MAG_ADJ_H: B0 0x5A(6)]に表示します。

## 【説明】

1. 詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。

## 0x60【DEC\_GAIN】

機能:デシメーションゲイン設定

アドレス:0x60 (BANK0)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	DEC_GAIN[4:0]	0_1000	R/W	デシメーションゲイン設定 (設定範囲: -14~17) ゲイン = $1/2^{(\text{設定値} - 15)}$ ※マイナスの値は2の補数表現で設定してください。

0x61【IF\_FREQ】

機能:IF 周波数選択

アドレス:0x61 (BANK0)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	IF_FREQ_CCA[3:0]	0010	R/W	CCA 時の IF 周波数選択 0000: 500kHz 0001: 375kHz 0010: 300kHz 0011: 0kHz 0100: 175kHz 0101: 200kHz 0110: 225kHz 0111: 250kHz 1000: 275kHz 1001: 325kHz 1010: 350kHz 1011: 400kHz 1100: 425kHz 1101: 450kHz 1110: 475kHz 1111: 525kHz ※上記周波数は F <sub>REF</sub> が 48MHz 時の値です。F <sub>REF</sub> が 52MHz の場合は、上記周波数を 52/48 倍した周波数になります。
3:0	IF_FREQ[3:0]	0010	R/W	IF 周波数選択 0000: 500kHz 0001: 375kHz 0010: 300kHz 0011: 0kHz 0100: 175kHz 0101: 200kHz 0110: 225kHz 0111: 250kHz 1000: 275kHz 1001: 325kHz 1010: 350kHz 1011: 400kHz 1100: 425kHz 1101: 450kHz 1110: 475kHz 1111: 525kHz ※上記周波数は F <sub>REF</sub> が 48MHz 時の値です。F <sub>REF</sub> が 52MHz の場合は、上記周波数を 52/48 倍した周波数になります。

## 【説明】

1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

## 0x62【OSC\_ADJ1】

機能:発振回路端子の負荷容量粗調整

アドレス:0x62 (BANK0)

初期値:0x88

Bit	ビット名	初期値	R/W	説明
7:4	OSC_ADJ_CORSE_XO [3:0]	1000	R/W	XO 容量負荷粗調整 約 0.5pF/step
3:0	OSC_ADJ_CORSE_XI [3:0]	1000	R/W	XI 容量負荷粗調整 約 0.5pF/step

## 【説明】

1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

## 0x63【OSC\_ADJ2】

機能:発振回路端子の負荷容量微調整

アドレス:0x63 (BANK0)

初期値:0x80

Bit	ビット名	初期値	R/W	説明
7:0	OSC_ADJ_FINE[7:0]	1000 0000	R/W	容量負荷微調整 約 0.03pF/step (調整範囲 0x00～0xFF)

## 【説明】

1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

## 0x64【FIELD\_CHECK\_RSLT】

機能:フィールドチェック結果表示

アドレス:0x64 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3	ACK_REQ_DET	0	R	IEEE802.15.4g パケット受信の ACK 要求ビット検出表示 0: ACK 要求ビットなし 1: ACK 要求ビットあり
2	FIELD_CHECK_RSLT3	0	R	フィールドチェック結果(パターン 3)表示 0: 不一致 1: 一致
1	FIELD_CHECK_RSLT2	0	R	フィールドチェック結果(パターン 2)表示 0: 不一致 1: 一致
0	FIELD_CHECK_RSLT1	0	R	フィールドチェック結果(パターン 1)表示 0: 不一致 1: 一致

## 0x65【OSC\_ADJ4】

機能:発振回路バイアス調整(起動時)

アドレス:0x65 (BANK0)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	OSC_START_SET	0	R/W	OSC 起動モード設定 0: 通常起動モード [OSC_ADJ1: B0 0x62]、[OSC_ADJ1: B0 0x63]で設定する値 から起動する 1: 高速起動モード [OSC_ADJ1: B0 0x62]=0x00、[OSC_ADJ1: B0 0x63]=0x00 設定 から起動する
4:0	Reserved	0_0010	R	予約

## 0x66【RSSI\_ADJ】

機能:RSSI 値の調整

アドレス:0x66 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RSSI_ADD	0	R/W	RSSI 調整 0: -に設定する 1: +に設定する
6	Reserved	0	R	予約
5:0	RSSI_ADJ[5:0]	00_0000	R/W	RSSI 補正值設定

## 【説明】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。

## 0x67【PA\_REG\_ADJ\_H】

機能:PA 用レギュレータ出力電圧調整(上位バイト)

アドレス:0x67 (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	PA_REG_ADJ_SEL	0	R/W	PA レギュレータの出力電圧調整イネーブル設定 0: ディセーブル 1: イネーブル ※調整時のみ 0b1 に設定してください。0b1 設定時、PA_REG_ADJ[8:0]にて PA レギュレータ出力電圧が可能になります。
6	Reserved	0	R	予約
5	PA_VDD	0	R/W	PA 用電源供給源選択設定 0: スイッチングレギュレータ出力電圧 1: VDD_IO 電圧 ※2.4GHz 時は本設定によらずスイッチングレギュレータ出力が選択されます。
4	PA_SEL	0	R/W	PA 出力選択設定 0: 高出力(13dBm 用 PA) 1: 低出力(0dBm 用 PA) ※2.4GHz 時は本設定によらず低出力(2.4GHz 専用 0dBm 用 PA)が選択されます。
3:1	Reserved	000	R	予約
0	PA_REG_ADJ[8]	1	R/W	PA レギュレータの出力電圧調整設定 ※[PA_REG_ADJ_L: B0 0x68]レジスタの 8 ビットと共に全 9 ビットから算出されます。

## 【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。
2. 2.4GHz 用設定は[PA\_REG\_ADJ\_2G: B4 0x6C]に設定してください。

## 0x68【PA\_REG\_ADJ\_L】

機能:PA 用レギュレータ出力電圧調整(下位バイト)

アドレス:0x68 (BANK0)

初期値:0x90

Bit	ビット名	初期値	R/W	説明
7:0	PA_REG_ADJ[7:0]	1001_0000	R/W	PA レギュレータの出力電圧調整設定 ※[PA_REG_ADJ_H:B0 0x67]レジスタの 1 ビットと共に全 9 ビットから算出されます。

## 【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

## 0x69【Reserved】

機能:予約

アドレス:0x69 (BANK0)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x6A【CHFIL\_BW\_CCA】

機能: CCA 時チャンネルフィルタ帯域幅設定

アドレス: 0x6A (BANK0)

初期値: 0x03

Bit	ビット名	初期値	R/W	説明
7:0	CHFIL_BW_ADJ_CCA [7:0]	0000_0011	R/W	CCA 時チャンネルフィルタ帯域幅調整設定 (設定範囲: 1 ~ 1023)  (1) CHFIL_CO_SEL([CHFIL_BW_OPTION: B0 0x6B(0)])=0b0 設定時 チャンネルフィルタ帯域幅[Hz] = FREF [Hz] / 設定値 / 43.33  (2) CHFIL_CO_SEL([CHFIL_BW_OPTION: B0 0x6B(0)])=0b1 設定時 チャンネルフィルタ帯域幅[Hz] = FREF [Hz] / 設定値 / 40  ※CHFIL_BW_ADJ_CCA[9:8](CHFIL_BW_OPTION:B0 0x6B(7-6))レジ スタの 2 ビットと共に全 10 ビットから算出されます。 ※初期値では 400kHz となります。 ※詳細は「チャンネルフィルタ帯域幅可変機能」を参照してください。

## 0x6B【CHFIL\_BW\_OPTION】

機能: チャンネルフィルタ帯域幅オプション設定

アドレス: 0x6B (BANK0)

初期値: 0x02

Bit	ビット名	初期値	R/W	説明
7:6	CHFIL_BW_ADJ_CCA [9:8]	00	R/W	CCA 時チャンネルフィルタ帯域幅調整設定(上位 2 ビット) ※詳細は[CHFIL_BW_CCA: B0 0x6A]をご参照ください。
5:4	CHFIL_BW_ADJ[9:8]	00	R/W	チャンネルフィルタ帯域幅調整設定(上位 2 ビット) ※詳細は[CHFIL_BW: B0 0x54]をご参照ください。
3:2	Reserved	00	R	予約
1	CHFIL_CO_SEL_CCA	1	R/W	CCA 時チャンネルフィルタ係数設定 0: 係数 1(狭帯域設定) 1: 係数 2(広帯域設定) ※係数によるチャンネルフィルタ帯域幅については、[CHFIL_BW_CCA: B0 0x6A]をご参照ください。
0	CHFIL_CO_SEL	0	R/W	チャンネルフィルタ係数設定 0: 係数 1(狭帯域設定) 1: 係数 2(広帯域設定) ※係数によるチャンネルフィルタ帯域幅については、[CHFIL_BW: B0 0x54]をご参照ください。

## 0x6C【DC\_FIL\_ADJ2】

機能: DC オフセット調整フィルタ設定 2

アドレス: 0x6C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	DC_FIL_SEL2[2:0]	000	R/W	DC オフセット引込み用フィルタ設定 000: 1/4 001: 1/8 010: 1/16 011: 1/32 100: 1/64 ※DC_ADJ_SET[DC_I_ADJ_H: B0 0x55(7)]が 0b0 設定(自動調整)時の フィルタ時定数を設定します。

## 0x6D【DEC\_GAIN\_CCA】

機能: CCA 時デシメーションゲイン設定

アドレス: 0x6D (BANK0)

初期値: 0x0B

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	DEC_GAIN_CCA[4:0]	0_1011	R/W	CCA 時デシメーションゲイン設定 (設定範囲: -14~17) ゲイン = $1/2^{(\text{設定値} - 15)}$ ※マイナスの値は 2 の補数表現で設定してください。

## 0x6E【VCO\_CAL】

機能: VCO 周波数キャリブレーション値の表示と設定

アドレス: 0x6E (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL[7:0]	0000_0000	R/W	現在の VCO 周波数キャリブレーション値 ※自動設定モードでは、現在適用されている VCO キャリブレーション値 を表示します。 強制書き込みモードを設定した場合、キャリブレーション値は VCO_CAL[7:0]に書き込んだ値が強制的に適用されます。 (CAL_WR_EN([VCO_CAL_START: B0 0x6F(7)])に 0b0 を設定した 場合は値は反映されません。) ※初期値はクロック安定化完了後、0b1000_0000 になります。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。



## 0x6F【VCO\_CAL\_START】

機能: VCO キャリブレーション実行

アドレス: 0x6F (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CAL_WR_EN	0	R/W	VCO 周波数キャリブレーションモード設定 0: 自動設定モード 1: 強制書き込みモード
6	AUTO_VCO_FCAL_EN	0	R/W	自動 VCO 周波数キャリブレーション設定 0: ディセーブル 1: イネーブル ※AUTO_VCO_CAL_EN=0b1 設定時に有効です。
5	Reserved	0	R/W	予約
4	AUTO_VCO_CAL_EN	0	R/W	自動 VCO キャリブレーション実行設定 0: VCO キャリブレーションを自動実行しない 1: 状態遷移時に VCO キャリブレーションを実行する
3	AUTO_VCO_CAL_CHG_EN	0	R/W	チャンネル切替時自動 VCO キャリブレーション実行設定 0: VCO キャリブレーションを自動実行しない 1: チャンネル変更時に VCO キャリブレーションを実行する ※AUTO_VCO_CAL_EN=0b1 設定時に有効です。
2	VCO_FCAL_EN	0	R/W	VCO 周波数キャリブレーション設定 0: ディセーブル 1: イネーブル ※VCO_CAL_START=0b1 にて実行した VCO キャリブレーション時に有効です。
1	Reserved	0	R/W	予約
0	VCO_CAL_START	0	R/W	VCO キャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に 0 に戻ります。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x70【CLK\_CAL\_SET】

機能:低速クロックキャリブレーション制御

アドレス:0x70 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	CLK_CAL_DIV[3:0]	0000	R/W	キャリブレーション用クロック分周設定 0000: 分周なし 0001: 分周なし 上記以外: 設定値分周
3:1	Reserved	000	R	予約
0	CLK_CAL_START	0	R/W	低速クロックキャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に 0 に戻ります。

## 【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

## 0x71【CLK\_CAL\_TIME】

機能:クロックキャリブレーション時間設定

アドレス:0x71 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	CLK_CAL_TIME [5:0]	00_0000	R/W	クロックキャリブレーション時間設定 キャリブレーション時間 = ウェイクアップタイマ用クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) * 設定値

## 【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

**0x72【CLK\_CAL\_H】**

機能:低速クロックキャリブレーション結果表示(上位バイト)

アドレス:0x72 (BANK0)

初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [15:8]	1111_1111	R	クロックキャリブレーション(上位バイト)

**【説明】**

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

**0x73【CLK\_CAL\_L】**

機能:低速クロックキャリブレーション結果表示(下位バイト)

アドレス:0x73 (BANK0)

初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [7:0]	1111_1111	R	クロックキャリブレーション(下位バイト)

**【説明】**

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

**0x74【FEC\_CTRL】**

機能:FEC 設定

アドレス:0x74 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	INTLV_EN	0	R/W	インターリーブ設定 0: ディセーブル 1: イネーブル ※FEC_EN=0b1 設定時のみ本ビットを 0b1 としてください。
1	FEC_SCHEME	0	R/W	FEC 方式設定 0: NRNSC 方式 1: RSC 方式
0	FEC_EN	0	R/W	FEC 設定 0: ディセーブル 1: イネーブル ※FEC をご使用時は以下の設定でご使用ください。 ①送信符号モード設定(TX_DEC_SCHEME([DATA_SET1: B0 0x07(1-0)]))および受信符号化モード設定(RX_DEC_SCHEME([DATA_SET1: B0 0x07(3-2)]))は NRZ としてください。 ②パケットフォーマットは Format C(PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10)をご使用ください。 ②Length フィールド長設定は 2 バイトモード (LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])=0b01)としてください。

**【説明】**

1. [FEC\_CTRL: B6 0x02]とレジスタを共用しています。どちらのレジスタからも設定可能です。

## 0x75【SLEEP\_INT\_CLR】

機能:SLEEP 時割込みクリア設定

アドレス:0x75 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	MSTR_CLK_SEL3	000	R/W	FREF 選択設定 3 000: ディセーブル 001: 52MHz 010: 48MHz 011: 39MHz 100: 36MHz 101: 32MHz 110: 30MHz 111: 予約 ※本設定でマスタークロック周波数を選択した場合、MSTR_CLK_SEL2([CLK_SET1: B0 0x02(6)])設定より本設定が優先されます。
3:2	Reserved	00	R	予約
1	AUTO_SLEEP_INT_CLR	0	R/W	自動 SLEEP 時割り込みクリア設定 0: 割り込みクリアしない 1: 割り込みクリアする ※ウェイクアップタイマ動作中のウェイクアップ時に自動で割り込みをクリアします。
0	SLEEP_INT_CLR	0	R/W	SLEEP 時割り込みクリア設定 0: 割り込みクリアしない 1: 割り込みクリアする ※SLEEP 中は[INT_SOURCE_GRP*: B0 0x0D/0E/0F]での割り込みクリアはできません。本ビットを 0b1 に設定することにより、SLEEP 中に割り込みをクリアすることができます。SLEEP 中のみ書き込み可能で、SLEEP 解除により 0b0 に戻ります。 ※対象となる割り込みは全割り込み([INT_SOURCE_GRP*: B0 0x0D/0E/0F])です。

## 0x76【RF\_TEST\_MODE】

機能:送信テストパターン設定

アドレス:0x76 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	TEST5	0	R/W	CW 出力設定
4	TEST4	0	R/W	“01”パターン出力設定
3	TEST3	0	R/W	ALL”0”出力設定
2	TEST2	0	R/W	ALL”1”出力設定
1	TEST1	0	R/W	PN9 出力設定
0	TEST_EN	0	R/W	テストモードイネーブル制御 0: テスト設定を無効にする 1: テスト設定を有効にする

## 【説明】

- 通常動作時には、必ず本レジスタの全てのビットを 0b0 にしてください。
- 複数のテストパターンが有効に設定された場合は、ビット番号の低い設定が有効となります。
- データレートは、TX\_DRATE[3:0]([DRATA\_SET: B0 0x06(3-0)])の設定値が適用されます。
- PN9 出力設定時の PN9 生成回路は、[WHT\_CFG: B1 0x66]にて任意の生成多項式に設定可能です。  
市販 BER 計の多くで対応している PN9 の生成多項式は  $x^9+x^4+1$  であり、[WHT\_CFG: B1 0x66]を 0x08 に設定することで対応可能です。
- FSK モード(GFSK\_EN([DATA\_SET1: B0 0x07(4)])=0b0)を選択している場合、下記手順にて送信テストパターンを設定し、送信してください。
  - ① 本レジスタにて送信テストパターンを設定します。
  - ② 送信状態(SET\_TRX[3:0]([RF\_STATUS: B0 0x0B(3-0)])=0b1001)にします。
  - ③ PLL ロック判定をオフ([PLL\_LOCK\_DETECT: B1 0x0B]=0x01)します。
  - ④ MODEM リセット([RST\_SET: B0 0x01]=0x22)します。
  - ⑤ PLL ロック判定をオン([PLL\_LOCK\_DETECT: B1 0x0B]=0x81)します。

## 0x77【STM\_STATE】

機能:ステートマシン状態表示/プリアンブル検出状態表示

アドレス:0x77 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	MODE_DET_RSLT	0	R	Mode T/C 受信結果表示 0: Mode T 受信 1: Mode C 受信 ※本ビットは 2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時に有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。
6	SYNC_STATE	0	R	受信同期検出状態表示 0: 未同期状態 1: 同期状態
5	SW_DET_RSLT	0	R	SyncWord 検出状態表示 0: 同期ワードパターン 1(FormatA)検出 1: 同期ワードパターン 2(FormatB)検出 ※Wireless M-Bus 対応パケットフォーマット(FormatA/B)設定 (PKT_FORMAT[PKT_CTRL1: B0 0x04(1-0)]=0b00 または 0b01) 時のみ有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。 ※2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時、Modet T で受信した場合、本表示値は無効となります。
4:0	PHY_STATE[4:0]	0_0000	R	ステートマシン状態表示 0_0000: IDLE 状態 0_0001: プリアンブル送信ステート 0_0010: SyncWord 送信ステート 0_0011: L-field 送信ステート 0_0100: Data 領域送信ステート 0_0101: ポストアンブル送信ステート 0_0110: 送信遅延待ちステート 0_0111: DIO 送信ステート 1_0010: SyncWord 検出待ちステート 1_0011: L-field 受信ステート 1_0100: データ領域受信ステート 1_0111: DIO 受信ステート

## 0x78【FIFO\_SET】

機能:FIFO リード設定

アドレス:0x78 (BANK0)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7	WHT_LF_SEL	0	R/W	Whitening 演算 LSB/MSB 選択設定 0: MSB ファースト 1: LSB ファースト
6	LENGTH_SEL	0	R/W	Length 範囲選択設定 0: Data-field 以降から最終 CRC までのトータルバイト数 (CRC-field を含む) 1: Data-field のバイト数 (CRC を含まない)
5	CRC_CALC_SEL	0	R/W	CRC 演算範囲選択設定 0: Data-field (L-field は含まない) 1: L-field – Data-field (L-field を含む)
4	WHT_CALC_SEL	0	R/W	Whitening 適用範囲選択設定 0: Data-field – CRC-field (L-field は含まない) 1: L-field – CRC-field (L-field を含む)
3	CLKINIT_TRX_SET	0	R/W	クロック安定後 RF 状態設定 0: クロック安定化後、RX_ON へ移行 1: クロック安定化後、TX_ON へ移行 ※CLKINIT_TRX_EN([FIFO_SET: B0 0x78(2)])=0b1 設定時のみ有効となります。
2	CLKINIT_TRX_EN	0	R/W	クロック安定後 RF 状態設定イネーブル 0: ディセーブル 1: イネーブル
1	FAST_CCA_LC	1	R/W	高速電波チェック時の低消費電力モード設定 0: ディセーブル 1: イネーブル ※高速電波チェック中は復調器動作を停止します。
0	FIFO_R_SEL	0	R/W	FIFO リード設定 0: 受信 FIFO をリードする 1: 送信 FIFO をリードする ※送信、受信パツファをリードする場合、[RD_FIFO:B0 0x7F]レジスタを共用します。そのため、0b1 設定し送信 FIFO をリードする場合、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定する Length 分のデータを FIFO リードするか、読み出し後に STATE_CLR1([STATE_CLR: B0 0x16(1)])=0b1 を設定して、受信 FIFO ポインタのクリアを実行してください。途中で読み出しを停止して、受信 FIFO のリードに切り替えた場合、停止させたポインタから読み出しを開始するため、受信データを正常に読み出せなくなります。

## 0x79【RX\_FIFO\_LAST】

機能:受信 FIFO の使用量表示(上位バイト)

アドレス:0x79 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_FIFO_LAST[7:0]	0000_0000	R	受信時 FIFO データ使用量表示(表示範囲 0~255) ※詳細は「FIFO 制御機能」を参照してください。

## 0x7A【TX\_PKT\_LEN\_H】

機能:送信パケット Length 設定(上位バイト)

アドレス:0x7A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[15:8]	0000_0000	R/W	送信パケット Length 値設定(上位バイト) ※送信する Length を設定します。 FormatA・・・L-field/CRC-field を除く Length を設定します。 FormatB/C・・・L-field を除く Length を設定します。 FormatD・・・Data-field から CRC-field までのデータ長を設定します。  ※[TX_PKT_LEN_L: B0 0x7B]レジスタの 8 ビットと共に全 16 ビットから算出されます。上位バイトは LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])=0b01 設定時のみ有効となります。 ※詳細は「FIFO 制御機能」を参照してください。

## 0x7B【TX\_PKT\_LEN\_L】

機能:送信パケット Length 設定(下位バイト)

アドレス:0x7B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[7:0]	0000_0000	R/W	設定パケット Length 値設定(下位バイト) ※詳細は[PKT_LEN_H: B0 0x7A]レジスタをご参照ください。



## 0x7C【WR\_TX\_FIFO】

機能:送信 FIFO

アドレス:0x7C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_FIFO[7:0]	0000_0000	W	送信 FIFO ※本 LSI に格納できる送信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータを格納した状態(データ送信要求受付完了割込み INT[17]発生後から送信完了割込み INT16 発生まで)で、次の書き込み動作を行うと FIFO は上書きされ、送信 FIFO アクセスエラー割込み(INT[20])が発生します。送信 FIFO アクセスエラーが発生した場合、送信 FIFO クリア STATE_CLR0([STATE_CLR: B0 0x16(0)])を 0b1 に設定し、送信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。

## 0x7D【RX\_PKT\_LEN\_H】

機能:受信パケット Length 設定/表示(上位バイト)

アドレス:0x7D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[15:8]	0000_0000	R/W	受信パケット Length 値設定/表示(上位バイト) ※FormatA/B/C...L-field を除くパケット Length を表示します。 ※FormatD...L-field がないパケット構成のため、本設定値を受信 Length 値として FIFO 制御(FIFO からのデータ読み出し制御)が行われます。Data-field から CRC-field までのデータ長を設定してください。

## 0x7E【RX\_PKT\_LEN\_L】

機能:受信パケット Length 設定/表示(下位バイト)

アドレス:0x7E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[7:0]	0000_0000	R/W	受信パケット Length 値設定/表示(下位バイト) ※詳細は[RX_PKT_LEN_H: B0 0x7D]レジスタをご参照ください。

0x7F【RD\_FIFO】

機能: FIFO リード

アドレス: 0x7F (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	RD_FIFO[7:0]	0000_0000	R	FIFO リード ※FIFO_R_SEL([FIFO_SET: B0 0x78])で設定した FIFO 面をリードします。 ※受信時、本 LSI に格納できる受信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータが格納されている状態で次のパケットを受信した場合、FIFO は上書きされます。 ※FIFO データを全て読み出す必要がない場合、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。 ※スリープ中に FIFO をリードした場合は、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。

## ●レジスタ BANK1

0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

0x01【CLK\_OUT】

機能:CLKOUT の出力クロック周波数設定

アドレス:0x01 (BANK1)

初期値:0x17

Bit	ビット名	初期値	R/W	説明
7:0	CLK_DIV[7:0]	0001_0111	R/W	<p>出力クロック周波数設定 FREF および MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)])の設定値による計算式により下記周波数を生成することができます。</p> <p>0000_0000: FREF / (2-MSTR_CLK_SEL1) (24MHz) (24MHz(デューティ比…High:Low=1:3)) 0000_0001: FREF / (2-MSTR_CLK_SEL1) / 2 (12MHz) 0000_0010: FREF / (2-MSTR_CLK_SEL1) / 3 (8MHz(デューティ比…High:Low=1:2)) 0000_0011: FREF / (2-MSTR_CLK_SEL1) / 4 (6MHz) 0000_0100: FREF / (2-MSTR_CLK_SEL1) / 6 (4MHz) 0000_0101: FREF / (2-MSTR_CLK_SEL1) / 8 (3MHz) 0000_0110: FREF / (2-MSTR_CLK_SEL1) / 12 (2MHz) 0000_0111: FREF / (2-MSTR_CLK_SEL1) / 24 (1.0MHz) 0000_1000: FREF / (2-MSTR_CLK_SEL1) / 32 (0.75MHz) 0000_1001: FREF / (2-MSTR_CLK_SEL1) / 64 (0.375MHz)</p> <p>上記以外: 下記の計算式で出力周波数が決定されます。 出力周波数 = FREF [MHz] / (2-MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]/ (16 * [設定値] + 2)) 例えば、MSTR_CLK_SEL1=1、本レジスタを 0x17 に設定した場合は、 出力周波数 = 24 / (2-1) / (16 * 23 + 2) = 64.9kHz となります。</p> <p>※上記は括弧内の値は FREF が 48MHz の場合の周波数です。</p>

## 0x02【TX\_RATE\_H】

機能:送信データレート設定(上位バイト)

アドレス:0x02 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE[15:8]	0000_0000	R/W	<p>送信データレート変換設定(上位バイト)</p> <p>※[TX_RATE_L: B1 0x03]レジスタの 8 ビットと共に全 16 ビットから算出されます。</p> <p>任意のレートを設定する場合、下式から算出される値を設定します。</p> <p>設定値 = round (FREF /  (2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) /  10 / [任意のビットレート])</p> <p>※詳細は「データレート設定機能」を参照してください。</p>

## 0x03【TX\_RATE\_L】

機能:送信データレート変換設定(下位バイト)

アドレス:0x03 (BANK1)

初期値:0x18

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE[7:0]	0001_1000	R/W	<p>送信データレート変換設定(下位バイト)</p> <p>※詳細は[TX_RATE_H]レジスタをご参照ください。</p>

## 0x04【RX\_RATE1\_H】

機能:受信データレート設定 1(上位バイト)

アドレス:0x04 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_RATE1[15:8]	0000_0000	R/W	<p>受信データレート変換設定(上位バイト)</p> <p>※[RX_RATE_L: B1 0x05]レジスタの 8 ビットと共に全 16 ビットから算出されます。</p> <p>任意のレートを設定する場合、下式から算出される値を設定します。</p> <p>設定値 = round (FREF /  (2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) /  {[任意のビットレート] * [RX_RATE2: B1 0x06]レジスタ}))</p> <p>※詳細は「データレート設定機能」を参照してください。</p>

## 0x05【RX\_RATE1\_L】

機能:受信データレート設定 1(下位バイト)

アドレス:0x05 (BANK1)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:0	RX_RATE1[7:0]	0000_0010	R/W	受信データレート変換設定(下位バイト) ※詳細は[RX_RATE1_H]レジスタをご参照ください。

## 0x06【RX\_RATE2】

機能:受信データレート設定 2

アドレス:0x06 (BANK1)

初期値:0x3C

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	RX_RATE2[6:0]	011_1100	R/W	受信データレート変換設定 2(設定範囲: 30~127) ※RX_RATE1 と組み合わせて任意のレートを設定します。詳細は [RATE_SET1_H/L]レジスタをご参照ください。 ※0x01 以上 0x1D 以下の値は設定しないでください。ただし、0x00 設定 時は 128 と認識します。

## 0x07【Reserved】

機能:予約

アドレス:0x07(BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x08【OSC\_W\_SEL】

機能:クロック安定化待ち時間設定

アドレス:0x08 (BANK1)

初期値:0xA0

Bit	ビット名	初期値	R/W	説明
7:5	OSC_W_SEL[2:0]	101	R/W	クロック安定化待ち時間設定 000: 100 $\mu$ s 001: 200 $\mu$ s 010: 250 $\mu$ s 011: 300 $\mu$ s 100: 350 $\mu$ s 101: 400 $\mu$ s 110: 450 $\mu$ s 111: 500 $\mu$ s ※本ビットにて電源投入後の起動時、または SLEEP からの復帰時のクロック安定化待ち時間を設定できます。クロック安定化待ち時間のタイミングは「タイムチャート-起動時」を参照してください。 ※基準となる 1 $\mu$ s は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(5)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 $\cdots (1/F_{REF}) \cdot 48$ MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 $\cdots (1/F_{REF}) \cdot 52$ MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 $\cdots (1/F_{REF}) \cdot 24$ MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 $\cdots (1/F_{REF}) \cdot 26$
4	Reserved	0	R	予約
3:2	Reserved	00	R/W	予約
1:0	Reserved	00	R	予約

## 0x09-0x0A【Reserved】

機能:予約

アドレス:0x09-0x0A(BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x0B【PLL\_LOCK\_DETECT】

機能:PLL ロック判定設定

アドレス:0x0B (BANK1)

初期値:0x81

Bit	ビット名	初期値	R/W	説明
7	PLL_LD_EN	1	R/W	送信時の PLL ロック外れ検出後の状態設定 0: 送信状態を維持する 1: Force_TRX_OFF により送信強制停止する ※ロック外れを検出すると INT2 (INT_SOURCE_GRP1: B0 0x0D(2))を発生させ、設定した状態へ移行します。 ※受信時に PLL ロック外れを検出した場合は、INT[2]発生後に受信状態を継続します。
6:0	TIM_PLL_LD[6:0]	000_0001	R/W	PLL ロック判定時間調整 PLL ロック検出信号の”H”期間が下記で設定される時間以上となったときにロック状態とみなします。ロック外れ状態は”L”を検出した時点で判断します。 判定時間 = 設定値 * 8 $\mu$ s + 1 (デフォルト: 9 $\mu$ s) ※基準となる 1 $\mu$ s は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(5)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 ... (1/FREF)*48 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 ... (1/FREF)*52 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 ... (1/FREF)*24 MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 ... (1/FREF)*26

## 【ご注意】

- PLL ロック外れを検出して IDLE 状態へ強制移行した場合は、次の送受信を行う前に INT[2]([INT\_SOURCE\_GRP1: B0 0x0D(2)])のクリアを必ず行ってください。また、[RF\_STATUS: B0 0x0B]レジスタへの書き込みアクセスは 5 $\mu$ s 以上経過してから実行してください。

## 0x0C-0x0D【Reserved】

機能:予約

アドレス:0x0C-0x0D (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x0E【GAIN\_HOLD】

機能:ゲイン切替え設定

アドレス:0x0E (BANK1)

初期値:0x80

Bit	ビット名	初期値	R/W	説明
7	GAIN_SYNC_HOLD	1	R/W	ゲイン切り替え設定 0: 常時更新 1: 同期確立後にゲイン固定する ※BER 測定時には 0b0 に設定してください。
6:0	Reserved	000_0000	R	予約

## 0x0F【RSSI\_STABLE\_RES】

機能:RSSI 安定化待ち時間分解能設定

アドレス:0x0F (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	0000_000	R	予約
0	RSSI_STABLE_RES	0	R/W	RSSI 安定待ち時間分解能設定 0: 1 倍 1: 1/2 倍 ※[RSSI_STABLE: B1 0x12]で設定する待ち時間に対し、本レジスタにて設定した値の倍率をかけたサンプル数分だけ RSSI 安定待ちを行います。



## 0x10【GC\_CTRL\_DIV】

機能:ダイバーシティ時のゲイン制御モード設定

アドレス:0x10 (BANK1)

初期値:0xEE

Bit	ビット名	初期値	R/W	説明
7:4	GC_MODE_CCA[3:0]	1110	R/W	CCA 時のゲイン制御モード設定 0001: HH ゲイン固定 0010: H ゲイン固定 0011: H⇔HH ゲイン遷移 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: M⇔H⇔HH ゲイン遷移 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: L⇔M⇔H⇔HH ゲイン遷移 上記以外: 予約
3:0	GC_MODE_DIV[3:0]	1110	R/W	ダイバーシティ時のゲイン制御モード設定 0001: HH ゲイン固定 0010: H ゲイン固定 0011: H⇔HH ゲイン遷移 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: M⇔H⇔HH ゲイン遷移 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: L⇔M⇔H⇔HH ゲイン遷移 上記以外: 予約

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x11【Reserved】

機能: 予約

アドレス: 0x11 (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

0x12【RSSI\_STABLE\_TIME】

機能: RSSI 安定化待ち時間設定

アドレス: 0x12 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	RSSI_STABLE2[2:0]	000	R/W	<p>高速電波チェック時ゲイン切替後の RSSI 安定待ち時間設定  ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。</p> <p>ウェイト時間[s] = <math>1 / \{ \text{FREF} / (2 - \text{MSTR\_CLK\_SEL1}([\text{CLK\_SET1}: \text{B0 } 0x02(5)]) / \text{CHFIL\_BW\_ADJ}[\text{CHFIL\_BW}: \text{B0 } 0x54\&amp;6\text{B}] \text{設定値} / 4) \} \times \text{待ち時間サンプル数} \times [\text{RSSI\_STABLE\_RES}: \text{B1 } 0x0\text{F}] \text{設定倍率}</math></p> <p>設定値と待ち時間サンプル数との関係は以下となります。  000: 50 サンプル  001: 100 サンプル  010: 125 サンプル  011: 150 サンプル  100: 175 サンプル  101: 200 サンプル  110: 225 サンプル  111: 250 サンプル</p>
3	Reserved	0	R	予約
2:0	RSSI_STABLE[2:0]	000	R/W	<p>ゲイン切替後の RSSI 安定待ち時間設定  ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。</p> <p>ウェイト時間[s] = <math>1 / \{ \text{FREF} / (2 - \text{MSTR\_CLK\_SEL1}([\text{CLK\_SET1}: \text{B0 } 0x02(5)]) / \text{CHFIL\_BW\_ADJ}[\text{CHFIL\_BW}: \text{B0 } 0x54\&amp;6\text{B}] \text{設定値} / 4) \} \times \text{待ち時間サンプル数} \times [\text{RSSI\_STABLE\_RES}: \text{B1 } 0x0\text{F}] \text{設定倍率}</math></p> <p>設定値と待ち時間サンプル数との関係は以下となります。  000: 50 サンプル  001: 100 サンプル  010: 125 サンプル  011: 150 サンプル  100: 175 サンプル  101: 200 サンプル  110: 225 サンプル  111: 250 サンプル</p>

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x13【RSSI\_MAG\_ADJ】

機能:ED 変換用 RSSI 補正設定

アドレス:0x13 (BANK1)

初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	RSSI_MAG_D4	0	R/W	RSSI 倍率 2 倍設定 0: 適用しない 1: 適用する
3	RSSI_MAG_D3	1	R/W	RSSI 倍率 1 倍設定 0: 適用しない 1: 適用する
2	RSSI_MAG_D2	1	R/W	RSSI 倍率 1/2 倍設定 0: 適用しない 1: 適用する
1	RSSI_MAG_D1	1	R/W	RSSI 倍率 1/4 倍設定 0: 適用しない 1: 適用する
0	RSSI_MAG_D0	1	R/W	RSSI 倍率 1/8 倍設定 0: 適用しない 1: 適用する

## 【ご注意】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。
2. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
3. 本レジスタは 0b1 が設定された倍率の総和によりトータルの倍率が計算されます(例 bit3 と bit1 に 0b1 が書き込まれている場合は、1 倍と 1/4 倍の和からトータル倍率は 1.25 倍となります。) 計算後、値が 0xFF 以上となる場合は 0xFF に制限されます。

## 0x14【Reserved】

機能:予約

アドレス:0x14 (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x15【AFC/GC\_CTRL】

機能:AFC /ゲイン制御設定

アドレス:0x15 (BANK1)

初期値:0x8E

Bit	ビット名	初期値	R/W	説明
7	PLL_AFC_EN	1	R/W	PLL-AFC 制御設定 0: PLL-AFC 無効にする 1: PLL-AFC 有効にする
6:4	Reserved	000	R/W	予約
3:0	GC_MODE [3:0]	1110	R/W	ゲイン制御モード設定 0001: HH ゲイン固定 0010: H ゲイン固定 0011: H⇔HH ゲイン遷移 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: M⇔H⇔HH ゲイン遷移 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: L⇔M⇔H⇔HH ゲイン遷移 上記以外: 予約

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x16【CRC\_POLY3】

機能: CRC 生成多項式設定 3

アドレス: 0x16 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	CRC_POLY [30:24]	000_0000	R/W	CRC 生成多項式設定

## 【説明】

1. 詳細は「CRC 機能」を参照してください。

## 0x17【CRC\_POLY2】

機能: CRC 生成多項式設定 2

アドレス: 0x17 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [23:16]	0000_0000	R/W	CRC 生成多項式設定

## 【説明】

1. 詳細は「CRC 機能」を参照してください。

## 0x18【CRC\_POLY1】

機能: CRC 生成多項式設定 1

アドレス: 0x18 (BANK1)

初期値: 0x08

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [15:8]	0000_1000	R/W	CRC 生成多項式設定

## 【説明】

1. 詳細は「CRC 機能」を参照してください。

## 0x19【CRC\_POLY0】

機能: CRC 生成多項式設定 0

アドレス: 0x19 (BANK1)

初期値: 0x10

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [7:0]	0001_0000	R/W	CRC 生成多項式設定

## 【説明】

1. 詳細は「CRC 機能」を参照してください。

## 0x1A【PLL\_DIV\_SET】

機能:PLL 周波数分周設定

アドレス:0x1A (BANK1)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	Reserved	0	R/W	予約
3:1	PLL_OUT_DIV[2:0]	001	R/W	PLL 出力分周設定 000: 1 倍 (2.4GHz 帯 VCO 選択) 001: 1/2 倍 010: 1/4 倍 上記以外: 予約
0	PLL_DIV_SEL	0	R/W	前置分周比設定 PLL 分周設定 0: 2 分周 (S=2) 1: 4 分周 (S=4) ※PLL 周波数関連のレジスタは「周波数設定機能」をご参照ください。

## 0x1B【TXFREQ\_I】

機能:送信周波数設定(I カウンタ)

アドレス:0x1B (BANK1)

初期値:0x13

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	TXFREQ_I [5:0]	01_0011	R/W	送信周波数設定 I カウンタ ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[TXFREQ\_I\_2G: B4 0x60]に設定してください。

## 0x1C【TXFREQ\_FH】

機能:送信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x1C (BANK1)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	TXFREQ_F [21:16]	0010	R/W	送信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[TXFREQ\_FH\_2G: B4 0x61]に設定してください。

## 0x1D【TXFREQ\_FM】

機能:送信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x1D (BANK1)

初期値:0xE6

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[15:8]	1110_0110	R/W	送信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[TXFREQ\_FM\_2G: B4 0x62]に設定してください。

## 0x1E【TXFREQ\_FL】

機能:送信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x1E (BANK1)

初期値:0x66

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[7:0]	0110_0110	R/W	送信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[TXFREQ\_FL\_2G: B4 0x63]に設定してください。

## 0x1F【RXFREQ\_I】

機能:受信周波数設定(I カウンタ)

アドレス:0x1F (BANK1)

初期値:0x13

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	RXFREQ_I[5:0]	01_0011	R/W	受信周波数設定 I カウンタ ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[RXFREQ\_I\_2G: B4 0x64]に設定してください。

## 0x20【RXFREQ\_FH】

機能:受信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x20 (BANK1)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	RXFREQ_F[21:16]	0010	R/W	受信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[RXFREQ\_FH\_2G: B4 0x65]に設定してください。

## 0x21【RXFREQ\_FM】

機能:受信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x21 (BANK1)

初期値:0xE6

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[15:8]	1110_0110	R/W	受信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[RXFREQ\_FM\_2G: B4 0x66]に設定してください。

## 0x22【RXFREQ\_FL】

機能:受信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x22 (BANK1)

初期値:0x66

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[7:0]	0110_0110	R/W	受信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 920.7MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. 2.4GHz 用設定は[RXFREQ\_FL\_2G: B4 0x67]に設定してください。



## 0x23【CH\_SPACE\_H】

機能:チャンネル間隔設定(上位バイト)

アドレス:0x23 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE[15:8]	0010_0010	R/W	チャンネル間隔設定(上位バイト) ※初期設定は 400kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。
2. 2.4GHz 用設定は[CH\_SPACE\_H\_2G: B4 0x68]に設定してください。

## 0x24【CH\_SPACE\_L】

機能:チャンネル間隔設定(下位バイト)

アドレス:0x24 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE[7:0]	0010_0010	R/W	チャンネル間隔設定(下位バイト) ※初期設定は 400kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。
2. 2.4GHz 用設定は[CH\_SPACE\_L\_2G: B4 0x69]に設定してください。

## 0x25【SYNC\_WORD\_LEN】

機能:同期ワード長設定

アドレス:0x25 (BANK1)

初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	SYNC_WORD_LEN[5:0]	01_0000	R/W	同期ワード長設定(設定範囲:2~32、単位:ビット) ※0b10_0000 以上の設定は、0b10_0000 として動作します。 ※0b00_0100 以下の設定は、送信/受信状態で異なり、以下となります。 (受信時) 0b00_0100 として動作します。 (送信時) 設定値に従います。

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x26【SYNC\_WORD\_EN】

機能:同期ワードイネーブル設定

アドレス:0x26 (BANK1)

初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3	SYNC_WORD_EN3	1	R/W	SYNC_WORD[31:24]イネーブル 0: 検出対象としない 1: 検出対象とする
2	SYNC_WORD_EN2	1	R/W	SYNC_WORD[23:16]イネーブル 0: 検出対象としない 1: 検出対象とする
1	SYNC_WORD_EN1	1	R/W	SYNC_WORD[15:8]イネーブル 0: 検出対象としない 1: 検出対象とする
0	SYNC_WORD_EN0	1	R/W	SYNC_WORD[7:0]イネーブル 0: 検出対象としない 1: 検出対象とする

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x27【SYNCWORD1\_SET0】

機能:同期ワードパターン設定 1(ビット 24～31)

アドレス:0x27 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[31:24]	0000_0000	R/W	同期ワードパターン設定 1

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x28【SYNCWORD1\_SET1】

機能:同期ワードパターン設定 1(ビット 16～23)

アドレス:0x28 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[23:16]	0000_0000	R/W	同期ワードパターン設定 1

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x29【SYNCWORD1\_SET2】

機能:同期ワードパターン設定 1(ビット 8～15)

アドレス:0x29 (BANK1)

初期値:0x90

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[15:8]	1001_0000	R/W	同期ワードパターン設定 1

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2A【SYNCWORD1\_SET3】

機能:同期ワードパターン設定 1(ビット 0～7)

アドレス:0x2A (BANK1)

初期値:0x4E

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[7:0]	0100_1110	R/W	同期ワードパターン設定 1

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2B【SYNCWORD2\_SET0】

機能:同期ワードパターン設定 2(ビット 24～31)

アドレス:0x2B (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[31:24]	0000_0000	R/W	同期ワードパターン設定 2

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2C【SYNCWORD2\_SET1】

機能:同期ワードパターン設定 2(ビット 16～23)

アドレス:0x2C (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[23:16]	0000_0000	R/W	同期ワードパターン設定 2

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2D【SYNCWORD2\_SET2】

機能:同期ワードパターン設定 2(ビット 8～15)

アドレス:0x2D (BANK1)

初期値:0x6F

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[15:8]	0110_1111	R/W	同期ワードパターン設定 2

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2E【SYNCWORD2\_SET3】

機能:同期ワードパターン設定 2(ビット 0～7)

アドレス:0x2E (BANK1)

初期値:0x4E

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[7:0]	0100_1110	R/W	同期ワードパターン設定 2

## 【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

## 0x2F【FSK\_CTRL】

機能: FSK 変調タイミング分解能設定

アドレス: 0x2F (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:4	BT_SEL	00	R/W	BT 選択設定 00: 係数任意設定([FSK_D0_H/GFIL0: B1 0x32]~[FSK_D0_H/GFIL6: B1 0x38])の値が有効となります) 01: BT=0.3 10: BT=0.4 上記以外: 予約
3:1	GFSK_CLKX	000	R/W	GFSK クロック設定 000: 1 倍クロック動作 001: 2 倍クロック動作 010: 4 倍クロック動作 100: 8 倍クロック動作 上記以外: 予約 ※データレートによっては設定可能値に制約があります。設定値については「初期設定レジスタ」をご参照ください。
0	FSK_CLK_SET	0	R/W	2FSK 時の変調タイミング分解能設定 0: 4MHz 分解能 MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])=0b0 ...FREF/12 MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])=0b1 ...FREF/6 1: 12MHz 分解能 MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])=0b0 ...FREF/4 MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])=0b1 ...FREF/2 ※上記の通り MSTR_CLK_SEL1 設定に応じて FREF により算出されます。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x30【GFSK\_DEV\_H】

機能: GFSK 時の周波数偏位設定(上位 6 ビット)

アドレス: 0x30 (BANK1)

初期値: 0x04

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	GFSK_DEV[13:8]	00_0100	R/W	GFSK 時の周波数偏位設定(上位バイト) ※初期設定は 50kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. 2.4GHz 用設定は[GFSK\_DEV\_H\_2G: B4 0x6A]に設定してください。

## 0x31【GFSK\_DEV\_L】

機能:GFSK 時の周波数偏位設定(下位バイト)

アドレス:0x31 (BANK1)

初期値:0x44

Bit	ビット名	初期値	R/W	説明
7:0	GFSK_DEV[7:0]	0100_0100	R/W	GFSK 時の周波数偏位設定(下位バイト) ※初期設定は 50kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. 2.4GHz 用設定は[GFSK\_DEV\_L\_2G: B4 0x6B]に設定してください。

## 0x32【FSK\_DEV0\_H/GFIL0】

機能:FSK 時の第 1 周波数偏位設定(上位 6 ビット)/GFSK 時のガウシアンフィルタ係数設定 0

アドレス:0x32 (BANK1)

初期値:0x24

Bit	ビット名	初期値	R/W	説明
7:6	GFIL0[7:6]	00	R/W	ガウシアンフィルタ係数設定 0(上位 2 ビット) ※初期設定はガウシアンフィルタ BT=0.5 設定です。
5:0	FSK_DEV0[13:8]/ GFIL0[5:0]	10_0100	R/W	FSK 時の第 1 周波数偏位設定(上位 6 ビット)/ ガウシアンフィルタ係数設定 0(下位 6 ビット) ※FSK 第 1 周波数偏位は[FSK_DEV0_L/GFIL1:B1 0x33]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x33【FSK\_DEV0\_L/GFIL1】

機能:FSK 時の第 1 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 1

アドレス:0x33 (BANK1)

初期値:0xD6

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV0[7:0]/ GFIL1[7:0]	1101_0110	R/W	FSK 時の第 1 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 1  ※FSK 第 1 周波数偏位は[FSK_DEV0_H/GFIL0:B1 0x32]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x34【FSK\_DEV1\_H/GFIL2】

機能:FSK 時の第 2 周波数偏位設定(上位バイト) /GFSK 時のガウシアンフィルタ係数設定 2

アドレス:0x34 (BANK1)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	FSK_DEV1[13:8]/ GFIL2[4:0]	01_1001	R/W	FSK 時の第 2 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 2  ※FSK 第 2 周波数偏位は[FSK_DEV1_L/GFIL3:B1 0x35]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x35【FSK\_DEV1\_L/GFIL3】

機能:FSK 時の第 2 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 3

アドレス:0x35 (BANK1)

初期値:0x29

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV1[7:0]/ GFIL3[5:0]	0010_1001	R/W	FSK 時の第 2 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 3  ※FSK 第 2 周波数偏位は[FSK_DEV1_H/GFIL2:B1 0x34]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x36【FSK\_DEV2\_H/GFIL4】

機能:FSK 時の第 3 周波数偏位設定(上位バイト) /GFSK 時のガウシアンフィルタ係数設定 4

アドレス:0x36 (BANK1)

初期値:0x3A

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	FSK_DEV2[13:8]/ GFIL4[5:0]	11_1010	R/W	FSK 時の第 3 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 4  ※FSK 第 3 周波数偏位は[FSK_DEV2_L/GFIL5:B1 0x37]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。



## 0x37【FSK\_DEV2\_L/GFIL5】

機能:FSK 時の第 3 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 5

アドレス:0x37 (BANK1)

初期値:0x48

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV2[7:0]/ GFIL5[6:0]	0100_1000	R/W	FSK 時の第 3 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 5  ※FSK 第 3 周波数偏位は[FSK_DEV2_H/GFIL4:B1 0x36]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x38【FSK\_DEV3\_H/GFIL6】

機能:FSK 時の第 4 周波数偏位設定(上位 6 ビット) /GFSK 時のガウシアンフィルタ係数設定 6

アドレス:0x38 (BANK1)

初期値:0x4C

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV3[13:8]/ GFIL6[7:0]	0100_1100	R/W	FSK 時の第 4 周波数偏位設定(上位 6 ビット) / ガウシアンフィルタ係数設定 6  ※FSK 第 4 周波数偏位は[FSK_DEV3_L:B1 0x39]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

## 0x39【FSK\_DEV3\_L】

機能:FSK 時の第 4 周波数偏位設定(下位バイト)

アドレス:0x39 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV3[7:0]	0000_0000	R/W	FSK 時の第 4 周波数偏位設定(下位バイト) ※[FSK_DEV3_H/GFIL6:B1 0x38]レジスタの 6 ビットと共に全 14 ビットから算出されます。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3A【FSK\_DEV4\_H】

機能:FSK 時の第 5 周波数偏位設定(上位バイト)

アドレス:0x3A (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	FSK_DEV4[13:8]	00_0000	R/W	FSK 時の第 5 周波数偏位設定(上位バイト) ※[FSK_DEV4_L:B1 0x3B]レジスタの 8 ビットと共に全 14 ビットから算出されます。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3B【FSK\_DEV4\_L】

機能:FSK 時の第 5 周波数偏位設定(下位バイト)

アドレス:0x3B (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV4[7:0]	0000_0000	R/W	FSK 時の第 5 周波数偏位設定(下位バイト) ※[FSK_DEV4_H:B1 0x3A]レジスタの 8 ビットと共に全 14 ビットから算出されます。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3C【FSK\_TIM\_ ADJ4】

機能:FSK 時の第 4 周波数偏位の保持時間設定

アドレス:0x3C (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ4[7:0]	0000_0000	R/W	FSK 時の第 4 周波数偏位保持時間

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3D【FSK\_TIM\_ ADJ3】

機能:FSK 時の第 3 周波数偏位の保持時間設定

アドレス:0x3D (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ3[7:0]	0000_0000	R/W	FSK 時の第 3 周波数偏位保持時間設定

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3E【FSK\_TIM\_ ADJ2】

機能:FSK 時の第 2 周波数偏位の保持時間設定

アドレス:0x3E (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ2[7:0]	0000_0000	R/W	FSK 時の第 2 周波数偏位保持時間設定

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x3F【FSK\_TIM\_ ADJ1】

機能:FSK 時の第 1 周波数偏位の保持時間設定

アドレス:0x3F (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ1[7:0]	0000_0000	R/W	FSK 時の第 1 周波数偏位保持時間設定

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x40【FSK\_TIM\_ ADJ0】

機能:FSK 時の周波数無偏位(キャリア周波数)の保持時間設定

アドレス:0x40 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ0[7:0]	0000_0000	R/W	FSK 時の周波数無偏位(キャリア周波数)保持時間

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

## 0x41【4FSK\_DATA\_MAP】

機能:4FSK 時のデータマッピング設定

アドレス:0x41 (BANK1)

初期値:0xE1

Bit	ビット名	初期値	R/W	説明
7:6	FSK4_FREQ3[1:0]	11	R/W	第 4 周波数偏位時のデータ設定 ※プラス側への最大周波数偏位時の設定です。
5:4	FSK4_FREQ2[1:0]	10	R/W	第 3 周波数偏位時のデータ設定
3:2	FSK4_FREQ1[1:0]	00	R/W	第 2 周波数偏位時のデータ設定
1:0	FSK4_FREQ0[1:0]	01	R/W	第 1 周波数偏位時のデータ設定 ※マイナス側への最大周波数偏位時の設定です。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. デフォルト値は Wireless M-Bus のデータマッピングとなっています。

## 0x42【FREQ\_ADJ\_H】

機能: 送信受信周波数微調整設定(上位バイト)

アドレス: 0x42 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	FREQ_ADJ_SIGN	0	R/W	送信受信周波数微調整の符号設定 0: マイナス 1: プラス
6:2	Reserved	0_0000	R	予約
1:0	FREQ_ADJ[9:8]	00	R/W	送信受信周波数微調整設定 (上位 2 ビット) ※[FREQ_ADJ_L:B1 0x43]レジスタの 8 ビットと共に全 10 ビットから算出されます。

## 【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

## 0x43【FREQ\_ADJ\_L】

機能: 送受信周波数調整設定(下位バイト)

アドレス: 0x43(BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	FREQ_ADJ[7:0]	0000_0000	R/W	送受信周波数微調整設定 (下位バイト) ※[FREQ_ADJ_H:B1 0x42]レジスタの 2 ビットと共に全 10 ビットから算出されます。

## 【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

## 0x44-0x47【Reserved】

機能: 予約

アドレス: 0x44-0x47(BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x48【2DIV\_MODE】

機能:アンテナダイバーシティモード設定

アドレス:0x48 (BANK1)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6	SYNC_CHK_OFF	0	R/W	アンテナダイバーシティ時同期検出設定 0: 同期検出を 2nd サーチ完了の条件とする 1: 同期検出を 2nd サーチ完了の条件としない
5	STHOLD_EN	0	R/W	アンテナダイバーシティサーチタイマホールド設定 0: プリアンブル相関閾値に応じて 1st サーチタイマを延長しない 1: プリアンブル相関閾値に応じて 1st サーチタイマを延長する
4	SEARCH_MODE	0	R/W	アンテナダイバーシティモード設定 0: アンテナダイバーシティ FAST モードを使用しない 1: アンテナダイバーシティ FAST モードを使用する ※FAST モード設定時、SEARCH_TIME1([2DIV_SEARCH1: B1 0x49(6-0)])での ANT サーチで取得した ED 値が[2DIV_FAST_LVL: B1 0x4B]を超えていた場合、以降のサーチはせず、ANT を確定します。
3	Reserved	0	R	予約
2:0	DIV_ED_AVG [2:0]	001	R/W	アンテナダイバーシティ時の ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均

## 【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

## 0x49【2DIV\_SEARCH1】

機能:アンテナダイバーシティサーチ時間設定

アドレス:0x49 (BANK1)

初期値:0x12

Bit	ビット名	初期値	R/W	説明
7	SEARCH_TIME_SET	0	R/W	アンテナダイバーシティサーチ時間分解能設定 0 : 16 $\mu$ s 1 : 256 $\mu$ s ※bit6-0 の SEARCH_TIME1 および[2DIV_SEARCH2]レジスタ bit6-0(SEARCH_TIME2)にて設定するダイバーシティサーチ時間の時間分解能を設定します。 ※基準となる 1 $\mu$ s は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(4)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(5)])の設定値を条件に下式から生成されます。 MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 $\cdots (1/\text{FREF}) \times 48$ MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 $\cdots (1/\text{FREF}) \times 52$ MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 $\cdots (1/\text{FREF}) \times 24$ MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 $\cdots (1/\text{FREF}) \times 26$
6:0	SEARCH_TIME1[6:0]	001_0010	R/W	アンテナダイバーシティサーチ時間設定 1 サーチ時間 = (設定値+1)×サーチ時間時間分解能 ※最初の同期検出までの ANT1 または ANT2 のサーチ時間を設定します。

## 【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

## 0x4A【2DIV\_SEARCH2】

機能:アンテナダイバーシティサーチ時間設定

アドレス:0x4A (BANK1)

初期値:0x13

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	SEARCH_TIME2[6:0]	001_0011	R/W	アンテナダイバーシティサーチ時間設定 2 サーチ時間 = 設定値×サーチ時間時間分解能 ※同期検出後、直前の ANT とは異なる ANT でのサーチ時間を設定します。

## 【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

## 0x4B【2DIV\_FAST\_LVL】

機能:アンテナダイバーシティ FAST モードの ED 閾値設定

アドレス:0x4B (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	2DIV_FAST_LVL[7:0]	0000_0000	R/W	アンテナダイバーシティ FAST モードの ED 閾値

## 0x4C【2DIV\_PB\_TH】

機能: アンテナダイバーシティサーチタイマホールド設定

アドレス: 0x4C (BANK1)

初期値: 0x06

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	2DIV_PB_TH[4:0]	0_0110	R/W	アンテナダイバーシティサーチタイマホールド時のプリアンプル検出関連 閾値設定

## 0x4D【VCO\_CAL\_MIN\_I】

機能: VCO キャリブレーション下限周波数設定(I カウンタ)

アドレス: 0x4D (BANK1)

初期値: 0x13

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	VCO_CAL_MIN_I[5:0]	01_0011	R/W	VCO キャリブレーション下限周波数設定 (I カウンタ)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. 2.4GHz 用設定は[VCO\_CAL\_MIN\_I\_2G: B4 0x72]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x4E【VCO\_CAL\_MIN\_FH】

機能: VCO キャリブレーション下限周波数設定(F カウンタ上位 4 ビット)

アドレス: 0x4E (BANK1)

初期値: 0x02

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	VCO_CAL_MIN_FH[19:16]	0010	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ上位 4 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. 2.4GHz 用設定は[VCO\_CAL\_MIN\_FH\_2G: B4 0x73]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。



## 0x4F【VCO\_CAL\_MIN\_FM】

機能:VCO キャリブレーション下限周波数設定(F カウンタ中位 8 ビット)

アドレス:0x4F (BANK1)

初期値:0x91

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[15:8]	1001_0001	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ中位 8 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. 2.4GHz 用設定は[VCO\_CAL\_MIN\_FM\_2G: B4 0x74]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x50【VCO\_CAL\_MIN\_FL】

機能:VCO キャリブレーション下限周波数設定(F カウンタ下位 8 ビット)

アドレス:0x50 (BANK1)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[7:0]	0001_0001	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ下位 8 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. 2.4GHz 用設定は[VCO\_CAL\_MIN\_FL\_2G: B4 0x75]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x51【VCO\_CAL\_MAX\_N】

機能: VCO キャリブレーション周波数範囲設定

アドレス: 0x51 (BANK1)

初期値: 0x05

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	VCO_CAL_MAX_N[3:0]	0101	R/W	<p>VCO キャリブレーション周波数範囲(下限周波数からの<math>\angle F</math>)</p> <p>[VCO キャリブレーション時]</p> <p>0000: 0MHz  0001: 0.75MHz  0010: 1.5MHz  0011: 3MHz  0100: 6 MHz  0101: 12 MHz  0110: 24MHz  上記以外: 設定禁止</p> <p>[運用時]</p> <p>0000: 0.75MHz  0001: 1.5MHz  0010: 3MHz  0011: 6MHz  0100: 12 MHz  0101: 24 MHz  0110: 48MHz  上記以外: 設定禁止  ※上記周波数は FREF =48MHz 時の値です。</p>

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. 2.4GHz 用設定は[VCO\_CAL\_MAX\_N\_2G: B4 0x76]に設定してください。

## 【ご注意】

1. VCO キャリブレーション範囲は、実際に運用する周波数範囲が完全に含まれるように設定してください。
2. 20MHz を超える範囲でのご利用は推奨致しません。

## 0x52【VCO\_FCAL\_MIN】

機能: 下限側 VCO 周波数キャリブレーション値表示と設定

アドレス: 0x52 (BANK1)

初期値: 0x80

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MIN[7:0]	1000_0000	R/W	<p>下限側 VCO 周波数キャリブレーション値</p> <p>※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。</p>

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x53【VCO\_FCAL\_MAX】

機能: 上限側 VCO 周波数キャリブレーション値表示と設定

アドレス: 0x53 (BANK1)

初期値: 0x80

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MAX[7:0]	1000_0000	R/W	上限側 VCO 周波数キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x54-0x55【Reserved】

機能: 予約

アドレス: 0x54-0x55 (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

0x56【DEM0D\_SET0】

機能:復調器設定 0

アドレス:0x56 (BANK1)

初期値:0x50

Bit	ビット名	初期値	R/W	説明
7	CHFIL_WIDE_SYNC	0	R/W	未同期時のチャンネルフィルタ広帯域設定 0: 常時に CHFIL_BW_ADJ で設定した帯域 1: 非同期時に CHFIL_BW_ADJ で設定した帯域の 2 倍帯域 同期時は CHFIL_BW_ADJ で設定した帯域
6	IQ_INV	1	R/W	IQ 反転機能 0: 反転しない 1: 反転する  ※2.4GHz 受信時以外は 0b0 に設定してください。
5	Reserved	0	R	予約
4	STR_LIM_ON	1	R/W	シンボルタイミングリカバリリミッタ設定 0: リミッタを OFF にする 1: リミッタを ON にする
3	STR_HOLD_ON	0	R/W	シンボルタイミングリカバリ設定 0: シンボルタイミング追従を常時行う 1: SFD 検出後シンボルタイミングを保持する
2	AFC_LIM_OFF	0	R/W	AFC リミッタ設定 0: AFC リミッタを ON にする 1: AFC リミッタを OFF にする
1	AFC_HOLD_ON	0	R/W	AFC モード設定 0: AFC を常時行う 1: SFD 検出後 AFC を保持する
0	AFC_OFF_EN	0	R/W	AFC 制御 0: AFC を行う 1: AFC を行わない

## 0x57【DEM0D\_SET1】

機能:復調器設定 1

アドレス:0x57 (BANK1)

初期値:0x04

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	DEM_FIL2[1:0]	00	R/W	復調器フィルタ設定 2 00: 平均なし 01: 2 回平均 10: 4 回平均 11: 8 回平均
3	Reserved	0	R	予約
2:0	DEM_FIL[2:0]	100	R/W	復調器フィルタ帯域幅設定(カットオフ周波数) FREF および MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])の設定値による計算式により下記フィルタ帯域幅に設定することができます。  000: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.06$ 001: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.07$ 010: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.08$ 011: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.09$ 100: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.10$ 101: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.13$ 110: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.15$ 111: $FREF/(2-MSTR\_CLK\_SEL1)/4 \times CHFIL\_BW\_setting \times 0.1668$  ※CHFIL BW setting は CHFIL_BW_ADJ[9:0]([CHFIL_BW_OPTION:B0 0x6B(5-4)], [CHFIL_BW: B0 0x54])または CHFIL_BW_ADJ_CCA[9:0]([CHFIL_BW_OPTION:B0 0x6B(7-6)], [CHFIL_BW_CCA: B0 0x6A])の設定値です。

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x58【DEM0D\_SET2】

機能:復調器設定 2

アドレス:0x58 (BANK1)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	DEM_GAIN[2:0]	010	R/W	復調器ゲイン設定 000: x0.125 001: x0.25 010: x0.5 011: x0.75 100: x1.0 101: x1.5 110: x2.0 111: x2.5

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x59【DEM0D\_SET3】

機能:復調器設定 3

アドレス:0x59 (BANK1)

初期値:0x1D

Bit	ビット名	初期値	R/W	説明
7:0	DEM_4FSK_TH[7:0]	0001_1101	R/W	4FSK 時間値設定

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x5A-0x5B【Reserved】

機能:予約

アドレス:0x5A-0x5B (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x5C【DEM0D\_SET6】

機能:復調器設定 6

アドレス:0x5C (BANK1)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:0	RXDEV_RANGE[7:0]	0010_0001	R/W	受信周波数偏位範囲設定 設定値 = 受信周波数偏位範囲[Hz]*512 / {FREF[Hz]/ (MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)]+1)/ 8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)]))}

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x5D【DEM0D\_SET7】

機能:復調器設定 7

アドレス:0x5D (BANK1)

初期値:0x14

Bit	ビット名	初期値	R/W	説明
7:0	AFC_LIM[7:0]	0001_0100	R/W	AFC 追従レンジ設定 設定値 = 設定追従レンジ[Hz]*1024 / {FREF [Hz]/ (MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)]+1)/ 8/CHFIL_BW_ADJ([CHFIL_BW_OPTION:B0 0x6B(5-4)], [CHFIL_BW: B0 0x54(6-0)]))} * 復調器ゲイン(DEM_GAIN([DEM0D_SET: B1 0x58(2-0)])) ※AFC_LIM_OFF([DEM0D_SET0: B1 0x56(2)])を 0b0 に設定した場合 本設定が有効となります。

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x5E【DEMOD\_SET8】

機能:復調器設定 8

アドレス:0x5E (BANK1)

初期値:0x03

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	PLL_AFC_SHIFT[2:0]	011	R/W	PLL-AFC 倍率調整設定 1

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x5F【DEMOD\_SET9】

機能:復調器設定 9

アドレス:0x5F (BANK1)

初期値:0xAB

Bit	ビット名	初期値	R/W	説明
7:0	PLL_AFC_CO[7:0]	1010_1011	R/W	PLL-AFC 倍率調整設定 2

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x60【DEMOD\_SET10】

機能:復調器設定 10

アドレス:0x60 (BANK1)

初期値:0x0C

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:5	Reserved	00	R	予約
4:0	STR_PB_LEN[4:0]	0_1100	R/W	復調器プリアンプル検出閾値設定

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x61【DEMOD\_SET11】

機能:復調器設定 11

アドレス:0x61 (BANK1)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	STR_PB_LEN_DIV[4:0]	0_1000	R/W	復調器プリアンプル検出閾値設定(ダイバーシティ時)

## 【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x62【ADDR\_CHK\_CTR\_H】

機能: アドレスチェックカウンタの表示(上位 3 ビット)

アドレス: 0x62 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	ADDR_CHK_CTR[10:8]	000	R	Field チェックでのアドレス不一致パケット数表示(上位 3 ビット) ※[ADDR_CHK_CTR_L: B1 0x63]レジスタの 8 ビットと共に全 11 ビットで表示します。 ※最大 2047 個までカウントできます。本レジスタをクリアする場合は、STATE_CLR4([STATE_CLR: B0 0x16(4)])のアドレスチェックカウンタクリアを実行してください。

## 【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

## 0x63【ADDR\_CHK\_CTR\_L】

機能: アドレスチェックカウンタの表示(下位バイト)

アドレス: 0x63 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	ADDR_CHK_CTR[7:0]	0000_0000	R	Field チェックでのアドレス不一致パケット数表示(下位バイト) ※詳細は、[ADDR_CHK_CTR_H: B1 0x62]をご参照ください。

## 【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

## 0x64【WHT\_INIT\_H】

機能: Whiteing 初期状態設定(上位 1 ビット)

アドレス: 0x64 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R	予約
0	WHT_INIT[8]	0	R/W	Whiteing 初期状態設定(上位 1 ビット)

## 【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。



## 0x65【WHT\_INIT\_L】

機能: Whiteing 初期状態設定( (下位バイト)

アドレス: 0x65 (BANK1)

初期値: 0xF0

Bit	ビット名	初期値	R/W	説明
7:0	WHT_INIT[7:0]	1111_0000	R/W	Whiteing 初期状態設定(下位バイト)

## 【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

## 0x66【WHT\_CFG】

機能: Whiteing 生成多項式設定

アドレス: 0x66 (BANK1)

初期値: 0x10

Bit	ビット名	初期値	R/W	説明
7:0	WHT_CFG[7:0]	0001_0000	R/W	Whiteing 生成多項式設定

## 【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

## 0x67-0x6C【Reserved】

機能: 予約

アドレス: 0x67-0x6C (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

0x6D【GPIO5\_CTRL】

機能: GPIO5 端子制御

アドレス:0x6D (BANK1)

初期値:0x05

Bit	ビット名	初期値	R/W	説明
7	GPIO5_INV	0	R/W	GPIO5 出力信号極性設定
6	GPIO5_OD	0	R/W	GPIO5 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO5_FORCEOUT	0	R/W	GPIO5 強制出力値設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO5_INV)の設定に影響されません。
4	GPIO5_FORCEOUTEN	0	R/W	GPIO5 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO5_FORCEOUT)に設定した値を出力する)
3:0	GPIO5_IO_CFG [3:0]	0101	R/W	GPIO5 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ (DIO) 0101: [出力]データクロック (DCLK) 0110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2 1010: [入力]外部低速クロック(32kHz)  ※0b1010 を設定する場合、他の GPIO と同時に外部低速クロック入力設定をしないようご注意ください。

0x6E-6F【Reserved】

機能: 予約

アドレス:0x6E-6F (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x70【DCDC\_CTRL】

機能: スイッチングレギュレータ制御

アドレス: 0x70 (BANK1)

初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	SLEEP_LOW_VDD	0	R/W	SLEEP 時 LOW_VDD モードイネーブル SLEEP 時 LOW_VDD モード使用 SLEEP 時以外スイッチングレギュレータ使用 0: ディセーブル 1: イネーブル
0	LOW_VDD_MODE	1	R/W	スイッチングレギュレータ低電圧動作モード設定 0: ディセーブル(DCDC ON) 1: イネーブル(DCDC OFF)※SLEEP_LOW_VDD =0b0 設定時のみ有効です。

## 0x71-0x73【Reserved】

機能: 予約

アドレス: 0x71-0x73 (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x74【VCO\_FCAL\_MIN\_2G】

機能: 下限側 VCO 周波数キャリブレーション値表示と設定(2.4GHz TX 用)

アドレス: 0x74 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MIN_2G[7:0]	0000_0000	R/W	下限側 VCO 周波数キャリブレーション値(2.4GHz TX 用) ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x75【VCO\_FCAL\_MAX\_2G】

機能: 上限側 VCO 周波数キャリブレーション値表示と設定(2.4GHz TX 用)

アドレス: 0x75 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MAX_2G[7:0]	0000_0000	R/W	上限側 VCO 周波数キャリブレーション値(2.4GHz TX 用) ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x76【VCO\_FCAL\_MIN\_2G\_RX】

機能: 下限側 VCO 周波数キャリブレーション値表示と設定(2.4GHz RX 用)

アドレス: 0x76 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MIN_2G[7:0]	0000_0000	R/W	下限側 VCO 周波数キャリブレーション値(2.4GHz RX 用) ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x77【VCO\_FCAL\_MAX\_2G\_RX】

機能: 上限側 VCO 周波数キャリブレーション値表示と設定(2.4GHz RX 用)

アドレス: 0x77 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	VCAL_MAX_2G[7:0]	0000_0000	R/W	上限側 VCO 周波数キャリブレーション値(2.4GHz RX 用) ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。

## 0x78-0x7A【Reserved】

機能: 予約

アドレス: 0x78-0x7A (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

初期値: 0x00

初期値: 0x00

初期値: 0x00

204

## 0x7E【Reserved】

機能: 予約

アドレス: 0x7E (BANK1)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x7F【ID\_CODE】

機能: ID コード表示

アドレス: 0x7F (BANK1)

初期値: 0xC0

Bit	ビット名	初期値	R/W	説明
7:0	ID[7:0]	1100_0000	R	ID コード

## ●レジスタ BANK2

0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

0x01-0x43【Reserved】

機能: 予約

アドレス: 0x01-0x43(BANK2)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

0x44【RF\_RESET】

機能: RF 初期化

アドレス: 0x44(BANK2)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	RF_RESET	0000_0000	R/W	RF 初期化制御 0000_0000: RF 初期化解除する 1000_1000: RF 初期化する 上記以外: 設定禁止

## 【説明】

1. 詳細はフローチャート項目の「電源投入時」及び「SLEEP」を参照してください。

0x45-0x72【Reserved】

機能: 予約

アドレス: 0x45-0x72(BANK2)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x73【RSSI\_ADJ\_H\_2G】

機能: 高ゲイン動作時の RSSI オフセット値設定(2.4GHz 用)

アドレス: 0x73 (BANK2)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_H_2G [6:0]	000_0000	R/W	高ゲイン動作時の RSSI オフセット値(2.4GHz 用)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x74【RSSI\_ADJ\_M\_2G】

機能: 中間ゲイン動作時の RSSI オフセット値設定(2.4GHz 用)

アドレス: 0x74 (BANK2)

初期値: 0x28

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_M_2G [6:0]	010_1000	R/W	中間ゲイン動作時の RSSI オフセット値(2.4GHz 用)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x75【RSSI\_ADJ\_L\_2G】

機能: 低ゲイン動作時の RSSI オフセット値設定(2.4GHz 用)

アドレス: 0x75 (BANK2)

初期値: 0x50

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_L_2G[6:0]	101_0000	R/W	低ゲイン動作時の RSSI オフセット値(2.4GHz 用)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。



## 0x76【GAIN\_HHTOH】

機能: 高高ゲインから高ゲインへの切り替え閾値設定

アドレス: 0x76 (BANK2)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HHTOH[7:0]	1000_1110	R/W	ゲイン切り替え閾値(高高ゲイン⇒高ゲイン)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_HTOHH]レジスタで設定される値の関係が、[GAIN\_HHTOH] > [GAIN\_HTOHH] の関係になるように設定してください。

## 0x77【GAIN\_HTOHH】

機能: 高ゲインから高高ゲインへの切り替え閾値設定

アドレス: 0x77 (BANK2)

初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HTOHH[7:0]	0011_0010	R/W	ゲイン切り替え閾値(高ゲイン⇒高高ゲイン)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_HHTOH]レジスタで設定される値の関係が、[GAIN\_HHTOH] > [GAIN\_HTOHH] の関係になるように設定してください。

**0x78【GAIN\_HTOM】**

機能: 高ゲインから中間ゲインへの切り替え閾値設定

アドレス: 0x78 (BANK2)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HTOM[7:0]	1000_1110	R/W	ゲイン切り替え閾値(高ゲイン⇒中間ゲイン)

**【説明】**

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

**【ご注意】**

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_HTOM]レジスタで設定される値の関係が、[GAIN\_HTOM] > [GAIN\_MTOH] の関係になるように設定してください。

**0x79【GAIN\_MTOH】**

機能: 中間ゲインから高ゲインへの切り替え閾値設定

アドレス: 0x79 (BANK2)

初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_MTOH [7:0]	0011_0010	R/W	ゲイン切り替え閾値(中間ゲイン⇒高ゲイン)

**【説明】**

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

**【ご注意】**

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_HTOM]レジスタで設定される値の関係が、[GAIN\_HTOM] > [GAIN\_MTOH] の関係になるように設定してください。

## 0x7A【GAIN\_MTOL】

機能: 高ゲインから低ゲインへの切り替え閾値設定

アドレス: 0x7A (BANK2)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_MTOL[7:0]	1000_1110	R/W	ゲイン切り替え閾値(中間ゲイン⇒低ゲイン)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_LTOM]レジスタで設定される値の関係が、[GAIN\_MTOL] > [GAIN\_LTOM] の関係になるように設定してください。

## 0x7B【GAIN\_LTOM】

機能: 低ゲインから中間ゲインへの切り替え閾値設定

アドレス: 0x7B (BANK2)

初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_LTOM[7:0]	0011_0010	R/W	ゲイン切り替え閾値(低ゲイン⇒中間ゲイン)

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN\_MTOL]レジスタで設定される値の関係が、[GAIN\_MTOL] > [GAIN\_LTOM] の関係になるように設定してください。

## 0x7C【RSSI\_ADJ\_H】

機能: 高ゲイン動作時の RSSI オフセット値設定

アドレス: 0x7C (BANK2)

初期値: 0x14

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_H[6:0]	001_0100	R/W	高ゲイン動作時の RSSI オフセット値

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。
2. 2.4GHz 用設定は[RSSI\_ADJ\_H\_2G: B2 0x73]に設定してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x7D【RSSI\_ADJ\_M】

機能: 中間ゲイン動作時の RSSI オフセット値設定

アドレス: 0x7D (BANK2)

初期値: 0x42

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_M[6:0]	100_0010	R/W	中間ゲイン動作時の RSSI オフセット値

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。
2. 2.4GHz 用設定は[RSSI\_ADJ\_M\_2G: B2 0x74]に設定してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x7E【RSSI\_ADJ\_L】

機能: 低ゲイン動作時の RSSI オフセット値設定

アドレス: 0x7E (BANK2)

初期値: 0x62

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_L[6:0]	110_0010	R/W	低ゲイン動作時の RSSI オフセット値

## 【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。
2. 2.4GHz 用設定は[RSSI\_ADJ\_L\_2G: B2 0x75]に設定してください。

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x7F【Reserved】

機能: 予約

アドレス: 0x7F (BANK2)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## ●レジスタ BANK3

0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

0x01-0x22【Reserved】

機能: 予約

アドレス: 0x01-0x22 (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

0x23【2MODE\_DET】

機能: ModeT/C 同時受信設定

アドレス: 0x23 (BANK3)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R	予約
0	2MODE_DET	0	R/W	ModeT/C(Wireless M-Bus)同時受信モード設定 0: Mode C パケットのみ受信する 1: ModeT と ModeC の両パケットを受信する ※RX_ON 状態での受信モード切替えは禁止です。受信モードを切替える場合、必ず TRX_OFF 状態にしてください。

0x24-0x30【Reserved】

機能: 予約

アドレス: 0x24-0x30 (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x31【DIF\_SET3】

機能: デジタル信号処理回路設定

アドレス: 0x31 (BANK3)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	IF_RES_SEL_FMAP	0	R/W	IF 分解能設定(FMAP 用) 0: 1 倍 1: 1/2 倍 ※デジタル信号処理回路の動作周波数が 3MHz 時 (DIF_FREQ_SEL=0b1 設定時)においても[IF_FREQ: B0 0x61]で説明 している IF 周波数に設定する際は、本レジスタを 0b1 にしてください。
4	IF_RES_SEL_DIF	0	R/W	IF 分解能設定(DDC 用) 0: 1 倍 1: 2 倍 ※デジタル信号処理回路の動作周波数が 3MHz 時 (DIF_FREQ_SEL=0b1 設定時)においても[IF_FREQ: B0 0x61]で説明 している IF 周波数に設定する際は、本レジスタを 0b1 にしてください。
3	Reserved	0	R	予約
2	DIF_FREQ_SEL	0	R/W	デジタル信号処理回路動作周波数選択設定 0: FREF/8 (48MHz 時 6MHz) 1: FREF/16 (48MHz 時 3MHz) ※FREF/16 設定は DIF_LP_MODE([DIF_SET3: B3 0x31(0)])=0b1 設定時 のみ有効です。
1	Reserved	0	R/W	予約
0	DIF_LP_MODE	0	R/W	デジタル信号処理回路動作モード 0: 通常モード 1: 低消費電力モード

## 0x32-0x40【Reserved】

機能: 予約

アドレス: 0x32-0x40 (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x41【RAMP\_CTRL1】

機能:PA ランプ制御設定 1

アドレス:0x41 (BANK3)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	RAMP_CLK_STEP	0	R/W	ランプ制御基準クロック周期設定 0: $(1/F_{REF}) \times$ $(MSTR\_CLK\_SEL1([CLK\_SET2: B0\ 0x02(5)]+1) \times 2)$ (12MHz) 1: $(1/F_{REF}) \times$ $(MSTR\_CLK\_SEL1([CLK\_SET2: B0\ 0x02(5)]+1) \times 32)$ (12MHz の 16 分周) ※括弧内の数値は $F_{REF}=48\text{MHz}$ 時の値です。
1:0	RAMP_INC [1:0]	00	R/W	ランプ制御カウンタインクリメント設定 00: 1 01: 2 10: 4 11: 8 ※9 ビットカウンタ(0~511)において、設定数に従いインクリメントまたはデクリメント数を変更することにより、ランプアップ/ダウン時間を制御します。

## 【説明】

1. 詳細は、「ランプ制御機能」を参照してください。
2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x42【RAMP\_CTRL2】

機能:PA ランプ制御設定 2

アドレス:0x42 (BANK3)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RAMP_CLK_SET_R [6:0]	000_0001	R/W	ランプアップ時のクロック周波数設定  ランプアップ時間 = ランプ制御基準クロック周期 (RAMP_CLK_STEP[RAMP_CTRL1: B3 0x41(2)]) * 設定値 * [PA_REG_ADJ_H/L: B0 0x67/68] / ランプ制御インクリメント設定(RAMP_INC[RAMP_CTRL1: B3 0x41(1-0)])

## 【説明】

1. 詳細は、「ランプ制御機能」を参照してください。
2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x43【RAMP\_CTRL3】

機能:PA ランプ制御設定 3

アドレス:0x43 (BANK3)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RAMP_CLK_SET_F[6:0]	000_0001	R/W	ランプダウン時のクロック周波数設定  ランプダウン時間 = ランプ制御基準クロック周期 (RAMP_CLK_STEP[RAMP_CTRL1: B3 0x41(2)]) * 設定値 * [PA_REG_ADJ_H/L: B0 0x67/68] / ランプ制御インクリメント設定(RAMP_INC[RAMP_CTRL1: B3 0x41(1-0)])

## 【説明】

1. 詳細は、「ランプ制御機能」を参照してください。
2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

## 0x44 【LOWBAT\_DET\_CTRL1】

機能:ローバッテリー検出制御 1(上位バイト)

アドレス:0x44 (BANK3)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	LOWBAT_DET_EN	0	R/W	ローバッテリー検出イネーブル設定 0: ディセーブル 1: イネーブル ※検出完了後、自動で 0b0 に戻ります。
3:1	Reserved	0_0000	R	予約
0	LOWBAT_DET_DISP[8]	0	R	バッテリー値表示  残電圧[V] = LDO_XO 端子電圧 × バッテリー表示値 / 511 × 3 - 0.1  ※LDO_XO 電圧から生成される閾値電圧が 3V 系電源(VDD_BIAS)の 1/3 電圧を超えたときの閾値電圧値を表示します。 ※ローバッテリー検出中に閾値電圧が 3V 系電源(VDD_BIAS)の 1/3 電圧を超えなかった場合、0x000 を表示します。 ※バッテリー表示値の分解能は 8.2mV(Typ)です。 ※LDO_XO 端子電圧は Typ 1.4V ですが、電圧値がずれていた場合、その分残電圧もずれます。

## 0x45 【LOWBAT\_DET\_CTRL2】

機能:ローバッテリー検出制御 2(下位バイト)

アドレス:0x45 (BANK3)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	LOWBAT_DET_DISP [7:0]	0000_0000	R	バッテリー値表示(下位バイト)



## 0x46-0x4F【Reserved】

機能: 予約

アドレス: 0x46-0x4F (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x50【EXT\_WU\_CTRL】

機能: 外部ウェイクアップ制御設定

アドレス: 0x50 (BANK3)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	INT_CLR_WU_EN	0	R/W	ウェイクアップ時の割込みクリア設定 0: ディセーブル 1: イネーブル
0	EXT_WU_EN	0	R/W	外部ウェイクアップイネーブル 0: ディセーブル 1: イネーブル ※0b1 設定時、GPIO0～5 端子から入力した信号の立上りエッジを検出し、SLEEP 状態から IDLE 状態に遷移(ウェイクアップ)します。ここで、ウェイクアップ動作は[EXT_WU_INTERVAL: B3 0x51]設定値に 1 回ウェイクアップします。

## 0x51【EXT\_WU\_INTERVAL】

機能: 外部ウェイクアップインターバル設定

アドレス: 0x51 (BANK3)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	EXT_WU_INTERVAL [6:0]	000_0000	R/W	外部ウェイクアップインターバル設定 ※EXT_WU_EN([EXT_WU_CTRL: B3 0x50(0)])=0b1 設定時、設定値のうち 1 回ウェイクアップします。

## 0x52-0x61【Reserved】

機能: 予約

アドレス: 0x52-0x61 (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

0x62【PLL\_FCAL\_MODE】

機能:VCO 周波数キャリブレーションモード設定  
アドレス:0x62 (BANK3)  
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R/W	予約
1	VCO_FCAL_MODE	0	R/W	VCO 周波数キャリブレーションモード設定 0: 高速キャリブレーションモード 1: 高精度キャリブレーションモード
0	Reserved	0	R/W	予約

0x63-0x65【Reserved】

機能:予約  
アドレス:0x63-0x65 (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## 0x66【VCO\_ACC\_CTRL】

機能:PLL ロック外れ検出時の VCO 常時補正制御

アドレス:0x66(BANK3)

初期値:0x81

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	1_0000	R/W	予約
2	VCO_ACC_TX_EN	0	R/W	PLL ロック外れ検出時の TX 自動 VCO 常時補正制御 0: ディセーブル 1: イネーブル ※VCO_ACC_EN=0b1 設定時のみ有効です。
1	VCO_ACC_RX_EN	0	R/W	PLL ロック外れ検出時の RX 自動 VCO 常時補正制御 0: ディセーブル 1: イネーブル ※VCO_ACC_EN=0b1 設定時のみ有効です。
0	VCO_ACC_EN	1	R/W	PLL ロック外れ検出時の VCO 常時補正制御イネーブル 0: ディセーブル 1: イネーブル

## 0x67-0x7F【Reserved】

機能:予約

アドレス:0x67-0x7F (BANK3)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

## ●レジスタ BANK4

## 0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

## 0x01【C\_CHECK\_CTRL】

機能:コントロールフィールド検出設定

アドレス:0x01 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CA_RXD_CLR	0	R/W	Field 不一致時の受信データ処理設定 0: 受信データを破棄しない 1: 受信データを破棄する ※0b1 設定かつ CA_INT_CTRL[(C_CHECK_CTRL: B4 0x01(6))]=0b1 設定時、不一致検出後直ちに受信データを破棄し、次パケット受信待ちを行います
6	CA_INT_CTRL	0	R/W	Field チェック割込み設定 0: 一致時に割込みを通知する 1: 不一致時に割込みを通知する ※Field チェック不一致時に受信データを破棄する場合、本設定を 0b1 に設定してください。
5	Reserved	0	R	予約
4	C_FIELD_CODE5_EN	0	R/W	コントロールフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする ※受信したコントロールフィールドデータが C_FIELD_CODE5 と一致した場合、他のフィールドデータ(マニファクチャID フィールド/アドレスフィールド)が不一致であった場合でも Field チェック結果は一致となります。
3	C_FIELD_CODE4_EN	0	R/W	コントロールフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	C_FIELD_CODE3_EN	0	R/W	コントロールフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	C_FIELD_CODE2_EN	0	R/W	コントロールフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	C_FIELD_CODE1_EN	0	R/W	コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[C\_CHECK\_CTRL: B0 0x1B]とレジスタを共用しています。

## 0x02【M\_CHECK\_CTRL】

機能: マニファクチャーマニファクチャードフィールド検出設定

アドレス: 0x02 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	RCV_CONT_SEL[1:0]	00	R/W	動作継続タイマ満了時の受信継続条件設定 00: SyncWord 検出割込み発生時に受信継続する 01: Field チェック割込み発生時に受信継続する 10: 受信同期確立状態時に受信継続する 11: 予約
3	M_FIELD_CODE4_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	M_FIELD_CODE3_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	M_FIELD_CODE2_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	M_FIELD_CODE1_EN	0	R/W	マニファクチャーマニファクチャードフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[M\_CHECK\_CTRL: B0 0x1C]とレジスタを共用しています。

## 0x03【A\_CHECK\_CTRL1】

機能: アドレスフィールド検出設定

アドレス: 0x03 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	A_FIELD_CODE10_EN	0	R/W	アドレスフィールドパターン 10 チェックイネーブル 0: チェックしない 1: チェックする
0	A_FIELD_CODE9_EN	0	R/W	アドレスフィールドパターン 9 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[A\_CHECK\_CTRL: B0 0x1D]とレジスタを共用しています。

## 0x04【A\_CHECK\_CTRL2】

機能:アドレスフィールド検出設定

アドレス:0x04 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	A_FIELD_CODE8_EN	0	R/W	アドレスフィールドパターン 8 チェックイネーブル 0: チェックしない 1: チェックする
6	A_FIELD_CODE7_EN	0	R/W	アドレスフィールドパターン 7 チェックイネーブル 0: チェックしない 1: チェックする
5	A_FIELD_CODE6_EN	0	R/W	アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A_FIELD_CODE5_EN	0	R/W	アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A_FIELD_CODE4_EN	0	R/W	アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A_FIELD_CODE3_EN	0	R/W	アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A_FIELD_CODE2_EN	0	R/W	アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A_FIELD_CODE1_EN	0	R/W	アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。
3. 本レジスタは[A\_CHECK\_CTRL: B0 0x1D]とレジスタを共用しています。

## 0x05【C\_FIELD\_CODE1】

機能:コントロールフィールド設定(コード#1)

アドレス:0x05 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE1[7:0]	0000_0000	R/W	C-field 設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE1: B0 0x1E]とレジスタを共用しています。

## 0x06【C\_FIELD\_CODE2】

機能:コントロールフィールド設定(コード#2)

アドレス:0x06 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE2[7:0]	0000_0000	R/W	C-field 設定 コード#2

## 【説明】

1. 詳細な使い方は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE2: B0 0x1F]とレジスタを共用しています。

## 0x07【C\_FIELD\_CODE3】

機能:コントロールフィールド設定(コード#3)

アドレス:0x07 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE3[7:0]	0000_0000	R/W	C-field 設定 コード#3

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE3: B0 0x20]とレジスタを共用しています。

## 0x08【C\_FIELD\_CODE4】

機能:コントロールフィールド設定(コード#4)

アドレス:0x08 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE4[7:0]	0000_0000	R/W	C-field 設定 コード#4

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE4: B0 0x21]とレジスタを共用しています。

## 0x09【C\_FIELD\_CODE5】

機能:コントロールフィールド設定(コード#5)

アドレス:0x09 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE5[7:0]	0000_0000	R/W	C-field 設定 コード#5

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[C\_FIELD\_CODE5: B0 0x22]とレジスタを共用しています。

## 0x0A【M\_FIELD\_CODE1】

機能:マニファクチャーマニファクチャID 1st バイト設定(コード#1)

アドレス:0x0A (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE1[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE1: B0 0x23]とレジスタを共用しています。

## 0x0B【M\_FIELD\_CODE2】

機能:マニファクチャーマニファクチャID 1st バイト設定(コード#2)

アドレス:0x0B (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE2[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#2

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE2: B0 0x24]とレジスタを共用しています。

## 0x0C【M\_FIELD\_CODE3】

機能:マニファクチャーマニファクチャID 2nd バイト設定(コード#1)

アドレス:0x0C (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE3[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#1

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE3: B0 0x25]とレジスタを共用しています。



## 0x0D【M\_FIELD\_CODE4】

機能: マニファクチャ ID 2nd バイト設定(コード#2)

アドレス: 0x0D (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE4[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#2

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[M\_FIELD\_CODE4: B0 0x26]とレジスタを共用しています。

## 0x0E【A\_FIELD\_CODE1】

機能: アドレスフィールド 1st バイト設定(1 バイト目)

アドレス: 0x0E (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE1[7:0]	0000_0000	R/W	A-field 設定(1 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE1: B0 0x27]とレジスタを共用しています。

## 0x0F【A\_FIELD\_CODE2】

機能: アドレスフィールド 2nd バイト設定

アドレス: 0x0F (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE2[7:0]	0000_0000	R/W	A-field 設定(2 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE2: B0 0x28]とレジスタを共用しています。

## 0x10【A\_FIELD\_CODE3】

機能: アドレスフィールド 3rd バイト設定

アドレス: 0x10 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE3[7:0]	0000_0000	R/W	A-field 設定(3 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE3: B0 0x29]とレジスタを共用しています。

## 0x11【A\_FIELD\_CODE4】

機能:アドレスフィールド 4th バイト設定

アドレス:0x11 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE4[7:0]	0000_0000	R/W	A-field 設定(4 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE4: B0 0x2A]とレジスタを共用しています。

## 0x12【A\_FIELD\_CODE5】

機能:アドレスフィールド 5th バイト設定

アドレス:0x12 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE5[7:0]	0000_0000	R/W	A-field 設定(5 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE5: B0 0x2B]とレジスタを共用しています。

## 0x13【A\_FIELD\_CODE6】

機能:アドレスフィールド 6th バイト設定

アドレス:0x13 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE6[7:0]	0000_0000	R/W	A-field 設定(6 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. 本レジスタは[A\_FIELD\_CODE6: B0 0x2C]とレジスタを共用しています。

## 0x14【A\_FIELD\_CODE7】

機能:アドレスフィールド 7th バイト設定

アドレス:0x14 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE7[7:0]	0000_0000	R/W	A-field 設定(7 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x15【A\_FIELD\_CODE8】

機能:アドレスフィールド 8th バイト設定

アドレス:0x15 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE8[7:0]	0000_0000	R/W	A-field 設定(8 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x16【A\_FIELD\_CODE9】

機能:アドレスフィールド 9th バイト設定

アドレス:0x16 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE9[7:0]	0000_0000	R/W	A-field 設定(9 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x17【A\_FIELD\_CODE10】

機能:アドレスフィールド 10th バイト設定

アドレス:0x17 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE10[7:0]	0000_0000	R/W	A-field 設定(10 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x18-0x1F【Reserved】

機能:予約

アドレス:0x18-0x1F (BANK4)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x20【CMA2\_CHECK\_CTRL1】

機能: アドレスフィールド 2 検出設定 1

アドレス: 0x20 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6	M2_FIELD_CODE2_EN	0	R/W	マニファクチャード ID フィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
5	M2_FIELD_CODE1_EN	0	R/W	マニファクチャード ID フィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする
4	C2_FIELD_CODE_EN	0	R/W	コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする
3:2	Reserved	00	R	予約
1	A2_FIELD_CODE10_EN	0	R/W	アドレスフィールドパターン 10 チェックイネーブル 0: チェックしない 1: チェックする
0	A2_FIELD_CODE9_EN	0	R/W	アドレスフィールドパターン 9 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

## 0x21【CMA2\_CHECK\_CTRL2】

機能:アドレスフィールド 2 検出設定 2

アドレス:0x21 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	A2_FIELD_CODE8_EN	0	R/W	アドレスフィールドパターン 8 チェックイネーブル 0: チェックしない 1: チェックする
6	A2_FIELD_CODE7_EN	0	R/W	アドレスフィールドパターン 7 チェックイネーブル 0: チェックしない 1: チェックする
5	A2_FIELD_CODE6_EN	0	R/W	アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A2_FIELD_CODE5_EN	0	R/W	アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A2_FIELD_CODE4_EN	0	R/W	アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A2_FIELD_CODE3_EN	0	R/W	アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A2_FIELD_CODE2_EN	0	R/W	アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A2_FIELD_CODE1_EN	0	R/W	アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

## 0x22【C2\_FIELD\_CODE1】

機能:コントロールフィールド 2 設定

アドレス:0x22(BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C2_FIELD_CODE1[7:0]	0000_0000	R/W	C-field2 設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x23【M2\_FIELD\_CODE1】

機能: マニファクチャード ID2 1st バイト設定

アドレス: 0x23 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M2_FIELD_CODE1[7:0]	0000_0000	R/W	M-field2 1st バイト設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x24【M2\_FIELD\_CODE2】

機能: マニファクチャード ID2 2nd バイト設定

アドレス: 0x24 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M2_FIELD_CODE2[7:0]	0000_0000	R/W	M-field2 2nd バイト設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x25【A2\_FIELD\_CODE1】

機能: アドレスフィールド 2 1st バイト設定

アドレス: 0x25 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE1[7:0]	0000_0000	R/W	A-field2 設定(1 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x26【A2\_FIELD\_CODE2】

機能: アドレスフィールド 2 2nd バイト設定

アドレス: 0x26 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE2[7:0]	0000_0000	R/W	A-field2 設定(2 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x27【A2\_FIELD\_CODE3】

機能:アドレスフィールド 2 3rd バイト設定

アドレス:0x27 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE3[7:0]	0000_0000	R/W	A-field2 設定(3 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x28【A2\_FIELD\_CODE4】

機能:アドレスフィールド 2 4th バイト設定

アドレス:0x28 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE4[7:0]	0000_0000	R/W	A-field2 設定(4 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x29【A2\_FIELD\_CODE5】

機能:アドレスフィールド 5th バイト設定

アドレス:0x29 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE5[7:0]	0000_0000	R/W	A-field2 設定(5 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x2A【A2\_FIELD\_CODE6】

機能:アドレスフィールド 6th バイト設定

アドレス:0x2A (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE6[7:0]	0000_0000	R/W	A-field2 設定(6 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x2B【A2\_FIELD\_CODE7】

機能:アドレスフィールド 7th バイト設定

アドレス:0x2B (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE7[7:0]	0000_0000	R/W	A-field2 設定(7 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x2C【A2\_FIELD\_CODE8】

機能:アドレスフィールド 8th バイト設定

アドレス:0x2C (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE8[7:0]	0000_0000	R/W	A-field2 設定(8 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x2D【A2\_FIELD\_CODE9】

機能:アドレスフィールド 9th バイト設定

アドレス:0x2D (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE9[7:0]	0000_0000	R/W	A-field2 設定(9 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x2E【A2\_FIELD\_CODE10】

機能:アドレスフィールド 10th バイト設定

アドレス:0x2E (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A2_FIELD_CODE10 [7:0]	0000_0000	R/W	A-field2 設定(10 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。



## 0x2F【Reserved】

機能:

アドレス:0x2F (BANK4)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x30【CMA3\_CHECK\_CTRL1】

機能:アドレスフィールド 3 検出設定 1

アドレス:0x30 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6	M3_FIELD_CODE2_EN	0	R/W	マニファクチャード ID フィールド 3 パターン 2 チェックイネーブル 0: チェックしない 1: チェックする
5	M3_FIELD_CODE1_EN	0	R/W	マニファクチャード ID フィールド 3 パターン 1 チェックイネーブル 0: チェックしない 1: チェックする
4	C3_FIELD_CODE_EN	0	R/W	コントロールフィールド 3 パターン チェックイネーブル 0: チェックしない 1: チェックする
3:2	Reserved	00	R	予約
1	A3_FIELD_CODE10_EN	0	R/W	アドレスフィールド 3 パターン 10 チェックイネーブル 0: チェックしない 1: チェックする
0	A3_FIELD_CODE9_EN	0	R/W	アドレスフィールド 3 パターン 9 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

## 0x31【CMA3\_CHECK\_CTRL2】

機能:アドレスフィールド 3 検出設定 2

アドレス:0x31 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	A3_FIELD_CODE8_EN	0	R/W	アドレスフィールド 3 パターン 8 チェックイネーブル 0: チェックしない 1: チェックする
6	A3_FIELD_CODE7_EN	0	R/W	アドレスフィールド 3 パターン 7 チェックイネーブル 0: チェックしない 1: チェックする
5	A3_FIELD_CODE6_EN	0	R/W	アドレスフィールド 3 パターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A3_FIELD_CODE5_EN	0	R/W	アドレスフィールド 3 パターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A3_FIELD_CODE4_EN	0	R/W	アドレスフィールド 3 パターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A3_FIELD_CODE3_EN	0	R/W	アドレスフィールド 3 パターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A3_FIELD_CODE2_EN	0	R/W	アドレスフィールド 3 パターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A3_FIELD_CODE1_EN	0	R/W	アドレスフィールド 3 パターン 1 チェックイネーブル 0: チェックしない 1: チェックする

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO\_CTRL[DIO\_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

## 0x32【C3\_FIELD\_CODE1】

機能:コントロールフィールド 3 設定

アドレス:0x32(BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C3_FIELD_CODE1[7:0]	0000_0000	R/W	C-field3 設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x33【M3\_FIELD\_CODE1】

機能: マニファクチャード 1st バイト設定

アドレス: 0x33 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M3_FIELD_CODE1[7:0]	0000_0000	R/W	M-field3 1st バイト設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x34【M3\_FIELD\_CODE2】

機能: マニファクチャード 1st バイト設定

アドレス: 0x34 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M3_FIELD_CODE2[7:0]	0000_0000	R/W	M-field3 2nd バイト設定

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x35【A3\_FIELD\_CODE1】

機能: アドレスフィールド 3 1st バイト設定

アドレス: 0x35 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE1[7:0]	0000_0000	R/W	A-field3 設定(1 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x36【A3\_FIELD\_CODE2】

機能: アドレスフィールド 3 2nd バイト設定

アドレス: 0x36 (BANK4)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE2[7:0]	0000_0000	R/W	A-field3 設定(2 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x37【A3\_FIELD\_CODE3】

機能:アドレスフィールド 3 3rd バイト設定

アドレス:0x37 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE3[7:0]	0000_0000	R/W	A-field3 設定(3 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x38【A3\_FIELD\_CODE4】

機能:アドレスフィールド 3 4th バイト設定

アドレス:0x38 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE4[7:0]	0000_0000	R/W	A-field3 設定(4 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x39【A3\_FIELD\_CODE5】

機能:アドレスフィールド 3 5th バイト設定

アドレス:0x39 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE5[7:0]	0000_0000	R/W	A-field3 設定(5 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3A【A3\_FIELD\_CODE6】

機能:アドレスフィールド 6th バイト設定

アドレス:0x3A (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE6[7:0]	0000_0000	R/W	A-field 設定(6 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3B【A3\_FIELD\_CODE7】

機能:アドレスフィールド 3 7th バイト設定

アドレス:0x3B (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE7[7:0]	0000_0000	R/W	A-field3 設定(7 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3C【A3\_FIELD\_CODE8】

機能:アドレスフィールド 3 8th バイト設定

アドレス:0x3C (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE8[7:0]	0000_0000	R/W	A-field3 設定(8 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3D【A3\_FIELD\_CODE9】

機能:アドレスフィールド 3 9th バイト設定

アドレス:0x3D (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE9[7:0]	0000_0000	R/W	A-field3 設定(9 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3E【A3\_FIELD\_CODE10】

機能:アドレスフィールド 3 10th バイト設定

アドレス:0x3E (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A3_FIELD_CODE10 [7:0]	0000_0000	R/W	A-field3 設定(10 バイト目)

## 【説明】

1. 詳細は「Field チェック機能」を参照してください。

## 0x3F-0x5F【Reserved】

機能:予約

アドレス:0x3F-0x5F (BANK4)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x60【TXFREQ\_I\_2G】

機能:2.4GHz 用送信周波数設定(I カウンタ)

アドレス:0x60 (BANK4)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	TXFREQ_I_2G[5:0]	01_1001	R/W	2.4GHz 用送信周波数設定 I カウンタ ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[TXFREQ\_I: B1 0x1B]に設定してください。

## 0x61【TXFREQ\_FH\_2G】

機能:2.4GHz 用送信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x61 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	TXFREQ_F_2G [19:16]	0000	R/W	2.4GHz 用送信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[TXFREQ\_FH: B1 0x1C]に設定してください。

## 0x62【TXFREQ\_FM\_2G】

機能:2.4GHz 用送信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x62 (BANK4)

初期値:0xD5

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F_2G[15:8]	1101_0101	R/W	2.4GHz 用送信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[TXFREQ\_FM: B1 0x1D]に設定してください。

## 0x63【TXFREQ\_FL\_2G】

機能:2.4GHz 用送信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x63 (BANK4)

初期値:0x55

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F_2G [7:0]	0101_0101	R/W	2.4GHz 用送信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[TXFREQ\_FL: B1 0x1E]に設定してください。

## 0x64【RXFREQ\_I\_2G】

機能:2.4GHz 用受信周波数設定(I カウンタ)

アドレス:0x64 (BANK4)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	RXFREQ_I_2G [5:0]	01_1001	R/W	2.4GHz 用受信周波数設定 I カウンタ ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[RXFREQ\_I: B1 0x1F]に設定してください。

## 0x65【RXFREQ\_FH\_2G】

機能:2.4GHz 用受信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x65 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	RXFREQ_F_2G [19:16]	0000	R/W	2.4GHz 用受信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[RXFREQ\_FH: B1 0x20]に設定してください。

## 0x66【RXFREQ\_FM\_2G】

機能:2.4GHz 用受信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x66 (BANK4)

初期値:0xD5

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F_2G[15:8]	1101_0101	R/W	受信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[RXFREQ\_FM: B1 0x21]に設定してください。

## 0x67【RXFREQ\_FL\_2G】

機能:2.4GHz 用受信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x67 (BANK4)

初期値:0x55

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F_2G[7:0]	0101_0101	R/W	2.4GHz 用受信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 2405MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。
2. サブ GHz 用設定は[RXFREQ\_FL: B1 0x22]に設定してください。



## 0x68【CH\_SPACE\_H\_2G】

機能:2.4GHz 用チャンネル間隔設定(上位バイト)

アドレス:0x68 (BANK4)

初期値:0x2A

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE_2G[15:8]	0010_1010	R/W	2.4GHz 用チャンネル間隔設定(上位バイト) ※初期設定は 1MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。
2. サブ GHz 用設定は[CH\_SPACE\_H: B1 0x23]に設定してください。

## 0x69【CH\_SPACE\_L\_2G】

機能:2.4GHz 用チャンネル間隔設定(下位バイト)

アドレス:0x69 (BANK4)

初期値:0xAA

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE_2G[7:0]	1010_1010	R/W	2.4GHz 用チャンネル間隔設定(下位バイト) ※初期設定は 1MHz となります。

## 【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。
2. サブ GHz 用設定は[CH\_SPACE\_L: B1 0x24]に設定してください。

## 0x6A【GFSK\_DEV\_H\_2G】

機能:2.4GHz 用 GFSK 時の周波数偏位設定(上位 6 ビット)

アドレス:0x6A (BANK4)

初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	GFSK_DEV_2G[13:8]	00_0010	R/W	2.4GHz 用 GFSK 時の周波数偏位設定(上位バイト) ※初期設定は 50kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. サブ GHz 用設定は[GFSK\_DEV\_H: B1 0x30]に設定してください。

## 0x6B【GFSK\_DEV\_L\_2G】

機能:2.4GHz 用 GFSK 時の周波数偏位設定(下位バイト)

アドレス:0x6B (BANK4)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	GFSK_DEV_2G[7:0]	0010_0010	R/W	2.4GHz 用 GFSK 時の周波数偏位設定(下位バイト) ※初期設定は 50kHz となります。

## 【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. サブ GHz 用設定は[GFSK\_DEV\_L: B1 0x31]に設定してください。

## 0x6C【PA\_REG\_ADJ\_2G】

機能:2.4GHz 用 PA レギュレータ出力電圧調整

アドレス:0x6C (BANK4)

初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7	PA_REG_ADJ_SEL_2G	0	R/W	2.4GHz 用 PA レギュレータの出力電圧調整イネーブル設定 0: ディセーブル 1: イネーブル ※調整時のみ 0b1 に設定してください。0b1 設定時、 PA_REG_ADJ_2G[4:0]にて PA レギュレータ出力電圧が可能になります。
6:5	Reserved	00	R	予約
4:0	PA_REG_ADJ_2G[4:0]	0_1111	R/W	2.4GHz 用 PA レギュレータの出力電圧調整設定

## 【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。
2. サブ GHz 用設定は[PA\_REG\_ADJ\_H/L: B0 0x67/68]に設定してください。

## 0x6D【IQ\_MAG\_ADJ\_H\_2G】

機能:2.4GHz 用 IF の IQ 振幅バランス調整(上位 4 ビット)

アドレス:0x6D (BANK4)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0	R	予約
3:0	IQ_MAG_ADJ_2G[11:8]	1000	R/W	2.4GHz 用 IQ 信号の振幅調整設定(上位 4 ビット) ※[IQ_MAG_ADJ_L_2G:B4 0x6E]レジスタの 8 ビットと共に全 12 ビットから算出されます。 bit11: x1 bit10: x1/2 bit9: x1/4 bit8: x1/8 bit7: x1/16 bit6: x1/32 bit5: x1/64 bit4: x1/128 bit3: x1/256 bit2: x1/512 bit1: x1/1024 bit0: x1/2048

## 【説明】

1. IQ\_MAG\_ADJ\_2G[11:0]でイメージ除去比を調整することができます。IQ\_ADJ\_START([IQ\_MAG\_ADJ\_H: B0 0x5A(4)])により実行した結果(IQ\_MAG\_ADJ([IQ\_MAG\_ADJ\_H/L: B0 0x5A/5B]))を本レジスタに設定してください。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。
2. サブ GHz 用設定は[IQ\_MAG\_ADJ\_H: B0 0x5A]に設定してください。

## 0x6E【IQ\_MAG\_ADJ\_L\_2G】

機能:2.4GHz 用 IF の IQ 振幅バランス調整(下位バイト)

アドレス:0x6E (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_MAG_ADJ_2G[7:0]	0000_0000	R/W	2.4GHz 用 IQ 信号の振幅調整設定(下位 バイト) ※[IQ_MAG_ADJ_H_2G:B4 0x6D]レジスタの 4 ビットと共に全 12 ビットから算出されます。

## 【説明】

1. IQ\_MAG\_ADJ\_2G[11:0]でイメージ除去比を調整することができます。IQ\_ADJ\_START([IQ\_MAG\_ADJ\_H: B0 0x5A(4)])により実行した結果(IQ\_MAG\_ADJ([IQ\_MAG\_ADJ\_H/L: B0 0x5A/5B]))を本レジスタに設定してください。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。
2. サブ GHz 用設定は[IQ\_MAG\_ADJ\_L: B0 0x5B]に設定してください。

## 0x6F【IQ\_PHASE\_ADJ\_H\_2G】

機能:2.4GHz 用 IF の IQ 位相バランス調整(上位 4 ビット)

アドレス:0x6F (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	IQ_PHASE_ADJ_SIGN_2G	0	R/W	2.4GHz 用 IQ 信号の位相調整符号ビット 0: プラス 1: マイナス
3	Reserved	0	R	予約
2:0	IQ_PHASE_ADJ_2G [10:8]	000	R/W	2.4GHz 用 IQ 信号の位相調整設定(上位 3 ビット) ※[IQ_PHASE_ADJ_L_2G:B4 0x70]レジスタの 8 ビットと共に全 11 ビットから算出されます。 bit10: x1/2 bit9 : x1/4 bit8 : x1/8 bit7 : x1/16 bit6 : x1/32 bit5 : x1/64 bit4 : x1/128 bit3 : x1/256 bit2 : x1/512 bit1 : x1/1024 bit0 : x1/2048

## 【説明】

1. IQ\_PHASE\_ADJ\_2G [10:0]および IQ\_PHASE\_ADJ\_SIGN\_2G でイメージ除去比を調整することができます。  
IQ\_ADJ\_START([IQ\_MAG\_ADJ\_H: B0 0x5A(4)])により実行した結果(IQ\_PHASE\_ADJ([IQ\_PHASE\_ADJ\_H/L: B0 0x5C/5D]))を本レジスタに設定してください。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。
2. サブ GHz 用設定は[IQ\_PHASE\_ADJ\_H: B0 0x5C]に設定してください。

## 0x70【IQ\_PHASE\_ADJ\_L\_2G】

機能:2.4GHz 用 IF の IQ 位相バランス調整(下位バイト)

アドレス:0x70 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_PHASE_ADJ_2G [7:0]	0000_0000	R/W	2.4GHz 用 IQ 信号の位相調整設定(下位バイト) ※[IQ_PHASE_ADJ_H_2G:B4 0x6F]レジスタの 3 ビットと共に全 11 ビットから算出されます。

## 【説明】

1. IQ\_PHASE\_ADJ\_2G [10:0]および IQ\_PHASE\_ADJ\_SIGN\_2G でイメージ除去比を調整することができます。  
IQ\_ADJ\_START([IQ\_MAG\_ADJ\_H: B0 0x5A(4)])により実行した結果(IQ\_PHASE\_ADJ([IQ\_PHASE\_ADJ\_H/L: B0 0x5C/5D]))を本レジスタに設定してください。詳細は「I/Q(受信時イメージ除去比)の調整」を参照してください。
2. サブ GHz 用設定は[IQ\_PHASE\_ADJ\_L: B0 0x5D]に設定してください。

0x71【GC\_CTRL\_2G】

機能:2.4GHz 用ゲイン制御設定

アドレス:0x71 (BANK4)

初期値:0xEE

Bit	ビット名	初期値	R/W	説明
7:4	GC_MODE_CCA_2G [3:0]	1110	R/W	2.4GHz 用 CCA 時ゲイン制御モード設定 0001: 設定禁止 0010: H ゲイン固定 0011: 設定禁止 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: 設定禁止 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: 設定禁止 上記以外: 予約
3:0	GC_MODE_2G[3:0]	1110	R/W	2.4GHz 用ゲイン制御モード設定 0001: 設定禁止 0010: H ゲイン固定 0011: 設定禁止 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: 設定禁止 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: 設定禁止 上記以外: 予約

## 【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. サブ GHz 用設定は[AFC/GC\_CTRL: B1 0x15]および[GC\_CTRL\_DIV: B1 0x10]に設定してください。

## 0x72【VCO\_CAL\_MIN\_I\_2G】

機能:2.4GHz 用 VCO キャリブレーション下限周波数設定(I カウンタ)

アドレス:0x72 (BANK4)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	VCO_CAL_MIN_I_2G [5:0]	01_1001	R/W	2.4GHz 用 VCO キャリブレーション下限周波数設定 (I カウンタ)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. サブ GHz 用設定は[VCO\_CAL\_MIN\_I: B1 0x4D]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x73【VCO\_CAL\_MIN\_FH\_2G】

機能:2.4GHz 用 VCO キャリブレーション下限周波数設定(F カウンタ上位 4 ビット)

アドレス:0x73 (BANK4)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	VCO_CAL_MIN_F_2G [19:16]	0000	R/W	2.4GHz 用 VCO キャリブレーション下限周波数設定 (F カウンタ上位 4 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. サブ GHz 用設定は[VCO\_CAL\_MIN\_FH: B1 0x4E]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x74【VCO\_CAL\_MIN\_FM\_2G】

機能:2.4GHz 用 VCO キャリブレーション下限周波数設定(F カウンタ中位 8 ビット)

アドレス:0x74 (BANK4)

初期値:0xB3

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F_2G [15:8]	1011_0011	R/W	2.4GHz 用 VCO キャリブレーション下限周波数設定 (F カウンタ中位 8 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. サブ GHz 用設定は[VCO\_CAL\_MIN\_FM: B1 0x4F]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x75【VCO\_CAL\_MIN\_FL\_2G】

機能:2.4GHz 用 VCO キャリブレーション下限周波数設定(F カウンタ下位 8 ビット)

アドレス:0x75 (BANK4)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F_2G [7:0]	0011_0011	R/W	2.4GHz 用 VCO キャリブレーション下限周波数設定 (F カウンタ下位 8 ビット)

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. サブ GHz 用設定は[VCO\_CAL\_MIN\_FL: B1 0x50]に設定してください。

## 【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 1MHz 低い値を設定してください。

## 0x76【VCO\_CAL\_MAX\_N\_2G】

機能:2.4GHz 用 VCO キャリブレーションの周波数範囲設定

アドレス:0x76 (BANK4)

初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	VCO_CAL_MAX_N_2G [3:0]	0110	R/W	2.4GHz 用 VCO キャリブレーション周波数範囲(下限周波数からの $\Delta$ F) [VCO キャリブレーション時] 0000: 0MHz 0001: 0.75MHz 0010: 1.5MHz 0011: 3MHz 0100: 6 MHz 0101: 12 MHz 0110: 24MHz 上記以外: 設定禁止  [運用時] 0000: 0.75MHz 0001: 1.5MHz 0010: 3MHz 0011: 6MHz 0100: 12 MHz 0101: 24 MHz 0110: 48MHz ※上記周波数は FREF =48MHz 時の値です。

## 【説明】

1. VCO キャリブレーションの使用方法については、「VCO キャリブレーション」を参照してください。
2. サブ GHz 用設定は[VCO\_CAL\_MAX\_N: B1 0x51]に設定してください。

## 【ご注意】

1. VCO キャリブレーション範囲は、実際に運用する周波数範囲が完全に含まれるように設定してください。
2. 20MHz を超える範囲でのご利用は推奨致しません。

## 0x77-0x7F【Reserved】

機能:

アドレス:0x77-7F (BANK4)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約



## ●レジスタ BANK6

## 0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

## 0x01【Reserved】

機能:予約

アドレス:0x01 (BANK6)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 0x02【FEC\_CTRL】

機能:FEC 設定

アドレス:0x02 (BANK6)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	INTLV_EN	0	R/W	インターリーブ設定 0: ディセーブル 1: イネーブル ※FEC_EN=0b1 設定時のみ本ビットを 0b1 としてください。
1	FEC_SCHEME	0	R/W	FEC 方式設定 0: NRNSC 方式 1: RSC 方式
0	FEC_EN	0	R/W	FEC 設定 0: ディセーブル 1: イネーブル ※FEC をご使用時は以下の設定でご使用ください。 ①送信符号モード設定(TX_DEC_SCHEME([DATA_SET1: B0 0x07(1-0)]))および受信符号化モード設定(RX_DEC_SCHEME([DATA_SET1: B0 0x07(3-2)]))は NRZ としてください。 ②パケットフォーマットは Format C(PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10)をご使用ください。 ②Length フィールド長設定は 2 バイトモード (LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])=0b01)としてください。

## 【説明】

1. [FEC\_CTRL: B0 0x74]とレジスタを共用しています。どちらのレジスタからも設定可能です。

0x03-0x7F【Reserved】

機能:予約  
アドレス:0x03-0x7F (BANK6)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## ●レジスタ BANK8

## 0x00【BANK\_SEL】

## 【説明】

[BANK\_SEL:B0 0x00]を参照ください。

## 0x01【SEARCH\_CH\_SET】

機能:チャンネルサーチ設定

アドレス:0x01 (BANK8)

初期値:0x10

Bit	ビット名	初期値	R/W	説明
7	SRCH_TIME_RES	0	R/W	同期検出待ち時間分解能設定 0: $240 / \{FREF[MHz] / (MSTR\_CLK\_SEL1([CLK\_SET2: B0\ 0x02(5)]+1))\}$ (10us) 1: $6000 / \{FREF[MHz] / (MSTR\_CLK\_SEL1([CLK\_SET2: B0\ 0x02(5)]+1))\}$ (250us) ※括弧内の時間分解能は FREF が 48MHz 時の値です。
6:4	SRCH_ED_AVG[2:0]	001	R/W	ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 ※本設定はチャンネルサーチ中のみ有効です。
3	Reserved	0	R	予約
2:1	CH_SRCH_MODE[1:0]	00	R/W	チャンネルサーチモード 00: ED 値のみ判定するモード 01: ED 値のみ判定(アンテナ切替あり) 10: ED 値と同期状態により判定するモード(アンテナ切替あり) 11: 予約
0	CH_SRCH_EN	0	R/W	チャンネルサーチイネーブル設定 0: ディセーブル 1: イネーブル

## 【説明】

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x02【SEARCH\_CH\_EN】**

機能:サーチチャンネルイネーブル設定

アドレス:0x02 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	SEARCH_CH7_EN	0	R/W	サーチチャンネル#7 イネーブル 0: ディセーブル 1: イネーブル
6	SEARCH_CH6_EN	0	R/W	サーチチャンネル#6 イネーブル 0: ディセーブル 1: イネーブル
5	SEARCH_CH5_EN	0	R/W	サーチチャンネル#5 イネーブル 0: ディセーブル 1: イネーブル
4	SEARCH_CH4_EN	0	R/W	サーチチャンネル#4 イネーブル 0: ディセーブル 1: イネーブル
3	SEARCH_CH3_EN	0	R/W	サーチチャンネル#3 イネーブル 0: ディセーブル 1: イネーブル
2	SEARCH_CH2_EN	0	R/W	サーチチャンネル#2 イネーブル 0: ディセーブル 1: イネーブル
1	SEARCH_CH1_EN	0	R/W	サーチチャンネル#1 イネーブル 0: ディセーブル 1: イネーブル
0	SEARCH_CH0_EN	0	R/W	サーチチャンネル#0 イネーブル 0: ディセーブル 1: イネーブル

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x03【SEARCH\_CH0】**

機能:サーチチャンネル#0 チャンネル番号

アドレス:0x03 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH0[7:0]	0000_0000	R/W	サーチチャンネル#0 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x04【SEARCH\_CH1】**

機能:サーチチャンネル#1 チャンネル番号

アドレス:0x04 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH1[7:0]	0000_0000	R/W	サーチチャンネル#1 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x05【SEARCH\_CH2】**

機能:サーチチャンネル#2 チャンネル番号

アドレス:0x05 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH2[7:0]	0000_0000	R/W	サーチチャンネル#2 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x06【SEARCH\_CH3】**

機能:サーチチャンネル#3 チャンネル番号

アドレス:0x06 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH3[7:0]	0000_0000	R/W	サーチチャンネル#3 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x07【SEARCH\_CH4】**

機能:サーチチャンネル#4 チャンネル番号

アドレス:0x07 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH4[7:0]	0000_0000	R/W	サーチチャンネル#4 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x08【SEARCH\_CH5】**

機能:サーチチャンネル#5 チャンネル番号

アドレス:0x08 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH5[7:0]	0000_0000	R/W	サーチチャンネル#5 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x09【SEARCH\_CH6】**

機能:サーチチャンネル#6 チャンネル番号

アドレス:0x09 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH6[7:0]	0000_0000	R/W	サーチチャンネル#6 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0A【SEARCH\_CH7】**

機能:サーチチャンネル#7 チャンネル番号

アドレス:0x0A (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SEARCH_CH7[7:0]	0000_0000	R/W	サーチチャンネル#7 のチャンネル番号

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0B【SRCH\_ED\_TH】**

機能:チャンネルサーチ時の ED 値閾値設定

アドレス:0x0B (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SRCH_ED_TH[7:0]	0000_0000	R/W	チャンネルサーチ時の ED 値閾値設定

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0C【PLL\_WAIT\_TIMER】**

機能:チャンネルサーチ時の PLL 収束待ち時間設定

アドレス:0x0C (BANK8)

初期値:0x0A

Bit	ビット名	初期値	R/W	説明
7:0	PLL_WAIT_TIMER[7:0]	0000_1010	R/W	チャンネルサーチ時の PLL 収束待ち時間設定 待ち時間 = 設定値 / { FREF [MHz] / (2-MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)]))} × 120 [us]

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0D【ED\_WAIT\_TIMER】**

機能:チャンネルサーチ時の ED 値収束待ち時間設定

アドレス:0x0D (BANK8)

初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:0	ED_WAIT_TIMER[7:0]	0001_0000	R/W	チャンネルサーチ時の ED 値収束待ち時間設定 待ち時間 = 設定値 / { FREF [MHz] / (2-MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)]))} × 120 [us]

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0E【SYNC\_WAIT\_TIMER】**

機能:チャンネルサーチ中の同期検出待ち時間設定

アドレス:0x0E (BANK8)

初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WAIT_TIMER [7:0]	0001_0110	R/W	チャンネルサーチ中の同期検出待ち時間設定 待ち時間 = 設定値 × 時間分解能(10us or 250us)  ※時間分解能は SRCH_TIME_RES([SERCH_CH_SET: B8 0x01(7)])に より設定されます。 SRCH_TIME_RES=0 設定時 時間分解能[us] = 240 / { FREF [MHz] / (2-MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)]))} SRCH_TIME_RES=1 設定時 時間分解能[us] = 6000 / { FREF [MHz] / (2-MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)]))} ※括弧内の時間分解能は FREF が 48MHz 時の値です。

**【説明】**

1. 詳細は「チャンネルサーチ機能」を参照してください。

**0x0F【SYNC\_WAIT\_TIMER2】**

機能:チャネルサーチ完了後の同期検出待ち時間設定

アドレス:0x0F (BANK8)

初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WAIT_TIMER2 [7:0]	0001_0110	R/W	<p>チャネルサーチ完了後の同期検出待ち時間設定 待ち時間 = 設定値 × 時間分解能(10us or 250us)</p> <p>※時間分解能は SRCH_TIME_RES([SERCH_CH_SET: B8 0x01(7)])により設定されます。</p> <p>SRCH_TIME_RES=0 設定時 時間分解能[us] = <math>240 / \{ FREF [MHz] / (2-MSTR\_CLK\_SEL1([CLK\_SET1: B0 0x02(5)])) \}</math></p> <p>SRCH_TIME_RES=1 設定時 時間分解能[us] = <math>6000 / \{ FREF [MHz] / (2-MSTR\_CLK\_SEL1([CLK\_SET1: B0 0x02(5)])) \}</math></p> <p>※括弧内の時間分解能は FREF が 48MHz 時の値です。</p>

**【説明】**

1. 詳細は「チャネルサーチ機能」を参照してください。

**0x10-0x13【Reserved】**

機能:予約

アドレス:0x10-0x13 (BANK8)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

**0x14【FH\_SET】**

機能:周波数ホッピングチャネルサーチ設定

アドレス:0x14 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	RANDOM_CH_EN	0	R/W	<p>ランダムチャネル番号生成設定 0: ディセーブル 1: イネーブル</p> <p>※0b1 設定時、[RANDOM_CH_DISP: B8 0x16]にランダムチャネル番号を表示します。表示されるチャネル番号の最大値は[FH_MAX_CH: B8 0x15]設定値により制限されます。</p>
0	FH_CH_SRCH_EN	0	R/W	<p>周波数ホッピングチャネルサーチ設定 0: ディセーブル 1: イネーブル</p> <p>※0b1 設定時、チャネルサーチ機能がイネーブルになります。この時、チャネルサーチは、チャネル 0 から最大[FH_MAX_CH: B8 0x15]で設定するチャネルまで 1 チャネルずつインクリメントしてチャネルサーチを行います。</p>

**【説明】**

1. 詳細は「チャネルサーチ機能」を参照してください。



**0x15【FH\_MAX\_CH】**

機能:周波数ホッピングチャネルサーチ時の最大チャネル設定

アドレス:0x15 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FH_MAX_CH	0000_0000	R/W	周波数ホッピング最大チャネル設定

**【説明】**

1. 詳細は「チャネルサーチ機能」を参照してください。

**0x16【RANDOM\_CH\_DISP】**

機能:ランダムチャネル番号表示

アドレス:0x16 (BANK8)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RANDOM_CH_DISP	0000_0000	R	ランダムチャネル番号表示 ※RANDOM_CH_EN([FH_SET: B8 0x14(1)])=0b1 設定時、ランダムチャネル番号を生成し、本レジスタに表示します。表示されるチャネル番号の最大値は[FH_MAX_CH: B8 0x15]設定値により制限されます。

**【説明】**

1. 詳細は「チャネルサーチ機能」を参照してください。

**0x17-0x7F【Reserved】**

機能:予約

アドレス:0x17-0x7F (BANK8)

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R	予約

## 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJXL7436RF AN HW-01	2021.2.17	-	-	初版発行

(注意) 誤記、表現の変更および修正は含まれません。